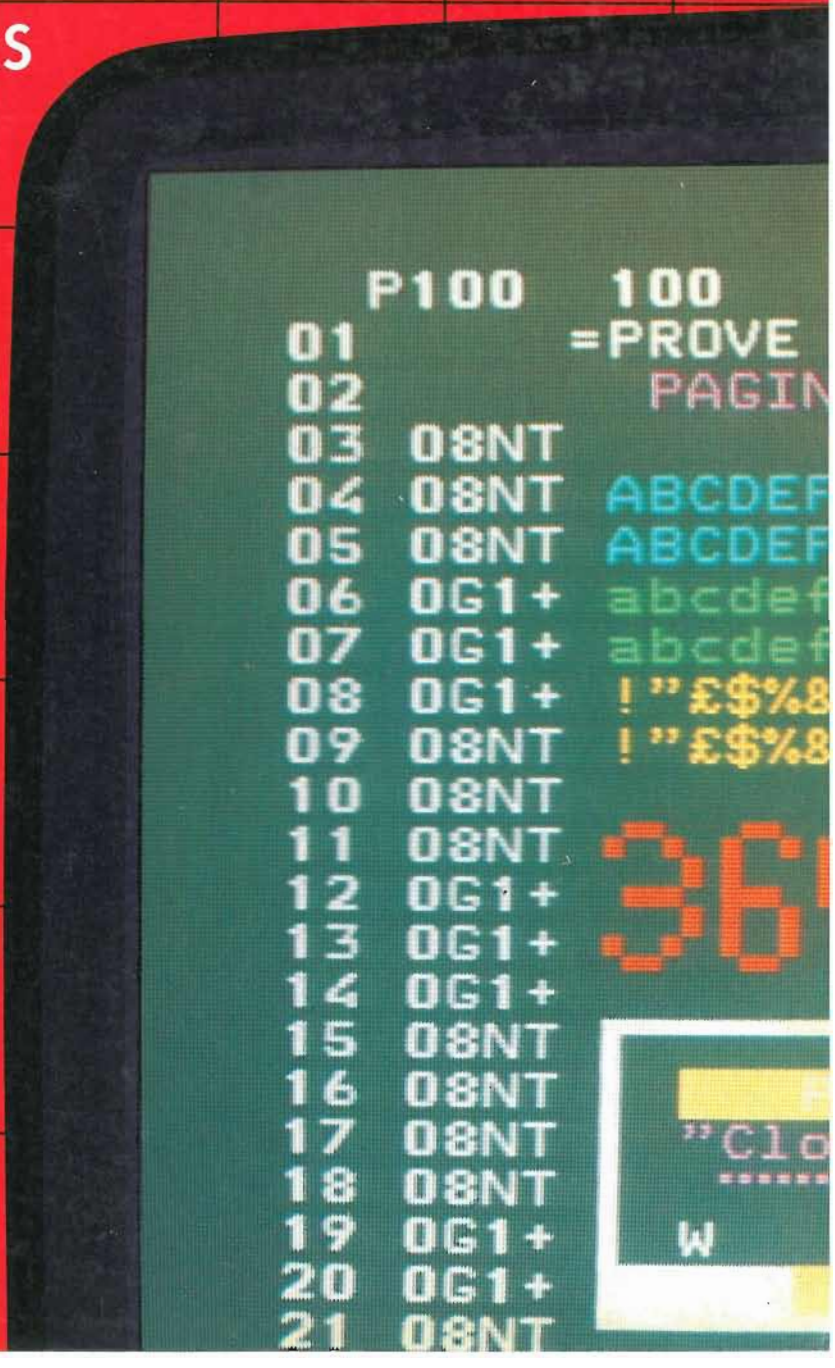
A. Deotto

TELEVISORI A COLORI

2

A TRANSISTORS E A CIRCUITI INTEGRATI



EDITRICE CO.EL.

A. Deotto - MANUALE DEI CIRCUITI INTEGRATI TV - voll. 1° e 4° sezioni analogiche

280 + 216 pagine - oltre 250 circuiti integrati con schemi a blocchi e d'impiego. Stampa bicolore, copertina plastificata.

Vengono descritti oltre 250 circuiti integrati delle sezioni: FI audio, FI video, video, BF, elaborazione sincronismi, deflessione verticale, sincronismo orizzontale, luminanza, crominanza, correzione E-O, alimentazione, impiegati nei primi TV b/n e TV colore fino a quelli che equipaggiano i televisori di attuale produzione.
Di ogni circuito integrato viene fornito uno schema a blocchi dettagliato, uno schema elettrico rappresentativo dell'impiego tipico, la denominazione dei piedini e, in molti casi, le relative tensioni continue misurate con un tester ad alta impedenza e le forme dell'onda significative con le relative ampiezze. Infine, di ciascun integrato viene fornita la descrizione dettagliata del funzionamento.
Il 1° volume tratta gli integrati utilizzati fino al 1982 mentre il 2° volume rappresenta l'aggiornamento al periodo 1982-1986.

A. Deotto - MANUALE DEI CIRCUITI INTEGRATI TV - voll. 2° e 3° sezioni digitali - prima e seconda parte

248 + 216 pagine - complessivamente oltre 280 circuiti integrati con schemi a blocchi e d'impiego. Stampa bicolore, copertina plastificata.

Vengono descritti oltre 280 circuiti integrati delle sezioni digitali dei televisori a colori, e precisamente: memorie di programma ed analogiche, trasmettitori per telecomando e ricevitori associati, PLL per sintesi di frequenza, decodifiche tastiera e FSK, identificatori di stazioni TV, amplificatori IR, convertitori D/A, selezione di circuiti logici TTL e CMOS, prescaler, circuiti di controllo per sintonie, display su schermo, interfacce uP, pilota display, ecc.
Di ciascun integrato viene fornito uno schema a blocchi dettagliato, uno schema di impiego tipico, la descrizione dettagliata del funzionamento, la denominazione dei piedini.
In molti casi vengono forniti i segnali di "timing" e tabelle indicanti i valori delle grandezze misurabili sul circuito.
I manuali sono il risultato di una lunga selezione su oltre un migliaio di schemi e documentazioni di TV colore, utilizzando una cinquantina di manuali di Costruttori di circuiti integrati.

F. Vedovato - TECNICHE DIGITALI NELLE COMUNICAZIONI AUDIO VIDEO

10 capitoli - 472 pagine - 405 figure e 66 tabelle.

Il volume comprende tutto quanto è indispensabile conoscere per affrontare con competenza e sicurezza la riparazione di apparati (compact disc, DAT, televisori digitali, video disc, videoregistratori digitali, camcorder, ecc.) che fanno larghissimo uso di tecniche e di componenti digitali.
Dai circuiti logici combinatori e sequenziali agli integrati più complessi, dalle memorie di diverse tecnologie ai microcomputer e microprocessori, dalla conversione dei segnali analogici e digitali alla loro elaborazione e trasmissione, tutti gli argomenti trovano ampio spazio e descrizioni dettagliate. In sintesi, ecco l'elenco dei capitoli:
Sistemi di numerazione e codici - L'algebra di Boole ed i circuiti logici combinatori - Circuiti logici sequenziali - Dispositivi logici integrati - Comunicazione tra i dispositivi e i sistemi - Le memorie a semiconduttore - I microelaboratori - I dispositivi per la conversione dei dati - La conversione e l'elaborazione dei segnali - Sistemi di modulazione e trasmissione digitali.

F. Calligaris - A. Deotto - MANUALE DEGLI IMPIANTI D'ANTENNA TV

10 capitoli e 5 appendici - 312 pagine - 280 disegni, schemi elettrici e tabelle.
Copertina plastificata.

La recente proliferazione delle emittenti private pone oggi il tecnico di fronte a situazioni e problemi completamente nuovi, che rendono assai difficile la scelta delle soluzioni tecniche ottimali e dei componenti attivi e passivi disponibili in commercio per realizzarle. Una maggiore conoscenza dei fenomeni connessi con la propagazione delle onde elettromagnetiche nello spazio e nei cavi coassiali, nonchè quella relativa al funzionamento dei componenti attivi e passivi oggi largamente impiegati anche negli impianti di modeste dimensioni, rende il lavoro del tecnico molto più agevole e redditizio. A queste esigenze risponde il volume che è una vera e propria guida teorico-pratica alla progettazione, realizzazione e collaudo di impianti d'antenna TV singoli e centralizzati.

A. Deotto

TELEVISORI A COLORI

A TRANSISTORS E A CIRCUITI INTEGRATI

vol. 2

EDITRICE CO. EL.

Prima edizione, giugno 1989
Ristampe
1 2 3 4 5 6 1994 1993 1992 1991 1990

stampa
Grafiche Buttazzoni srl
S. Daniele d. F. (Ud)

TELEVISORI A COLORI
A TRANSISTORS E A CIRCUITI INTEGRATI - vol. 2°

è una pubblicazione della:

editrice CO. EL.
via d'Artegna 17/A - 33100 UDINE
tel 0432/481395

Copyright © 1989 - Editrice CO.EL.
tutti i diritti riservati - è vietata
la riproduzione anche parziale senza
approvazione scritta dell'Editore

PREMESSA

A distanza di circa dieci anni dall'uscita del primo, mi sono deciso a dare alle stampe questo secondo volume che ne continua il discorso, aggiornando sulle tecniche e tecnologie adottate nella costruzione dei televisori a colori fino a quelli più recenti.

In questo periodo di tempo si è osservata una progressiva semplificazione degli schemi elettrici degli apparecchi televisivi, in realtà solo apparente, perchè celata dal considerevole aumento della complessità dei circuiti integrati utilizzati, che includono funzioni sempre più numerose e sofisticate. Ogni sezione dell'apparecchio, dal tuner agli stadi di potenza, ne è stata interessata, con conseguente miglioramento in termini di prestazioni e di affidabilità.

Parallelamente è, però, diventata sempre più difficile la "lettura" degli schemi e quindi l'interpretazione dei comportamenti anomali, che ha reso ancora più complessa l'individuazione delle cause e quindi la riparazione. Vero è che la pubblicazione dei volumi della serie "Manuale dei circuiti integrati TV" ha fornito una prima valida risposta a questo problema, come confermato dalle numerose lettere di consenso ricevute, ma, a mio giudizio, parziale, per le ovvie limitazioni di spazio imposte dalla struttura dei volumi. Di qui la necessità di allargare il discorso, approfondendolo, nell'ambito di una specifica pubblicazione.

Così è nato il presente volume, che si articola in 10 capitoli, nei quali vengono analizzate in dettaglio le tappe evolutive delle tecniche circuitali e dei circuiti integrati delle diverse sezioni dei televisori "analogici", fino a quelli di attuale produzione.

Per quanto riguarda le nuove tecniche di elaborazione digitale dei segnali audio-video del televisore, quelle di codifica analogica e numerica dei segnali per la TV da satellite, per la TV ad alta definizione, ecc., vista l'ampiezza degli argomenti, ho ritenuto di rimandare l'esame e la relativa trattazione ad un volume specifico, che sarà poi il 3° di questa serie.

In chiusura, ritengo doveroso ringraziare le Case costruttrici di apparecchi e componenti che, mettendomi a disposizione il materiale tecnico relativo alla loro produzione, hanno permesso di dare al presente volume un aspetto pratico che verrà sicuramente molto apprezzato dai tecnici del settore.

Argeo Deotto

capitolo primo

IL TUNER E LA SEZIONE FI-VIDEO

1 - 1 PROBLEMI DI RICEZIONE DI CANALI INCOMPATIBILI

La recente proliferazione di emittenti private ha portato lentamente ma inesorabilmente alla occupazione quasi totale dello spettro elettromagnetico televisivo, dapprima limitatamente alla banda 5ª e successivamente a tutta la gamma UHF. Ciò ha posto seri problemi di progettazione ai costruttori, i cui ricevitori televisivi sono ora chiamati ad operare normalmente in situazioni precedentemente definite "fuori norma". Ci pare utile, quale introduzione a questo capitolo, riassumere i principali disturbi generati all'interno delle sezioni RF-FI dei ricevitori dovuti alle incompatibilità fra canali televisivi, evidenziando le tecniche utilizzate dai costruttori per minimizzare gli effetti.

1 - 1 - 1 Disturbi dovuti a canali adiacenti

Per la struttura dei canali UHF (Fig. 1.1) la distanza che separa la portante video del canale utile ($P_{V(n)}$) e quella audio del canale inferiore ($P_{A(n-1)}$) è di 2,5MHz, così come quella di separazione tra la portante audio del canale utile ($P_{A(n)}$) e la video del canale superiore ($P_{V(n+1)}$).

I disturbi determinati dalla presenza del canale inferiore sono dovuti alle seguenti cause.

a) *Demodulazione* della portante audio del canale adiacente ($P_{A(n-1)}$) che viene a costituire una banda laterale per la portante video utile ($P_{V(n)}$) determinando all'uscita del rivelatore un *moiré* della frequenza di 2,5MHz (Fig. 1.2a), con struttura determinata dalle caratteristiche del suono trasmesso. Questo disturbo viene ridotto dotando l'amplificatore a FI-video di trappole accordate su 41,4MHz che assicurino un'attenuazione di questa frequenza di almeno 50dB.

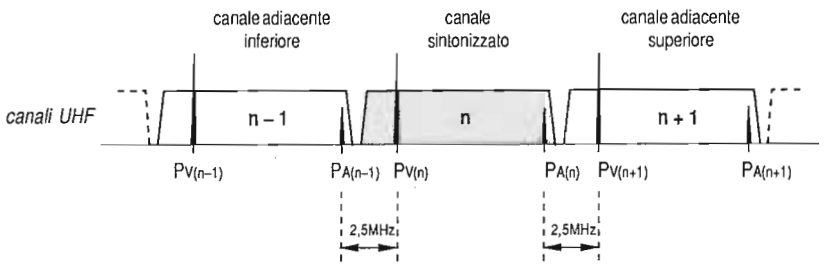


Fig. 1.1 - Dislocazione dei canali UHF nello standard CCIR-B,G.

b) *Intermodulazione* tra la portante audio del canale inferiore ($P_{A(n-1)}$) e la portante video del canale utile ($P_{V(n)}$) dovuta a non linearità del 3° ordine (Fig. 1.2b) degli stadi amplificatore RF e/o convertitore, che determina la formazione di un disturbo a frequenza:

$$f_d = 2 \cdot P_{V(n)} - P_{A(n-1)} = P_{V(n)} + 2{,}5\text{MHz}$$

il quale si manifesta come un moiré a 2,5MHz, con le stesse caratteristiche di quello indicato al punto precedente.

c) *Intermodulazione* tra le portanti audio ($P_{A(n-1)}$) e video ($P_{V(n-1)}$) del canale inferiore dovuta sempre a non linearità del 3° ordine degli stadi amplificatore RF e/o convertitore, che determina la formazione di un disturbo a frequenza:

$$f_d = 2 \cdot P_{A(n-1)} - P_{V(n-1)} = P_{V(n)} + 3\text{MHz}$$

manifestantesi come un moiré a 3MHz. Questo disturbo può presentarsi qualora il canale adiacente inferiore risulti di livello molto forte rispetto a quello del canale utile, nel caso di assenza o insufficiente selettività del filtro d'ingresso.

d) *Modulazione incrociata* tra le portanti video modulate dei canali utile ($P_{V(n)}$) e adiacente ($P_{V(n-1)}$). Questo prodotto d'intermodulazione, sempre del 3° ordine, si manifesta come scorrimento in negativo dell'immagine del canale disturbante su quella del canale utile. Il disturbo si presenta con livelli di segnale piuttosto elevati.

Escluso il disturbo indicato al punto a), tutti gli altri possono presentarsi, con le medesime caratteristiche, anche nel caso di canale adiacente superiore. Avremo allora:

b') *Intermodulazione* tra la portante audio del canale utile ($P_{A(n)}$) e video del cana-

le superiore ($P_{V(n+1)}$) con produzione del disturbo a frequenza:

$$f_d = 2 \cdot P_{A(n)} - P_{V(n+1)} = P_{V(n)} + 3MHz$$

ovvero, come moiré a 3MHz.

c') *Intermodulazione* tra le portanti video ($P_{V(n+1)}$) e audio ($P_{A(n+1)}$) del canale superiore con produzione del disturbo a frequenza:

$$f_d = 2 \cdot P_{V(n+1)} - P_{A(n+1)} = P_{V(n)} + 2{,}5MHz$$

ovvero come moiré a 2,5MHz.

d') *Modulazione incrociata* tra le portanti video modulate dai canali utile ($P_{V(n)}$) e adiacente superiore ($P_{V(n+1)}$) con formazione del noto disturbo a tergicristallo.

1 - 1 - 2 Disturbi dovuti al canale immagine

Come è noto, in conseguenza della conversione di frequenza adottata nei ricevitori TV, per ogni canale utile sintonizzato è possibile individuare un intervallo di fre-

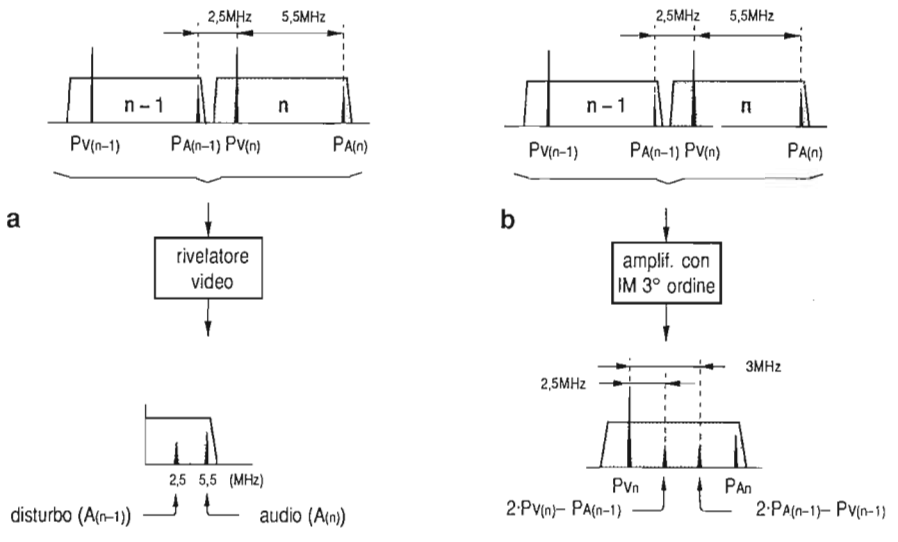
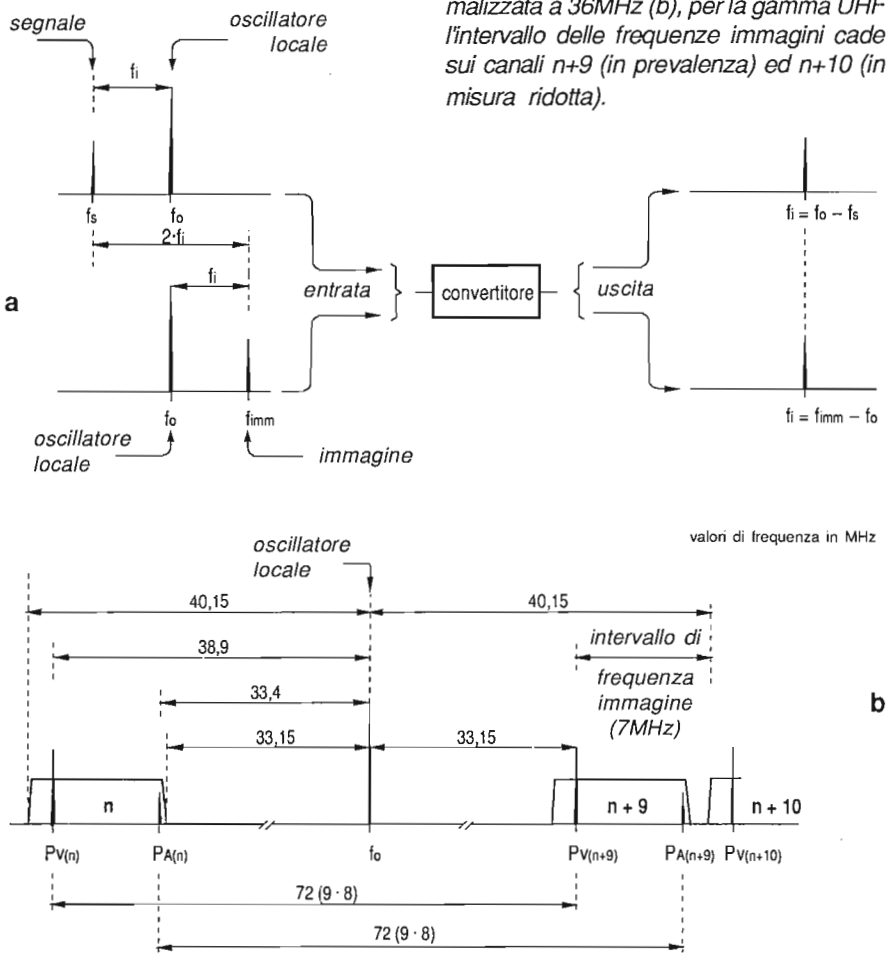


Fig. 1.2 - Disturbi prodotti dalla portante audio del canale adiacente inferiore, presenti all'uscita del rivelatore (a), e dall'intermodulazione tra le portanti di canali adiacenti entro stadi con non linearità del 3° ordine (b).

Fig. 1.3 - Definizione di immagine del segnale utile. All'uscita del convertitore, entrambi possiedono la medesima frequenza e quindi non sono più separabili (a). Nel caso di frequenza intermedia (FI) normalizzata a 36MHz (b), per la gamma UHF l'intervallo delle frequenze immagini cade sui canali n+9 (in prevalenza) ed n+10 (in misura ridotta).



quenze (detto immagine) che, se presenti contemporaneamente all'ingresso del convertitore, verranno a cadere all'uscita sul canale di FI (Fig. 1.3) determinando disturbi.

Il solo rimedio possibile a questo inconveniente consiste nell'attenuare al massimo i segnali immagine prima della conversione; tale compito è affidato ai filtri preselettori posti a monte dello stadio convertitore e, nei casi più recenti, anche ad un filtro

trappola. Nella banda UHF (standard CCIR-B, G), per il valore unificato di FI a 36MHz, l'intervallo di frequenza immagine del canale utile (n) cade in prevalenza sul canale n+9 e solo in minima parte sul canale n+10.

1 - 1 - 3 Disturbi prodotti dal quarto e quinto canale superiore

Tra i possibili disturbi causati dalla frequenza di canali incompatibili è opportuno ricordare quelli determinati dal quarto (quinto) canale superiore n+4 (n+5) che si presentano come una rigatura mobile *(moiré)* dovuta ad un disturbo alla frequenza di 1,4MHz (1,1MHz).

Ciò è dovuto a non linearità del 3° ordine entro lo stadio convertitore che nel caso del canale n+5 dà luogo ad un triplo battimento tra le portanti video dei canali n ($Pv_{(n)}$) ed n+5 ($Pv_{(n+5)}$) e l'oscillatore locale (P_o) del ricevitore sintonizzato sul canale n (Fig. 1.4). Il disturbo, di frequenza:

$$fd = Pv_{(n)} + Pv_{(n+5)} - P_o = 37{,}8MHz$$

viene a cadere all'interno del canale di FI-video (a 1,1MHz appunto al di sotto della portante video convertita, di 38,9MHz) determinando una rigatura, mobile con le fluttuazioni della frequenza dell'oscillatore locale.

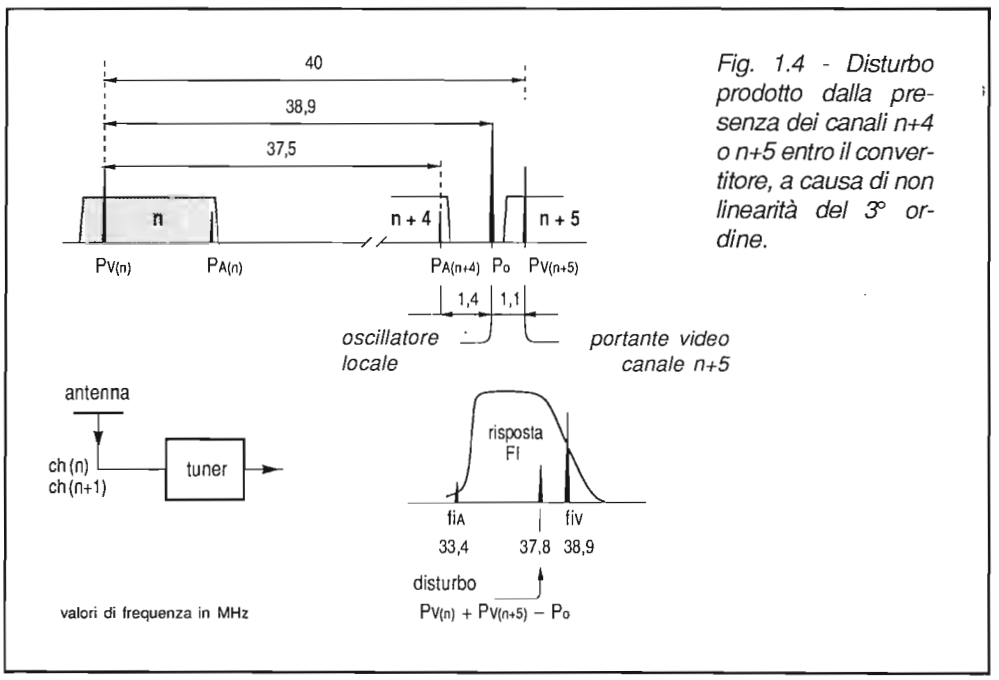


Fig. 1.4 - Disturbo prodotto dalla presenza dei canali n+4 o n+5 entro il convertitore, a causa di non linearità del 3° ordine.

L'inconveniente viene ridotto migliorando la selettività globale dell'amplificatore RF del tuner e curando la progettazione del mescolatore al fine di contenere il più possibile la non linearità del 3° ordine.

1 - 2 I MODERNI TUNERS

Per far fronte a situazioni di ricezione "non a norme" ed evitare quindi che l'insorgere dei disturbi descritti nel precedente paragrafo vanifichi i considerevoli miglioramenti conseguiti nelle altre sezioni del televisore, i costruttori dei tuners hanno dovuto orientarsi verso l'adozione di nuove tecniche costruttive, che assicurano ridotte tolleranze di produzione, e di nuovi componenti a semiconduttore di caratteristiche migliorate. Le nuove tecniche costruttive ricorrono all'impiego di macchine automatiche che fissano i componenti "chips" o "melf" di dimensione ridotte, saldandoli direttamente sulle piste dei circuiti stampati senza richiedere l'uso di reofori o fili di collegamento. Per quanto concerne i nuovi componenti a semiconduttore, l'introduzione dei MOSFET al posto dei transistor, negli stadi preamplificatori RF e nei mixer, rappresenta la novità più importante assieme all'impiego di diodi varicap di caratteristiche migliorate e, in taluni casi, all'impiego di mescolatori UHF a diodo Schottky.

1 - 2 - 1 Uso dei MOSFET come preamplificatori VHF e UHF e mescolatori

L'introduzione dei transistor MOSFET a doppio gate negli stadi preamplificatori delle bande VHF e UHF dei tuners ha permesso di raggiungere gli obiettivi sopra esposti, principalmente grazie all'ampia linearità della caratteristica di trasferimento, praticamente esente da non linearità del 3° ordine, che assicura forte immunità nei confronti dell'intermodulazione e della modulazione incrociata.

La più bassa cifra di rumore intrinseca dei MOSFET rispetto ai transistor bipolari, dovuta all'assenza del fenomeno di ricombinazione tra i portatori di maggioranza e minoranza che invece caratterizza il funzionamento di questi ultimi, determina un aumento di sensibilità nei ricevitori stimabile nell'ordine di 2÷3dB, nonostante la presenza dei filtri accordati all'ingresso (Fig. 1.5a).

Altre caratteristiche dei MOSFET e conseguenti vantaggi sono i seguenti:

- *bassa capacità d'uscita*, parametro questo molto importante per la realizzazione di tuners con bande molte estese (UHF, banda S ecc.);

- *alto valore dell'ammettenza* di trasferimento che permette, a parità di guadagno, accoppiamenti più laschi tra il filtro d'entrata e l'amplificatore RF, con conseguente maggiore protezione nei confronti dell'intermodulazione;
- *migliori caratteristiche d'entrata e d'uscita* che consentono di utilizzare filtri passa-banda più selettivi, con riduzione dei prodotti di intermodulazione e modulazione incrociata e maggiore reiezione delle frequenze immagine;
- *basse tolleranze nella caratteristica di controllo del guadagno* (CAG), peraltro con ampi campi di regolazione (circa 45÷55dB), praticamente senza assorbimento di corrente.

Anche impiegato come mescolatore, il dual-gate MOSFET presenta grandi vantaggi grazie alla sua *caratteristica di trasferimento quadratica* (a differenza dei transi-

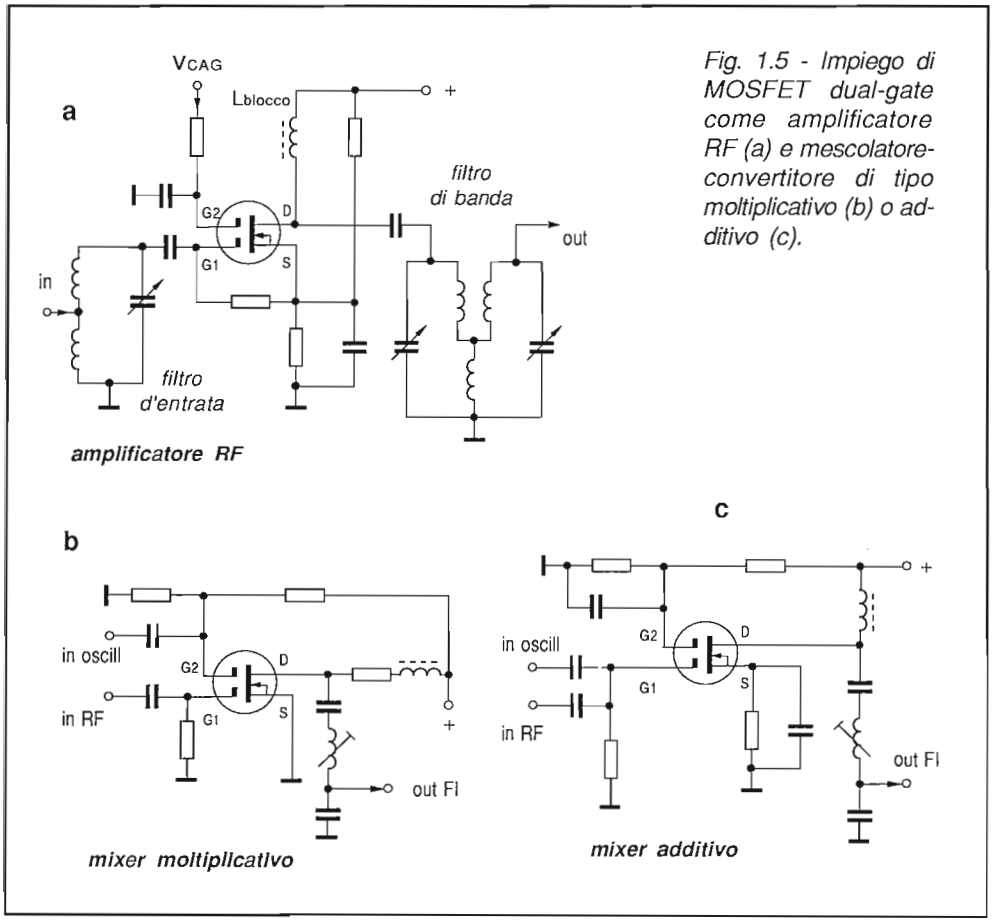


Fig. 1.5 - Impiego di MOSFET dual-gate come amplificatore RF (a) e mescolatore-convertitore di tipo moltiplicativo (b) o additivo (c).

stor bipolari che presentano invece un andamento esponenziale) ideale per una conversione priva di disturbi, anche con livelli elevati dei segnali.

Con il dual-gate MOSFET è possibile effettuare la *mescolazione moltiplicativa* oppure quella *additiva*. Nel primo caso (Fig. 1.5b), il segnale di RF viene applicato al gate 1 e quello dell'oscillatore (con ampiezza di circa 1,5÷2V) al gate 2; la separazione tra i due elettrodi di comando assicura un adeguato contenimento del livello di segnale dell'oscillatore irradiato attraverso la presa d'antenna.

Nel caso invece di mescolazione additiva (Fig. 1.5c), i due segnali vengono sommati al gate 1; in questo caso il livello di segnale dell'oscillatore locale è più contenuto (dell'ordine di 300-500mV) ed il livello di segnale dell'oscillatore irradiato attraverso la presa d'antenna è limitato dalla selettività dei filtri interposti tra la presa ed il mixer.

1 - 3 ESEMPI DI MODERNI TUNERS

I tuners impiegati nei ricevitori di più recente produzione sono generalmente equipaggiati con amplificatori VHF e UHF a MOSFET dual-gate, mentre presentano configurazioni diverse per quanto riguarda le sezioni mixer-convertitrici delle due gamme.

Le soluzioni più semplici fanno uso, per la gamma VHF, di un oscillatore a transistor bipolare associato ad un mescolatore a MOSFET dual-gate, che può operare in modo additivo o moltiplicativo. Come sempre, il mescolatore nella ricezione dei canali UHF viene utilizzato quale primo amplificatore FI-video.

Nella gamma UHF si incontra spesso un transistor bipolare con funzioni di convertitore auto-oscillante. Nei tuners più sofisticati, in UHF vengono separate le funzioni di mixer ed oscillatore, affidandole a transistor bipolari con caratteristiche ottimizzate per tali funzioni. In particolare, in molti tuners Philips quale mixer UHF viene impiegato un *diodo-Schottky,* la cui caratteristica quadratica, il basso livello di pilotaggio e l'ampia gamma di funzionamento, lo rendono ideale per operazioni di conversione.

In VHF si osserva invece l'introduzione di circuiti integrati (ad esempio il TUA 2000 della Siemens ed il TDA 5030 della Philips) che comprendono, ottimizzandole, le funzioni di oscillatore, mescolatore e preamplificatore FI.

Di queste soluzioni si tratterrà più dettagliatamente nei paragrafi seguenti, facendo riferimento a realizzazioni pratiche.

1 - 3 - 1 Tuner Seleco BS652

Come è indicato nello schema a blocchi di Fig. 1.6, il segnale proveniente dall'antenna viene diviso nelle componenti UHF e VHF per mezzo di un filtro passa-alto e di un filtro passa-basso prima di essere inoltrato ai rispettivi amplificatori RF. Analizziamo separatamente il funzionamento delle due sezioni, facendo riferimento allo schema elettrico di Fig. 1.7.

Sezione UHF

Il segnale attraversa dapprima il filtro passa-alto, formato dai componenti C1-L1-L2, che ha anche il compito di adattare il valore di impedenza nominale della discesa d'antenna (75ohm) a quella molto più elevata presentata all'ingresso dal transistor MOSFET T1 (BF960) e giunge quindi al primo filtro preselettore formato da L3-L4-C2-C3 e della capacità presentata dal varicap D1. Tramite L4 avviene la regolazione dell'accordo a fine banda, compensando le inevitabili differenze tra le capacità residue, quando la tensione di sintonia raggiunge il valore più elevato.

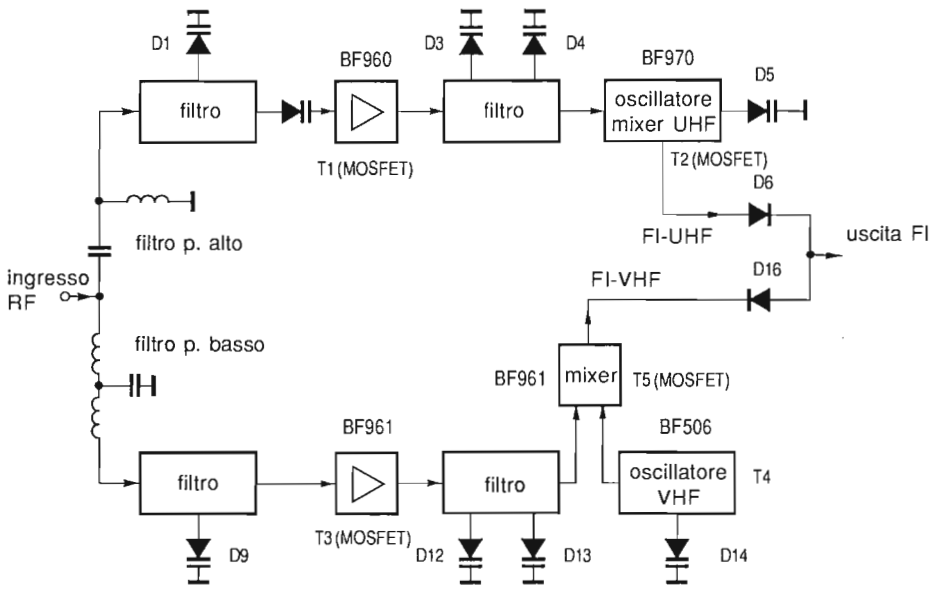
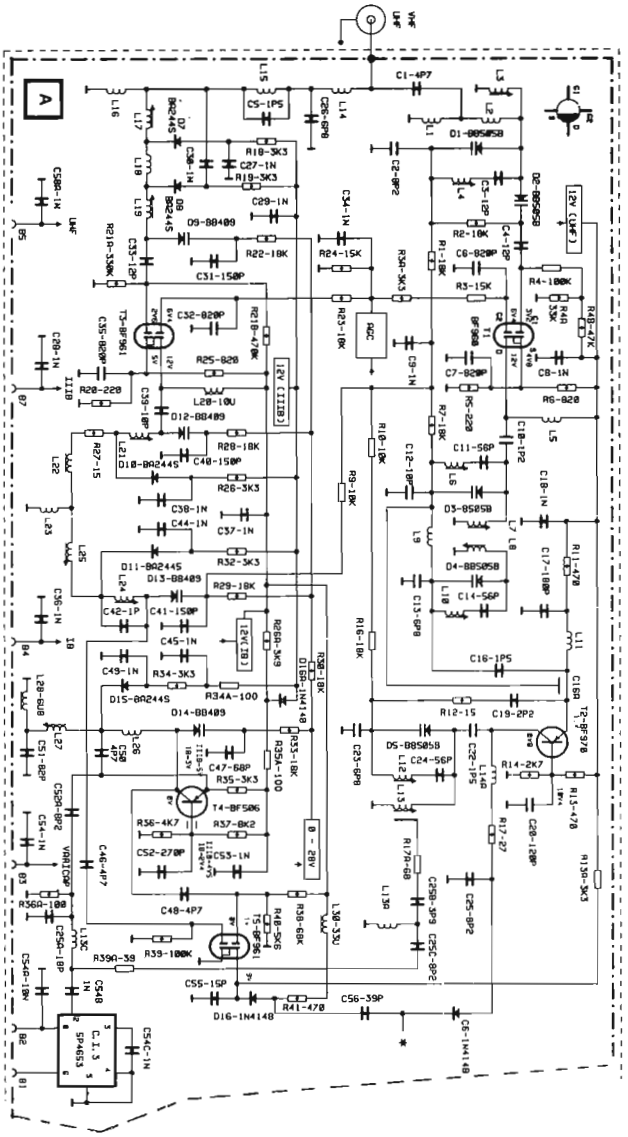


Fig. 1.6 - Schema a blocchi semplificato del tuner VHF-UHF Seleco BS652, il cui schema elettrico completo è riportato in Fig. 1.7.


VAF
UHF
A
L16
L17
L18
L19
D2 BB245
D3 BB245
C50-1N
C51-1N
C52-1N
C53-1N
C54-1N
C55-1N
C56-1N
C57-1N
C58-1N
C59-1N
C60-1N
C61-1N
C62-1N
C63-1N
C64-1N
C65-1N
C66-1N
C67-1N
C68-1N
C69-1N
C70-1N
C71-1N
C72-1N
C73-1N
C74-1N
C75-1N
C76-1N
C77-1N
C78-1N
C79-1N
C80-1N
C81-1N
C82-1N
C83-1N
C84-1N
C85-1N
C86-1N
C87-1N
C88-1N
C89-1N

Il filtro preselettore d'entrata è collegato al gate 1 da T1 per mezzo del diodo varicap D2 che così, al crescere della frequenza di sintonizzazione, provvede a ridurre l'accoppiamento, mantenendo in tal modo pressochè costante la larghezza di banda del filtro d'entrata. L'amplificazione del segnale è effettuata da T1, che è polarizzato in modo da lavorare nelle migliori condizioni nei confronti della modulazione incrociata. Il segnale è applicato al gate 1, mentre al gate 2 è presente la tensione di CAG che provvede a controllare il guadagno dello stadio. In assenza di segnale, il guadagno è massimo e questa condizione viene raggiunta quando V_{G2-S} assume il valore più elevato, corrispondente ad una tensione di CAG pari a 7,5V. Se invece il segnale ricevuto è molto intenso, la tensione di CAG scende a 2-3V e in corrispondenza si riduce la corrente di drain del transistor T1 ed il relativo guadagno.

Il segnale amplificato presente al drain di T1 viene applicato mediante C10 ad un filtro di banda. Questo è formato da due circuiti risonanti accordati sulla frequenza del canale sintonizzato tramite i due diodi varicap D3 e D4, polarizzati dalla tensione di sintonia compresa tra 0 e 28V. I due circuiti risonanti sono accoppiati induttivamente per mezzo delle due linee risonanti in aria L7 ed L8. La regolazione all'estremità superiore della banda è ottenuta mediante L6 ed L10. La larghezza di banda così ottenuta è inferiore a 15MHz su tutta la gamma sintonizzata.

Con C16, il segnale viene trasferito all'emettitore di T2 (convertitore auto-oscillante) che opera come oscillatore a base comune. La frequenza di lavoro dell'oscillatore è determinata prevalentemente da L13-D5-C22-C23 e dalla capacità di reazione C19. L12, come visto in precedenza, permette la regolazione della frequenza di funzionamento al limite superiore della gamma.

Nel circuito dell'oscillatore è presente un filtro trappola per l'attenuazione del canale immagine. Questo è formato da uno spezzone di filo rigido (C16A), accoppiato capacitivamente all'area di circuito stampato facente capo all'emettitore di T2, terminato all'altra estremità dalla prevalenza capacitiva presentata dal circuito risonante formato da D3-L7. Il circuito risonante serie che così viene a formarsi è regolato in modo da risuonare ad una frequenza superiore di 72MHz rispetto a quella del canale sintonizzato, incrementando sensibilmente l'attenuazione del canale immagine.

Naturalmente, per avere su tutta la gamma UHF (470-860MHz) una curva di risposta di caratteristiche costanti ed al passo con l'oscillatore, vengono utilizzati diodi varicap selezionati.

Sezione VHF

Il segnale applicato al connettore d'antenna, di frequenza compresa tra 51 e 227MHz (b.1 e b.3), attraversa il filtro passa-basso formato da L14, L15, e C26 e viene applicato al filtro accordato d'ingresso. L15 e C5 formano un circuito risonan-

te parallelo che ha la funzione di attenuare in modo notevole le frequenze superiori, al limite della banda 3. Il preselettore d'entrata è costituito da L16-L17-L18-L19 e dal varicap D9 e come tale opera la selezione dei canali di banda 1. Nel caso di selezione di canali di banda 3, i diodi di commutazione D7-D8 vengono messi in conduzione cortocircuitando L17 ed L18 , così il segnale giunge al gate 1 di T3 attraversando C30-D8-L19 ed il condensatore di accoppiamento C33.

Al gate 2 dello stesso transistor è applicata la tensione di CAG opportunamente filtrata, proveniente dall'integrato di FI-video. Il segnale d'uscita sul drain incontra un filtro di banda a doppio accordo formato da L21-L22-L23-D12 e L24-L25-L23-D13, le cui frequenze di risonanza sono stabilite dalla tensione di polarizzazione dei due diodi varicap D12 e D13, mentre il grado di accoppiamento è determinato dall'induttanza comune L23.

Nel caso di ricezione di segnali di banda 3, il filtro di banda può operare a frequenze più elevate cortocircuitando le induttanze L22-L25 per mezzo dei diodi di commutazione di banda D10 e D11.

Il segnale così amplificato e filtrato viene accoppiato tramite C46 al gate 1 del transistor T5 con funzioni di miscelatore-convertitore moltiplicativo. Infatti, all'altro elettrodo di controllo (gate 2) viene applicato il segnale proveniente dall'oscillatore T4, e così il segnale convertito a FI (36MHz) è disponibile sul drain. L'oscillatore, del tipo a base comune, opera ad una frequenza determinata dai valori di L26-L27 (L28 è una bobina di blocco) e da quello capacitivo presentato dal diodo varicap D14.

In banda 3 il diodo D15 viene posto in conduzione e ciò determina il cortocircuito a massa di L27.

A seconda che il canale selezionato appartenga alla gamma VHF o UHF, al punto d'uscita indicato con asterisco (*), è presente il segnale a FI-video proveniente dal drain di T5 o dal collettore di T2.

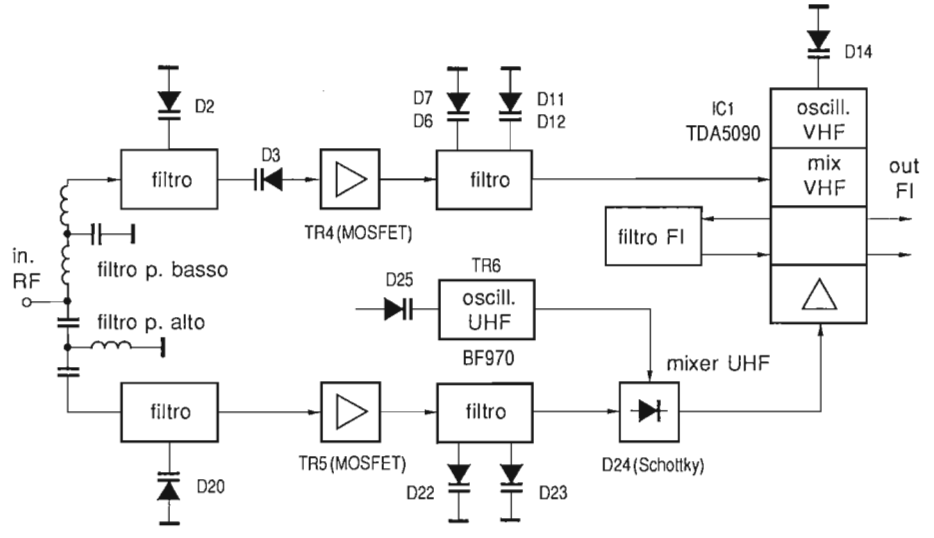
In questa soluzione circuitale, dunque, le due sezioni VHF e UHF sono perfettamente separabili, a differenza di altri tuners dove, come si è detto in precedenza, il mixer VHF viene utilizzato come primo amplificatore di FI-video della sezione UHF.

1 - 3 - 2 Tuner Philips UV617

Si tratta di un tuner di recente realizzazione, che presenta, quale novità rispetto a precedenti modelli, l'impiego dell'integrato TDA 5030 come oscillatore-mixer VHF; di interesse l'uso di un diodo a barriera di Schottky con funzione di mixer-convertitore UHF.

Con l'aiuto delle Figg. 1.8 e 1.9 che riportano lo schema a blocchi e lo schema elettrico completo del tuner, analizziamone il funzionamento.

Fig. 1.8 - Schema a blocchi semplificato del tuner VHF-UHF Philips UV617, il cui schema elettrico completo è riportato in Fig. 1.7.



Sezione UHF

Il segnale d'ingresso, dopo aver attraversato il filtro passa-alto C40-L40-C41, giunge al primo filtro preselettore tramite un partitore induttivo (L42-L41) che, assieme al partitore capacitivo D20-C43, provvede ad adattare il basso valore di impedenza dell'antenna a quello molto più elevato del transistor MOSFET. Si noti che il partitore capacitivo riduce l'accoppiamento al crescere della frequenza e quindi l'effetto di carico del transistor sul circuito risonante, mantenendo in tal modo pressochè costante la larghezza di banda di quest'ultimo.

Al gate 2 di TR5 viene applicata la tensione di CAG (compresa tra 9,2V e 0,85V) che permette una regolazione del guadagno di circa 40dB. Al drain dell'amplificatore UHF è presente il filtro a doppio accordo formato da L52-D22-C54 e L53-D23-C58. L'accoppiamento tra i due circuiti risonanti è di tipo capacitivo "per corrente" ed avviene tramite il collegamento tra C54 e C52. Il condensatore C56, assieme all'induttanza L54 e alla reattanza residua presentata dai due circuiti accordati accoppiati, forma un circuito risonante parallelo tarato sulla frequenza immagine che contribuisce ad aumentarne la reiezione. Il transistor bipolare TR6 (BF970) opera come oscillatore locale a base comune, la cui frequenza di funzionamento è regola-

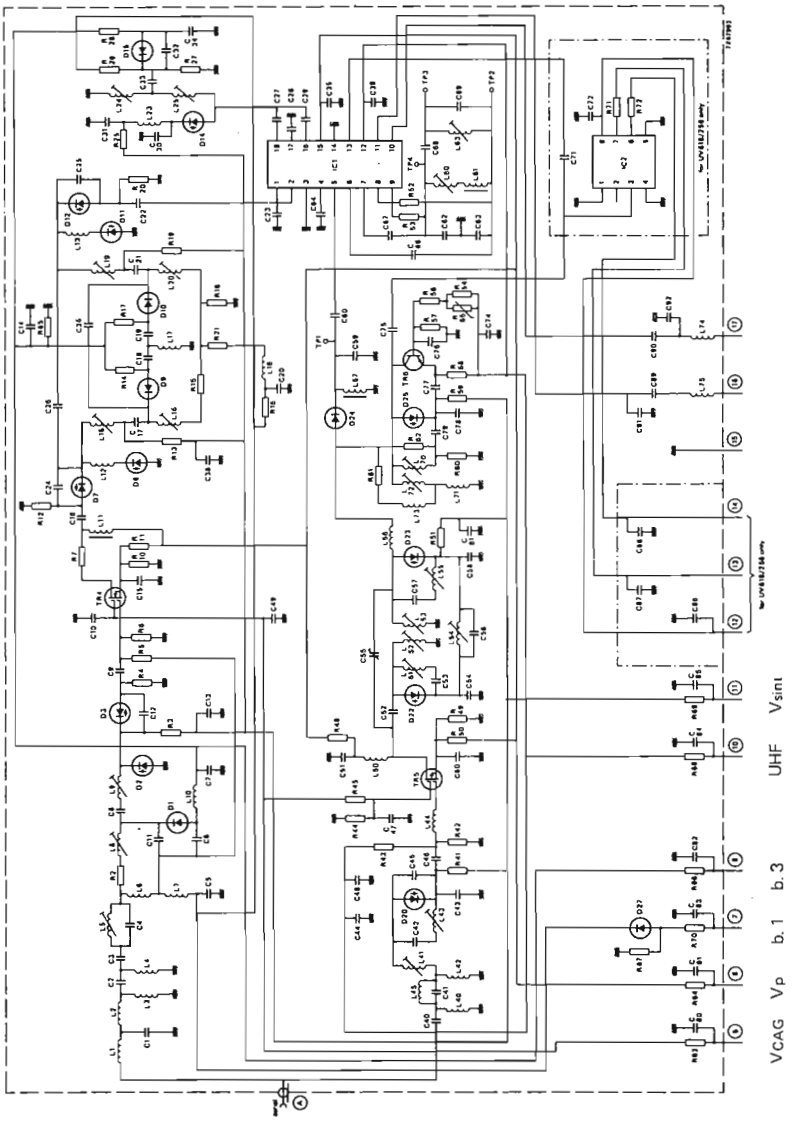


Fig. 1.9 - Schema elettrico del tuner UV617 (Philips) equipaggiato con un convertitore UHF a diodo Schottky e con l'integrato TDA 5030.

ta dal varicap D25. Il mescolatore UHF impiega un diodo D24 del tipo a barriera di Schottky (giunzione metallo-semiconduttore) caratterizzato da basse tensione di soglia (dell'ordine di 200mV), capacità in polarizzazione inversa (minore di 1 pF), resistenza dinamica e figura di rumore.

L'uscita del diodo mixer viene filtrata da L57-C59 (accordato a 36MHz) e trasferita al pin 5 di IC1 (TDA 5030) dove viene preamplificato prima di uscire in modo bilanciato ai pin 6-7 e quindi rientrare ai pin 8-9 dopo ulteriore filtraggio a frequenza intermedia.

Sezione VHF

I segnali di frequenza compresa tra 47 e 300MHz (canali E2-E12 e CATV S1-S20) attraversano il filtro passa-basso L1-L2-C1 e giungono al filtro preselettore d'entrata accordato tramite il varicap D2. Da questo vengono inoltrati al gate 1 del MOSFET TR4 attraverso un altro varicap (D3) che, come si è già detto nel paragrafo precedente, riduce l'accoppiamento all'aumentare della frequenza, al fine di mantenere costante la larghezza di banda del circuito. Il diodo di commutazione D1, reso conduttore quando viene selezionato un canale di banda 3, produce l'inserimento di C6 e, tramite L6, l'abbassamento della componente induttiva del circuito risonante d'ingresso, onde permetterne l'accordo sui canali della banda 3.

Lo stadio d'entrata è corredato da circuiti di assorbimento per la FI (C2-L4-C3) e della banda FM (L5-C4).

Al gate 2 dell'amplificatore VHF viene applicata la tensione di CAG proveniente dall'integrato amplificatore di FI-video che riduce il guadagno dello stadio al crescere del livello del segnale ricevuto.

Al drain di TR4 è collegato il filtro di banda a doppio accordo composto da diverse bobine e condensatori, sintonizzato dai diodi varicap D6 e D11. L'accoppiamento del filtro verso il drain di TR4 e verso il pin 2 dell'integrato è effettuato per mezzo di altri due varicap (D7 e D12) che, riducendo la loro capacità al crescere della frequenza, mantengono pressochè costante il fattore di merito del filtro e quindi le sue caratteristiche in termini di selettività e larghezza di banda.

Anche su questo filtro agiscono dei diodi di commutazione (D9 e D10), che in banda 3 riducono la componente induttiva: così D9 provvede a sostituire a L16 la serie C18-L17, e D10 a sostituire L20 con la serie C19-L17.

L'integrato TDA 5030

Esaminiamo ora brevemente il funzionamento dell'integrato TDA 5030 (Fig. 1.10), circuito sviluppato per realizzare le funzioni di oscillatore-convertitore VHF, primo

amplificatore FI per il segnale UHF convertito e amplificatore FI pilota del filtro ad onde superficiali. L'integrato include pure uno stadio separatore per il pilotaggio del prescaler IC2, che divide per 256 la frequenza dell'oscillatore locale della sezione interessata.

La sezione VHF comprende un miscelatore moltiplicativo bilanciato, caratterizzato da alta reiezione del segnale dell'oscillatore locale e forte isolamento tra entrata e uscita. L'oscillatore integrato internamente è reso particolamermente stabile dalla stabilizzazione della corrente e della tensione dei suoi elementi attivi, cosicchè l'ampiezza dell'oscillazione generata, nonchè la sua frequenza, risultano fortemente indipendenti dalla temperatura e dalle fluttuazioni della tensione di alimentazione. La frequenza di funzionamento è determinata dai componenti reattivi presenti ai piedini 16-18, e regolata tramite la tensione di polarizzazione del diodo varicap D14. Come visto nella sezione amplificatrice, il passaggio della banda 1 alla 3 avviene tramite il diodo di commutazione D15 che cortocircuita a massa L24, riducendo l'induttanza totale del circuito.

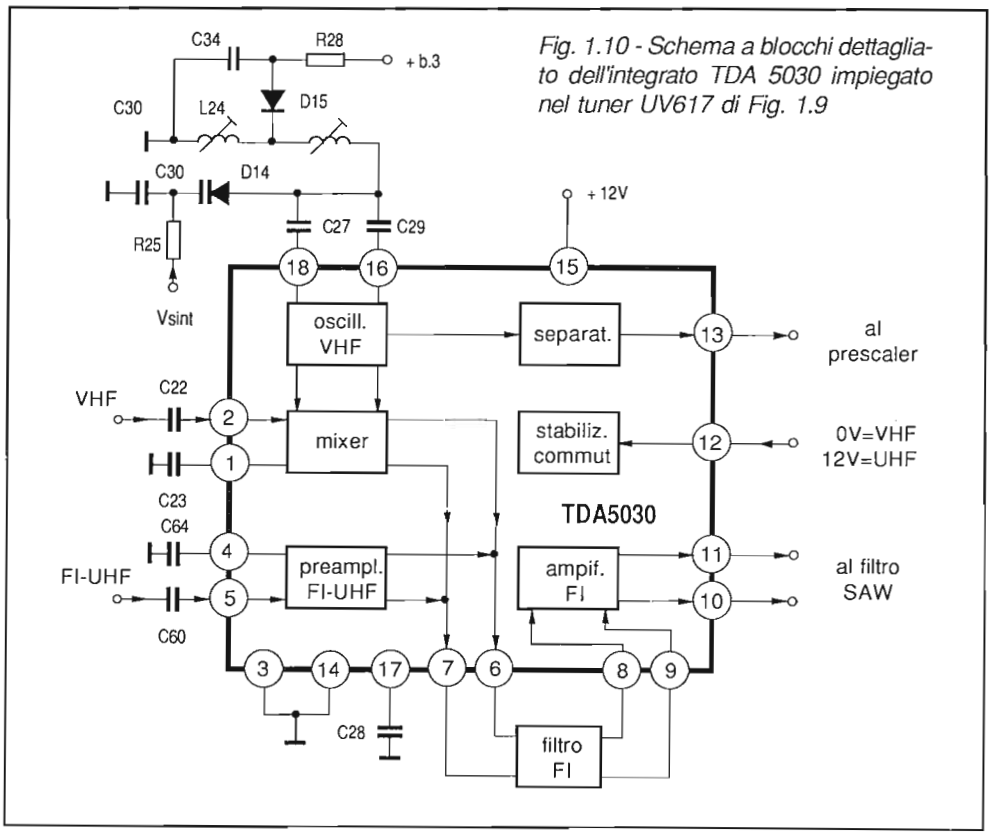


Fig. 1.10 - Schema a blocchi dettagliato dell'integrato TDA 5030 impiegato nel tuner UV617 di Fig. 1.9

Nel caso di sintonizzazione di un canale VHF, il segnale proveniente dal filtro preselettore a doppio accordo viene applicato al pin 2 dell'integrato attraverso il quale giunge allo stadio miscelatore. Allo stesso, ma per via interna, perviene anche il segnale dell'oscillatore locale. Tramite uno stadio separatore, al pin 13 è disponibile il segnale dell'oscillatore locale per la connessione al prescaler.

Il prodotto della conversione attraversa quindi un amplificatore selettivo, la cui risposta in frequenza è determinata dalle caratteristiche della rete interposta fra i pin 6-7 e 8-9, che comprende anche una trappola a 40,4MHz, e viene poi applicato in modo bilanciato al filtro ad onde superficiali tramite i pin 10-11. Sintonizzando il ricevitore TV su un canale UHF, al pin 12 viene applicata una tensione di 12V: ciò produce alcune commutazioni interne che determinano il blocco dell'oscillatore e del mixer VHF, e l'attivazione del preamplificatore FI-UHF. In questo modo il segnale a FI, proveniente dalla sezione UHF ed applicato al pin 5 dell'integrato, viene amplificato di circa 35dB prima di essere applicato al filtro ad onde superficiali.

1 - 4 LA SEZIONE A FI-VIDEO

Questa sezione del televisore ha subito negli ultimi anni cambiamenti piuttosto modesti per quanto riguarda la struttura, anche se le prestazioni sono considerevolmente migliorate, sia in virtù dell'impiego della tecnica dell'audio quasi-parallelo che dello sviluppo di circuiti integrati con caratteristiche superiori. Indubbiamente l'introduzione dapprima modesta e poi generalizzata di filtri ad onde superficiali (SAWF-Surface Acoustic Wave Filter), in luogo del complesso filtro ad accordo multiplo realizzato con componenti L-C tradizionali, ha semplificato la struttura di questo stadio rendendolo più compatto e dotato di caratteristiche elettriche praticamente costanti, senza richiedere alcun adattamento o regolazione.

1 - 4 - 1 Il filtro ad onde acustiche superficiali

Il dispositivo è costituito da una piastrina di *materiale piezoelettrico* (quarzo o niobato di litio, $LiNbO_3$) sulle cui superfici, alle estremità opposte, vengono depositate delle strisce di materiale conduttore (ad esempio alluminio), opportunamente collegate in modo da formare dei *trasduttori a pettini intercalati* (interdigitati), come indica la Fig. 1.11. Applicando un segnale ai terminali del trasduttore, viene a formarsi un campo elettrico tra le strisce metalliche adiacenti che, per effetto piezoelettrico, determina deformazioni di segno opposto (contrazione e dilatazione) del substrato. Queste deformazioni presentano andamento e caratteristiche coincidenti con quel-

le del segnale applicato e si propagano, sotto forma di onde elastiche, praticamente alla superficie della piastrina, secondo una direzione normale a quella degli elettrodi. La penetrazione delle onde nel caso della piastrina è trascurabile, di qui la denominazione di *onde superficiali.* La loro velocità di propagazione è dell'ordine di 3000m/s e perciò, nel campo di frequenze compreso tra 10 e 300MHz, si possono costruire dispositivi di dimensioni confrontabili con quelle dei circuiti integrati.

La rivelazione delle onde di superficie è il processo inverso a quello della loro generazione: i campi elettrici associati alla deformazione elastica della superficie della piastrina vengono tradotti in segnale elettrico quando giungono in corrispondenza del trasduttore d'uscita. La risposta in frequenza di un dispositivo ad onde superficiali del tipo sopra indicato è il risultato delle interferenze costruttive e distruttive che hanno luogo in corrispondenza dei trasduttori d'entrata e d'uscita, con conseguente accentuazione di alcune frequenze e attenuazione di altre.

Il raggiungimento di prestabilite curve di risposta si ottiene, in fase di progetto, dimensionando il numero e la lunghezza della sovrapposizione delle strisce che costituiscono i trasduttori. Il filtro viene completato da un terzo trasduttore, non collegato esternamente, interposto tra quello d'entrata e quello d'uscita con funzioni di accoppiatore "multistrip". Questo è dimensionato in modo da comportarsi come *filtro reiettore* sulle frequenze delle portanti audio e video dei canali adiacenti, determinandone l'attenuazione prevista.

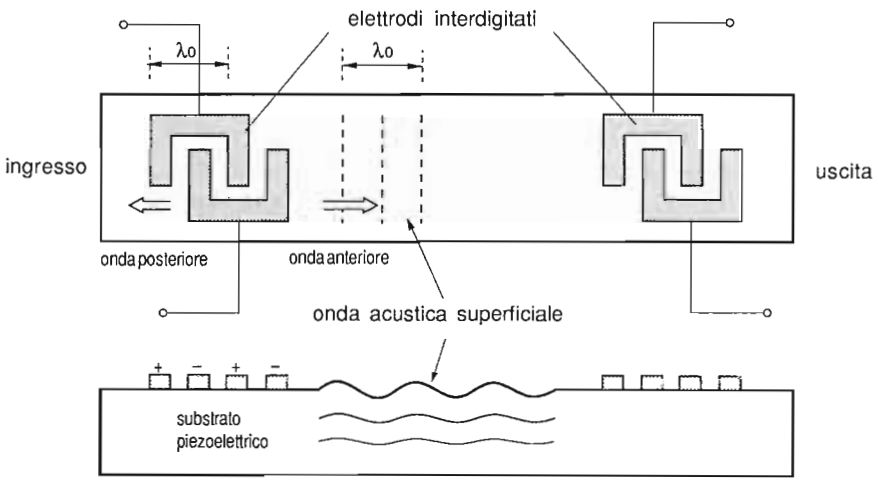


Fig. 1.11 - Rappresentazione schematica della generazione, propagazione e rivelazione delle onde acustiche superficiali.

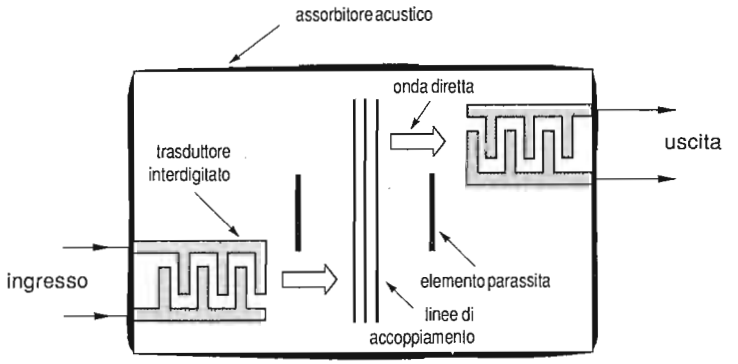


Fig. 1.12 - Schematizzazione semplificata della struttura di un filtro SAW.

In generale, al trasduttore d'uscita arriveranno anche segnali spuri, con tempi di ritardo diversi da quello del segnale principale. Ciò determina un'ondulazione nelle risposte di ampiezza, fase e ritardo di gruppo del dispositivo.

Il segnale più fastidioso è senz'altro quello dovuto al *triplo transito* (Fig. 1.13) provocato da successive riflessioni del segnale utile in corrispondenza dei trasduttori di entrata e di uscita. Quando un'onda incide sul trasduttore ricevente, in caso di perfetto adattamento, solo metà dell'energia incidente viene trasformata in segnale elettrico, mentre l'altra metà si divide in due onde che viaggiano in direzioni opposte: una finirà sul bordo estremo della piastrina piezoelettrica, dove verrà soppressa da un assorbente acustico, l'altra ritornerà sul trasduttore d'entrata dove subirà lo stesso frazionamento avvenuto in precedenza. In caso di perfetto adattamento, al segnale principale verrà ad aggiungersi un'eco di ampiezza quattro volte inferiore. Allora, per un filtro costituito da due trasduttori interdigitati convenzionali, perfettamente adattati, la perdita teorica d'inserzione minima è di 6dB ed il disturbo dovuto al segnale di triplo transito è solo 12dB sotto al livello del segnale utile. Ciò comporta un'ondulazione di ampiezza di circa 4dB ed una deviazione di fase di circa 25°, valori assolutamente inaccettabili.

La tecnica utilizzata in pratica per ridurre il segnale di triplo transito consiste nel far lavorare il filtro in condizioni di disadattamento, sia dal lato generatore che dal lato carico. Ciò aumenta le perdite di inserzione (circa 20dB), ma riduce drasticamente il livello dei segnali riflessi e di conseguenza le ondulazioni di ampiezza (ora 0,3dB) e di fase (inferiore a 2°).

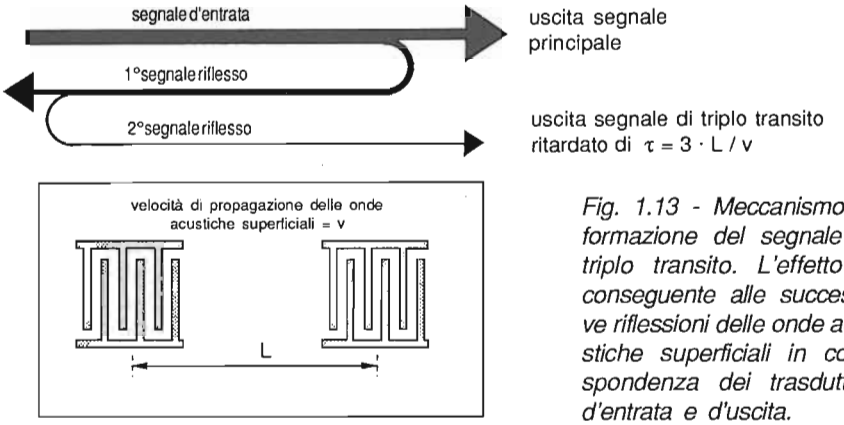


Fig. 1.13 - Meccanismo di formazione del segnale di triplo transito. L'effetto è conseguente alle successive riflessioni delle onde acustiche superficiali in corrispondenza dei trasduttori d'entrata e d'uscita.

Ci sono molti altri segnali spuri nei dispositivi ad onde acustiche superficiali che si possono ridurre sostanzialmente con un opportuno studio dei trasduttori interdigitati e del substrato. Le riflessioni alle estremità della piastrina si riducono tagliandola in modo inclinato e applicando degli assorbitori acustici dietro i trasduttori, come in-

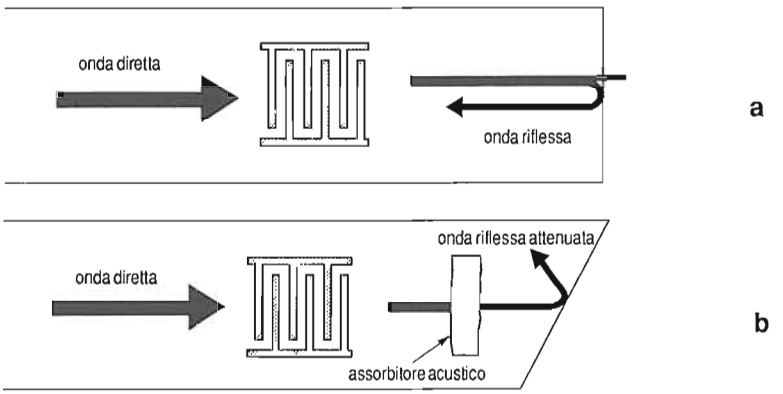


Fig. 1.14 - Riflessioni spurie delle onde acustiche superficiali all'estremità del substrato (a) e loro attenuazione per mezzo dell'azione combinata di un assorbitore acustico e del taglio inclinato dell'estremità (b).

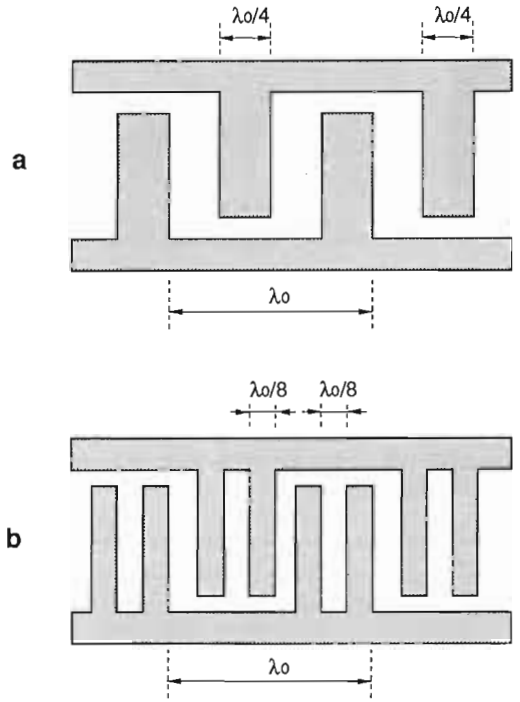
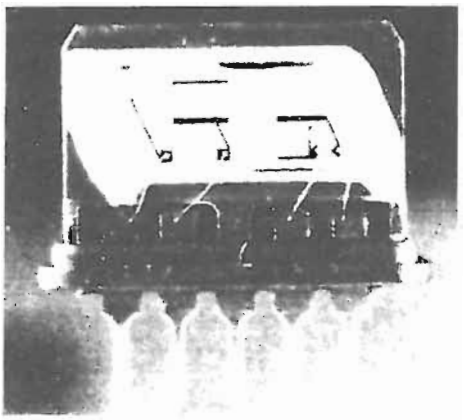


Fig. 1.15 - Trasduttore interdigitato convenzionale (a) e sua modifica a "doppio dente", con spaziatura ottimizzata (b) per la cancellazione delle riflessioni tra gli elettrodi.

dicato in Fig. 1.14. Le riflessioni entro questi ultimi si riducono dividendo ciascun "dente" in due parti di metà larghezza e uguale spaziatura, che ora diviene pari ad un ottavo di lunghezza d'onda (Fig. 1.15). L'effetto globale di questa geometria è che la riflessione da un particolare elettrodo è cancellata dalla riflessione dei suoi elettrodi circostanti.

1 - 4 - 2 Caratteristiche elettriche

La Fig. 1.16 riporta la risposta in frequenza e le curve di ritardo di gruppo del filtro OFW361 della SIEMENS progettato per essere impiegato negli stadi FI-video di televisori operanti secondo la Norma CCIR Standard B e G. Il filtro è caratterizzato, fra l'altro, da attenuazione dei segnali indesiderati (fuori banda) superiore a 40dB e di almeno 46dB per le portanti audio e video dei canali adiacenti. La perdita d'inserimento massima è di 18dB e per questo motivo il filtro è preceduto da un transistor pilota (in altri casi da un integrato) che con il suo guadagno provvede a compensare queste perdite.



Attenuation

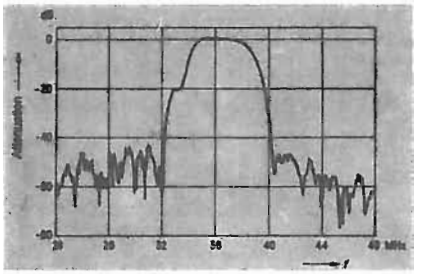
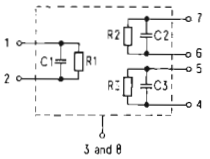
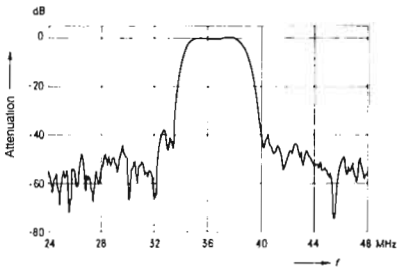


Fig. 1.16 - Struttura e caratteristica di attenuazione in funzione della frequenza del filtro OFW361 (Siemens) adatto allo standard CCIR-B,G.



	38.9	37.4	33.3	MHz
R_1	4.4	2.1	6.9	kΩ
C_1	5.4	5.5	8.6	pF
R_2	2.0	1.9		kΩ
C_2	10.1	12.8		pF
R_3	1.4		0.9	kΩ
C_3	17.8		10.7	pF
Insertion loss	30	24.5	26	dB

Attenuation Vision IF



Sound IF

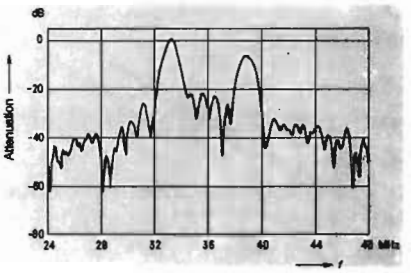


Fig. 1.17 - Dati caratteristici e curve di risposta per le uscite FI video e FI audio del filtro ad onde acustiche superficiali OFW730 (Siemens) ottimizzato per l'elaborazione del suono con la tecnica QPS.

Recentemente, con il diffondersi della tecnica dell'audio quasi parallelo e di quella stereofonica, vengono impiegati filtri ad onde superficiali dotati di una seconda uscita con risposta in frequenza ottimizzata per le necessità di elaborazione dello stadio FI-audio. Tale è, ad esempio, l'OFW730 del quale in Fig. 1.17 vengono riportate le risposte in ampiezza delle uscite FI-video ed FI-audio. Come verrà precisato nel capitolo 3°, nella tecnica del suono quasi-parallelo il segnale audio intercarrier (o i segnali, nel caso stereofonico) viene prodotto in un apposito stadio all'ingresso del quale devono giungere solamente la portante video e la portante audio con l'intera banda occupata dai propri prodotti di modulazione. Per questo motivo l'uscita per la sezione FI-audio presenta una risposta caratterizzata da due massimi centrati sui valori di FI della portante audio e video.

1 - 5 GLI INTEGRATI PER LA SEZIONE FI-VIDEO

I circuiti integrati nella sezione FI-video dei televisori a colori più recenti rappresentano evoluzioni dei classici TDA 440 e TDA 2540/41 (quest'ultimo impiegato per quasi un decennio!) e, pur ricalcandone la configurazione a blocchi, presentano caratteristiche notevolmente migliorate in termini di linearità di demodulazione, campo di regolazione del CAG e sensibilità.

Per la demodulazione della portante video nei circuiti integrati FI-video è utilizzata la tecnica della *rivelazione sincrona o moltiplicativa,* nella quale viene effettuata l'operazione di prodotto tra la portante video modulata:

$$e_1(t) = E_1\,[1 + m \cdot f(t)] \cdot \cos \omega_o t$$

e la portante stessa priva di modulazione:

$$e_2(t) = E_2 \cdot \cos \omega_o t$$

Risulta così:

$$e_1(t) \cdot e_2(t) = E_1 \cdot E_2 [m \cdot f(t)] \cos^2 \omega_o t = \frac{E_1 \cdot E_2}{2} + \frac{E_1 \cdot E_2}{2} \cos 2\omega_o t +$$
$$+ \frac{E_1 \cdot E_2}{2} m \cdot f(t) + \frac{E_1 \cdot E_2}{2} m \cdot f(t) \cdot \cos 2\omega_o t$$

In condizioni di precisa coerenza, il segnale d'uscita del moltiplicatore è rappresentato dalla somma di una componente continua, di una portante di frequenza doppia non modulata, di una portante di frequenza doppia modulata in ampiezza dal segnale f (t) e, infine, dal segnale modulante. Il passaggio di questi segnali attraverso

un filtro passa-basso permette l'estrazione della componente continua con sovrapposto il segnale modulante, ovverosia:

$$\frac{E_1 \cdot E_2}{2}[1 + m \cdot f(t)]$$

L'operazione di filtraggio è ovviamente facilitata dall'assenza di residui a frequenza fondamentale, in quanto in questa tecnica di rivelazione sono presenti solo armoniche pari.

In Fig. 1.18 viene indicato a blocchi il principio di funzionamento di questa tecnica. Il segnale a FI-video è applicato ad un amplificatore differenziale sulle cui due uscite sono presenti segnali identici ma di fase opposta. Parallelamente il segnale d'entrata viene applicato ad un secondo amplificatore differenziale che opera come li-

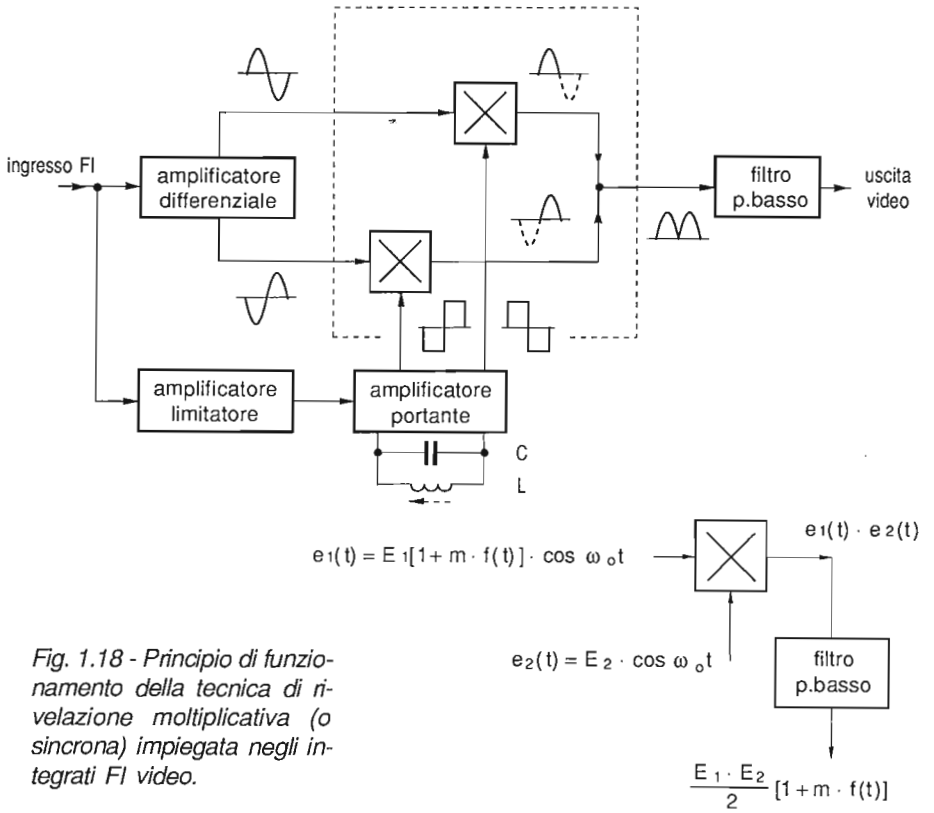


Fig. 1.18 - Principio di funzionamento della tecnica di rivelazione moltiplicativa (o sincrona) impiegata negli integrati FI video.

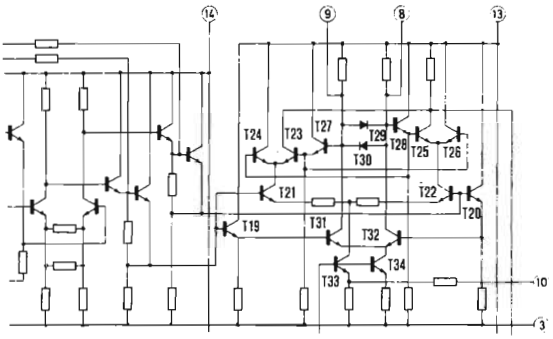


Fig. 1.19 - Schema elettrico del rivelatore moltiplicativo impiegato nell'integrato TDA 440 di FI video.

mitatore d'ampiezza, eliminando ogni traccia di modulante. La portante video a 38,9MHz così estratta viene quindi filtrata per mezzo di un circuito risonante L-C esterno e poi inoltrata, sotto forma di due segnali con fasi opposte, a due moltiplicatori, ciascuno dei quali opera la rivelazione di una semionda del segnale a FI-video.

Facendo riferimento allo schema elettrico di Fig. 1.19, che riproduce il rivelatore sincrono del TDA 440, T21-T22, T23-T24, T25-T26 formano un doppio moltiplicatore analogico dotato di due ingressi differenziali (basi di T21 e T22 per il segnale a FI-video, basi di T23-T26 e T24-T25 per la portante a 38,9MHz) e di un'uscita (collettore di T23 e T25). Il segnale di riferimento è ottenuto amplificando il segnale FI-video tramite l'mplificatore differenziale (T31 e T32), limitandone quindi l'ampiezza per mezzo dei diodi T29 e T30 e la banda con il circuito risonante connesso tra i pin 8 e 9.

T19-T20-T27-T28 sono degli emitter-follower che assicurano la separazione tra gli ingressi, mentre T33 e T34 operano come sorgenti di corrente per l'alimentazione delle sezioni del moltiplicatore. In particolare, la corrente di polarizzazione del moltiplicatore può venir modificata, cambiando in tal modo il fattore di moltiplicazione e quindi il livello d'uscita del segnale video, per mezzo di una resistenza variabile connessa tra il pin 10 e massa.

Le prestazioni complessive del rivelatore moltiplicativo dipendono fortemente dalle caratteristiche del circuito risonante connesso tra i pin 8-9. Così, se alla portante di riferimento sono associate componenti di frequenza diversa, verranno generati nuovi prodotti di rivelazione che si aggiungeranno al segnale utile disturbandolo. Ad esempio, la presenza di un residuo a frequenza di sottoportante cromatica (34,47MHz) determinerà la rivelazione della portante suono (33,4MHz) e la formazione di un segnale di disturbo a 1,07MHz.

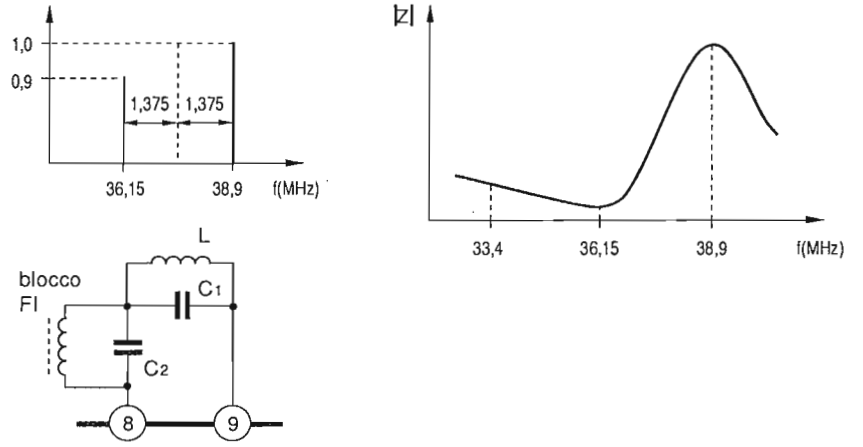


Fig. 1.20 - Modificando la struttura del filtro utilizzato per l'estrazione della portante video nel rivelatore moltiplicativo, è possibile attenuare le componenti a 36.16MHz, che altrimenti produrrebbero disturbi sul suono.

Si può rimediare a ciò utilizzando circuiti L-C ad alto *fattore di merito* o, meglio ancora, modificando la struttura del circuito aggiungendo elementi reattivi tali da introdurre delle risonanze serie su quelle frequenze che potrebbero causare disturbi.

In particolare la frequenza di 36,15MHz, in presenza di aree bianche, quindi con portante video di ampiezza ridotta, può determinare un "trascinamento" di quest'ultima fino al valore intermedio di (38,9+36,15)/2=37,525MHz. All'uscita del moltiplicatore, oltre ai disturbi sull'immagine in corrispondenza delle aree bianche (peraltro poco apprezzabili) avremo la produzione di armoniche: di queste, la quarta viene a cadere a 5,5MHz, determinando uno scadimento di qualità dell'audio.

Con il circuito di Fig. 1.20 è possibile rimediare all'inconveniente introducendo una risonanza parallelo (L-C1) a 38,9MHz e una risonanza serie (L-C1-C2) a 36,15MHz.

Descriveremo ora alcuni degli integrati più diffusi facendo riferimento agli schemi elettrici d'impiego.

1 - 5 - 1 Il TDA 3540/1

Il TDA 3540 ed il TDA 3541 sono identici in tutte le sezioni, eccetto per il circuito di CAG del tuner, essendo il primo adatto al controllo di tuner con transistor amplifica-

tori di tipo n-p-n ed il secondo di tipo p-n-p. Come risulta dallo schema a blocchi di Fig. 1.21, gli integrati contengono i seguenti blocchi funzionali:

- un amplificatore a tre stadi controllati in guadagno, con un campo di regolazione di 64dB;
- un demodulatore sincrono, dotato di amplificatore per il segnale di riferimento in grado di fornire segnali video con bassi livelli d'intermodulazione;
- un circuito CAG, protetto contro i disturbi, che effettua il controllo del guadagno sia dell'amplificatore a FI interno che del tuner;
- un secondo demodulatore sincrono per la produzione della tensione di CAF che mette a confronto la frequenza della portante video con quella di accordo del circuito risonante connesso tra i pin 7-10;
- un amplificatore video;
- un ingresso di commutazione per VCR;
- un invertitore di punti bianchi e di rumore che impedisce la formazione di punti ultra-bianchi e limita l'ampiezza dei disturbi verso il nero.

In Fig. 1.22 è riportato un esempio di impiego dell'integrato TDA 3541 nella sezione FI-video di un televisore Elcit-T217. L'amplificatore di FI-video è composto dal transistor TR4, dal filtro ad onde acustiche superficiali (FC1) dotato di uscite simmetriche, dall'integrato IC3 e dai circuiti accordati LC2 e LC3.

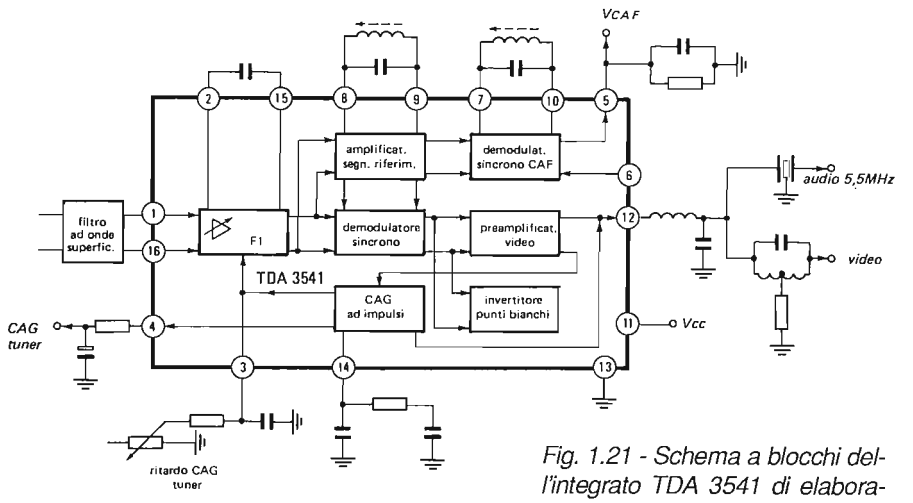


Fig. 1.21 - Schema a blocchi dell'integrato TDA 3541 di elaborazione dei segnali a FI video.

Il transistor TR4 (BF199) opera come amplificatore con guadagno di 20-26dB, sufficiente per compensare l'attenuazione introdotta dal filtro ad onde superficiali. La bobina K2, assieme alla capacità d'entrata del filtro ad onde superficiali, forma un circuito risonante accordato sul centro della banda FI-video. Il transistor viene fatto lavorare con una corrente di collettore abbastanza elevata (14mA), al fine di assicurare un'adeguata protezione contro i fenomeni di intermodulazione che potrebbero manifestarsi nello stadio a causa dell'ampia gamma di livelli d'entrata, in grado di raggiungere anche qualche decina di mV.

Il segnale presente ai piedini 5-1 del filtro viene applicato in modo simmetrico agli ingressi 1 e 16 dell'integrato. Qui esso incontra l'amplificatore a tre stadi con guadagno controllabile (64dB di dinamica) e quindi il demodulatore sincrono.

Tutti e tre gli stadi di cui è formato l'amplificatore a FI-video sono controllati in guadagno dalla tensione di CAG generata internamente; ciascuno presenta un intervallo di regolazione di circa 22dB, per un "range" complessivo, appunto, di 64dB. Per mantenere elevato il rapporto segnale-rumore, il CAG interviene dapprima sul terzo stadio dell'amplificatore e poi, al crescere del segnale ricevuto, sul secondo e

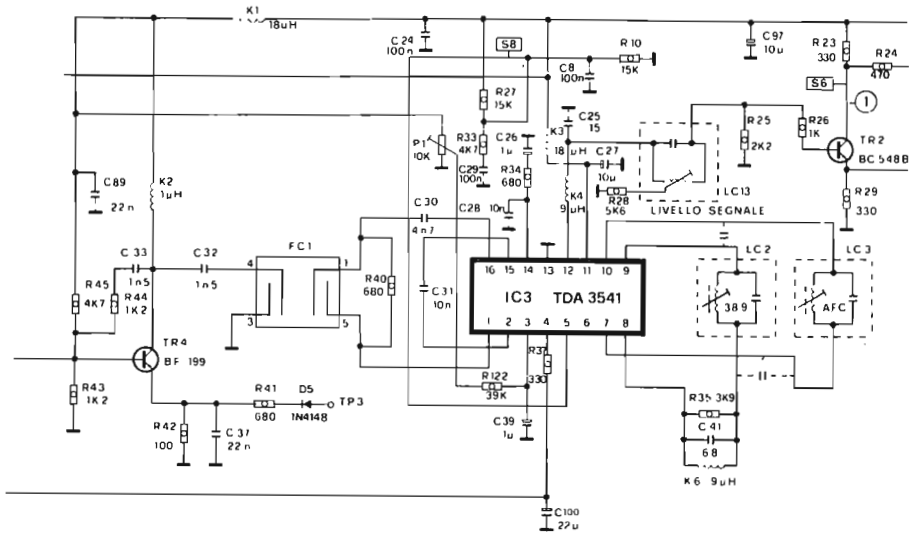


Fig. 1.22 - Schema elettrico applicativo del TDA 3541 nello stadio di FI video di un televisore a colori (Elcit T217). Da notare l'uso di un filtro SAW e la presenza di un filtro per l'estrazione della portante video strutturato nel modo indicato in Fig. 1.20.

quindi sul primo. I tre stadi dell'amplificatore sono reazionati in continua; onde assicurare stabilità di funzionamento è perciò richiesta una capacità di by-pass tra i pin 2 e 15.

Il *rivelatore video*, di tipo moltiplicativo, opera in associazione con il circuito amplificatore-limitatore che ha il compito di estrarre la portante di riferimento selezionandola per mezzo del circuito risonante connesso tra i pin 8 e 9. Il funzionamento del demodulatore è estremamente lineare: a ciò contribuisce anche l'alta selettività del circuito serie-parallelo C41-LC2 che riduce le modulazioni residue in ampiezza e fase del segnale di riferimento. Peraltro, l'alto fattore di merito di questo circuito richiede una notevole stabilità del sistema di sintonia del tuner, giacchè ogni piccola deviazione di frequenza della portante video da 38,9MHz si traduce in uno spostamento di fase del segnale di riferimento con conseguente intermodulazioni nel segnale d'uscita. Per questo motivo il TDA 3541 incorpora uno stadio di CAF che provvede a fornire il segnale di correzione per l'oscillatore locale del tuner.

Lo stadio contiene un *doppio comparatore di fase bilanciato* che mette a confronto il segnale di riferimento con la frequenza di accordo del circuito LC3 connesso tra i pin 7 e 10, accordato alla frequenza di 38,9MHz. La tensione di CAF presente al pin 5, per uno scostamento di 100kHz dalla frequenza di riferimento, passa da 6V a 1V o ad 11V a seconda che si sia verificata una diminuzione o un aumento della frequenza. Questa tensione viene utilizzata dal sistema di sintonia per correggere la tensione inoltrata ai diodi varicap in condizioni di normale ricezione. Il funzionamento dello stadio di CAF può venire inibito, in fase di ricerca, semplicemente portando il pin 6 ad un livello di tensione inferiore a 2,5V.

Il segnale video presente all'uscita del demodulatore sincrono attraversa un preamplificatore ed esce al pin 12 con fase positiva. L'integrato è dotato di uno stadio rivelatore e invertitore dei "punti bianchi": quando un disturbo supera di poco il livello del bianco (5,6V) viene invertito di fase e sommato al segnale, apparendo così grigio.

Al pin 12 è così disponibile il segnale video di fase positiva che viene applicato all'emitter follower TR2 tramite il filtro a T L-C3, accordato a 5,5MHz, il cui compito è di sopprimere eventuali residui intercarrier.

Veniamo ora allo *stadio di CAG*. Questo è formato da un rivelatore che ha il compito di valutare l'ampiezza del picco di sincronismo del segnale ricevuto confrontandolo con una tensione di riferimento di 3,07V prodotta internamente. Il superamento di questa soglia determina la scarica del condensatore presente al pin 14 e quindi la diminuzione del guadagno dell'amplificatore a FI-video. Il guadagno è massimo per una tensione di 10-11V al pin 14 e minimo quando questa scende a 4-5V. In particolare, collegando questo piedino a massa, è possibile inibire il funzionamento dell'amplificatore a FI-video e del preamplificatore video: si blocca così l'uscita video al pin 12 ed il ricevitore può allora operare con segnali provenienti da VCR.

Quando il segnale in antenna supera una certa soglia (circa 1mV), determinata dalla tensione continua applicata al pin 3, ha luogo il trasferimento del controllo di guadagno dal primo stadio dell'amplificatore a FI-video all'amplificatore RF del tuner. La corrente di controllo per quest'ultimo esce al pin 4 e va a modificare la tensione di CAG per il tuner.

Per ultimo ricordiamo la presenza di uno stadio *rivelatore-invertitore di disturbi,* la cui presenza si rende necessaria per prevenire un funzionamento inadeguato del rivelatore di CAG e per limitare il segnale video d'uscita, nel caso di ricezione disturbata da impulsi negativi (verso il nero). La prima azione si manifesta con la riduzione della corrente di polarizzazione del rivelatore; la seconda, con l'agganciamento del segnale video al livello del nero (3,8V) in corrispondenza degli impulsi di disturbo rivelati.

1 - 5 - 2 Il TDA 4442

Questo circuito integrato rappresenta una evoluzione del noto TDA 440 e, oltre a comprendere i soliti stadi presenti in tutti gli integrati progettati per questa applicazione, comprende un commutatore VCR tramite il quale avviene la gestione dei segnali video in banda base da e per il VCR.

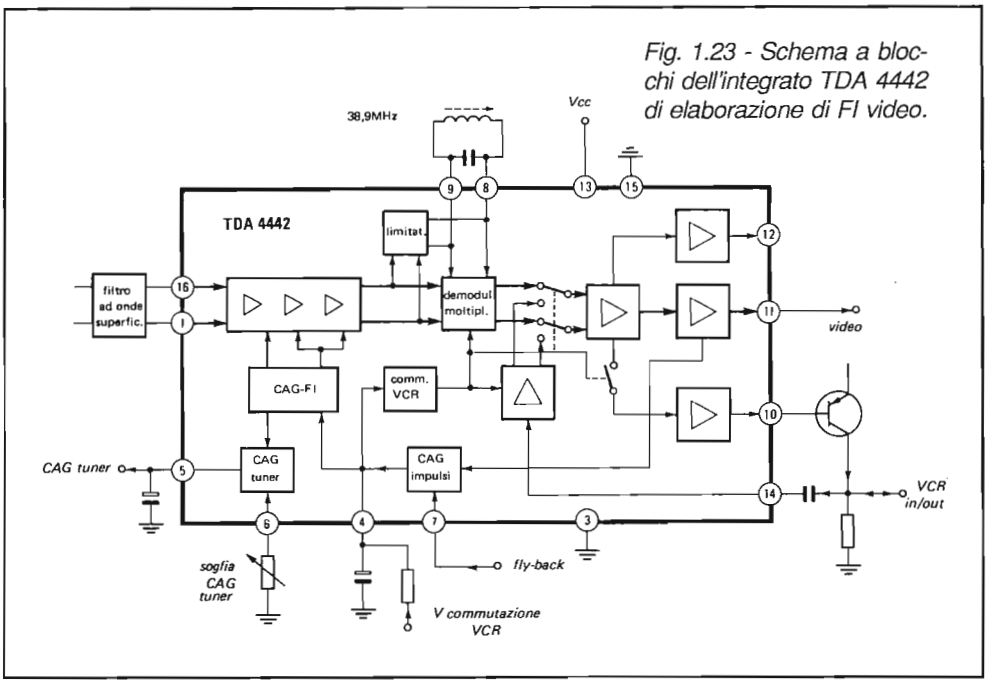


Fig. 1.23 - Schema a blocchi dell'integrato TDA 4442 di elaborazione di FI video.

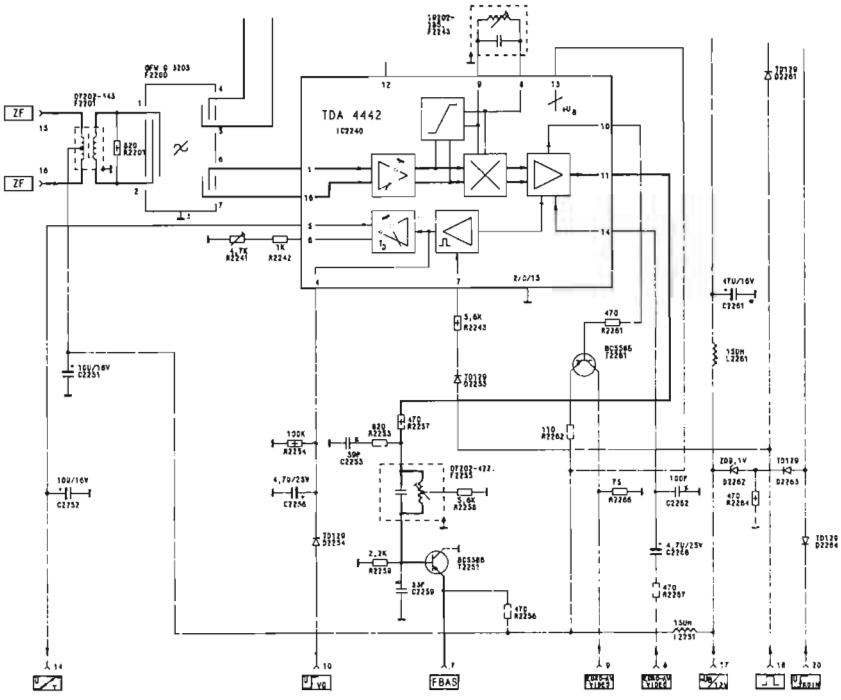


Fig. 1.24 - Schema elettrico applicativo del TDA 4442 in un televisore a colori (Grundig CUC2500). Si noti la presenza di un filtro SAW con uscita ausiliaria per l'elaborazione dell'audio con la tecnica QPS.

Lo schema a blocchi dettagliato dell'integrato è riportato in Fig. 1.23. Con l'aiuto anche della Fig. 1.24, che rappresenta un impiego pratico del TDA 4442 nel telaio Grundig CUC2500, descriviamone il funzionamento.

Il segnale FI-video proveniente dal tuner giunge all'ingresso del prestadio integrato TUA 2000 che opera, fra l'altro, come amplificatore a larga banda e pilota del filtro ad onde superficiali F2001. Le uscite di quest'ultimo sono applicate, in modo bilanciato, agli ingressi (pin 1 e 16) dell'amplificatore FI-video integrato. Questo consta di 3 stadi a guadagno regolabile, controllati separatamente, che assicurano un livello d'uscita di 3V al pin 11 già con segnali d'ingresso di 0,1mV. Per effetto del CAG, il livello d'uscita si mantiene praticamente costante anche di fronte a variazioni ampie (oltre 60dB) del segnale d'entrata.

Il segnale a FI viene inoltrato al rivelatore video moltiplicativo assieme alla portante

video precedentemente estratta per mezzo del filtro connesso tra i pin 8 e 9, dopo che il segnale è stato amplificato e limitato in ampiezza.

L'uscita del demodulatore è connessa a due preamplificatori video con comportamento passa-basso, alle cui uscite (pin 11 e 12) risultano presenti due segnali video identici ma di polarità opposte.

La stessa uscita fa capo ad un terzo preamplificatore video, tramite un interruttore che viene aperto durante la riproduzione da VCR. L'uscita facente capo al pin 10 pilota la base di T2261, al cui collettore, in ricezione normale, è disponibile il segnale video del programma ricevuto alla presa SCART AV.

In condizioni di riproduzione da VCR, il pin 4 viene portato ad un livello superiore a 6,5V: ciò determina una serie di commutazioni che hanno quale effetto il blocco del funzionamento della sezione amplificatrice FI, del rivelatore moltiplicativo, l'apertura dell'interruttore di cui si è detto più sopra e la contemporanea attivazione di un amplificatore video a due uscite di polarità opposte che riceve il segnale video in banda base al pin 14 e lo applica, tramite un commutatore, ai due preamplificatori video. In tal modo il ricevitore TV riprodurrà il segnale in banda base proveniente dal VCR.

La funzione di controllo automatico di guadagno (CAG) è affidata ad uno stadio di tipo *gated* il quale riceve ai suoi due ingressi il segnale video di fase negativa (tramite collegamento interno) e gli impulsi esterni di fly-back di riga applicati al pin 7 che possono essere indifferentemente di polarità positiva (come nel caso in esame) o negativa.

Durante i ritorni di riga, lo stadio compara l'ampiezza del segnale video rivelato con una tensione di riferimento interna. La tensione di errore che ne risulta viene filtrata (pin 4) e amplificata, in modo da controllare il guadagno dell'amplificatore di FI.

La stessa tensione è inoltrata ad un circuito a soglia, il cui livello è regolabile modificando il valore di resistenza presente al pin 6, che in tal modo determina il ritardo dell'azione del CAG sul tuner.

capitolo secondo

LA SEZIONE AUDIO

2 - 1 I DISTURBI NEL SISTEMA INTERCARRIER TRADIZIONALE

Come è noto, l'estrazione dell'informazione audio nei ricevitori televisivi avviene per demodulazione della portante a 5,5MHz, modulata in frequenza, presente all'uscita del rivelatore video e prodotta dal battimento tra le portanti video e audio *(intercarrier)* entro quello stadio. Questa tecnica, per la sua semplicità di funzionamento, è stata l'unica ad essere impiegata nei ricevitori televisivi fino a quando esigenze di maggiore qualità nella riproduzione del suono prima, e della ricezione stereofonica poi, hanno imposto l'adozione di nuove tecniche di elaborazione.

Nel sistema intercarrier convenzionale, i segnali audio e video vengono inoltrati allo stesso amplificatore a FI video dopo aver attraversato un filtro passa-banda la cui risposta, ottimizzata per l'elaborazione del segnale video, penalizza però l'informazione audio. Dopo il demodulatore sincrono è disponibile il segnale intercarrier a 5,5MHz, valore pari alla differenza tra le frequenze delle portanti video e audio, che separato dal segnale video per mezzo di un *filtro ceramico* viene inoltrato all'integrato amplificatore-limitatore-demodulatore. Purtroppo, anche se le ottime caratteristiche di questi integrati assicurano normalmente una discreta protezione contro i disturbi (con valori del rapporto segnale-rumore fino a 40dB), accade che in presenza di zone d'immagine molto luminose tale valore scenda di parecchio, rendendo inaccettabile la qualità del suono riprodotto. La situazione può presentarsi stabilmente insoddisfacente se il rapporto tra le ampiezze delle portanti video-audio presenti all'ingresso del televisore è alto, a causa di riflessioni, disadattamenti o amplificatori d'antenna mal allineati.

Tornando ai disturbi per così dire interni, si è già visto al Par. 1-5 che una riduzione di questi sul segnale a 5.5MHz può ottenersi adottando una rete di selezione per il

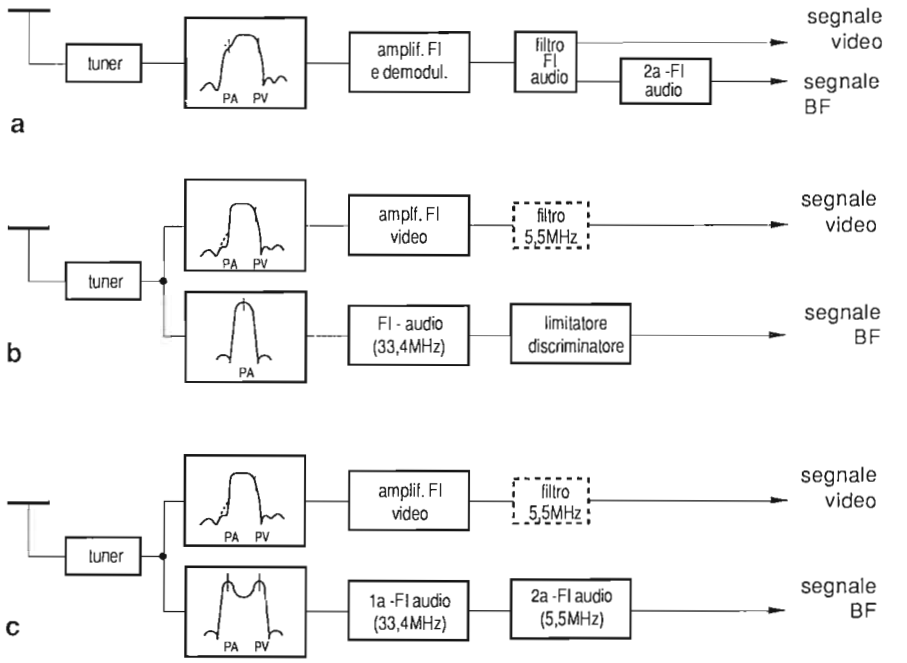


Fig. 2.1 - Struttura a blocchi delle tecniche di elaborazione del segnale audio: intercarrier convenzionale (a), audio parallelo (b) e quasi parallelo (c).

segnale di riferimento del rivelatore caratterizzata da una risonanza serie a 36.15MHz. Con questo accorgimento si ottiene un discreto miglioramento qualitativo del suono, peraltro ancora insufficiente per parlare di alta fedeltà.

Un considerevole passo in avanti può ottenersi con la tecnica dell'audio *quasi parallelo* che sarà descritta nel prossimo paragrafo.

2 - 2 SISTEMA AUDIO "QUASI PARALLELO" (QPS)

Questa tecnica di elaborazione a FI dell'audio combina le caratteristiche positive del sistema intercarrier e del canale audio parallelo. Il principio di funzionamento è il seguente: la portante video (38,9MHz) e quella audio (33,4MHz), completa delle

sue bande laterali, sono estratte prima di attraversare il filtro di FI-video, presentando lo stesso rapporto di ampiezza che avevano all'ingresso del tuner. La curva di risposta del filtro di estrazione è caratterizzata da due massimi centrati sulle frequenze intermedie video ed audio, con andamento simmetrico rispetto a queste. La simmetria del picco centrato sulla portante video assicura una rigenerazione di questo segnale con fase costante, grazie alla presenza di entrambe le oscillazioni laterali con pari ampiezza: ciò è ulteriormente garantito dall'attenuazione a oltre 20dB delle componenti video più lontane dalla portante e dotate di una sola banda laterale. Inoltre l'attenuazione di queste componenti impedisce la formazione di prodotti d'intermodulazione le cui armoniche andrebbero a cadere sul canale audio, centrato su 5,5MHz, interferendolo.

Una volta estratte con i criteri sopraddetti, le due portanti vengono inviate ad un amplificatore controllato in guadagno e da questo ad uno stadio rivelatore moltiplicativo, del tipo già incontrato parlando dell'amplificatore FI video. I prodotti della rivelazione attraversano un filtro passa-basso e quindi un filtro accordato a 5,5MHz, che provvede ad estrarre la portante audio modulata in frequenza. Da questo punto in avanti il segnale incontra, come in un normale televisore intercarrier, uno stadio amplificatore-limitatore e un demodulatore FM a coincidenza.

Con l'elaborazione senza attenuazione della portante audio, il livello di quest'ultima prima della rivelazione moltiplicativa è di 20dB superiore rispetto al normale sistema intercarrier: a tale protezione va aggiunta quella dovuta all'attenuazione (>20dB) subita dalle componenti video le cui prime armoniche cadrebbero su 5,5MHz. Ogni residua modulazione d'ampiezza viene comunque eliminata dal successivo stadio amplificatore-limitatore. Con questa tecnica si è riusciti ad elevare a oltre 50dB il rapporto segnale-disturbo sul segnale audio, mantenendolo sempre al

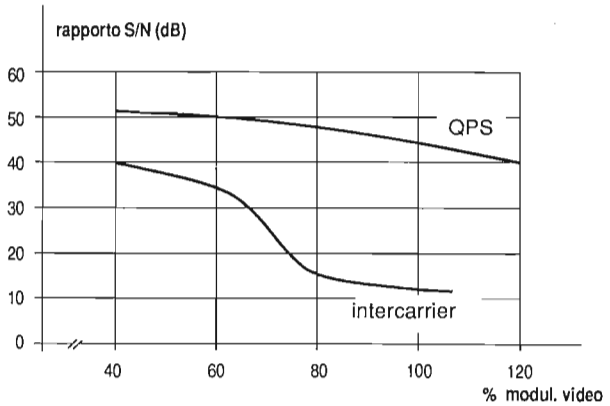


Fig. 2.2 - Confronto delle prestazioni, in termini di rapporto segnale-rumore, tra le tecniche intercarrier convenzionale e audio quasi parallelo (QPS) in funzione della modulazione video e per un dislivello audio-video di –10dB.

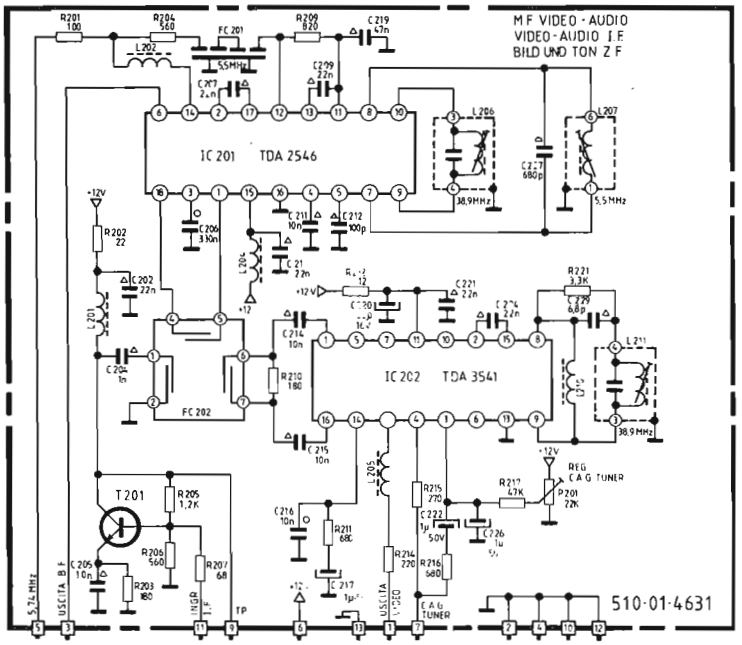


Fig. 2.3 - Schema elettrico della sezione FI-video e FI-audio del tipo QPS (Brion Vega MT) equipaggiata con gli integrati TDA 3541 e TDA 2546.

di sopra di 40dB anche nel caso di trasmissioni sovramodulate (con portante residua solamente dell'1%). In Fig. 2.2 vengono riportate le prestazioni qualitative, in termini del rapporto segnale-disturbo, offerte dalle due tecniche nel caso di trasmissione con rapporto audio-video pari a –10dB. Infine, ricordiamo che, con l'elaborazione a banda relativamente larga delle due portanti fino allo stadio moltiplicatore, le prestazioni fornite dal ricevitore non cambiano in modo apprezzabile anche nel caso di ampia desintonizzazione.

In chiusura, vale la pena sottolineare che la tecnica descritta introduce sensibili miglioramenti anche nella catena FI video, a seguito della maggiore attenuazione della portante audio residua a 33,4MHz, che riduce considerevolmente i fenomeni di intermodulazione, ed in particolare il disturbo a 1,07MHz. Inoltre, a causa della più accentuata attenuazione della portante audio, la banda passante a FI video può estendersi fino a 5MHz, determinando un miglioramento del dettaglio delle immagini e delle caratteristiche dei segnali televideo.

2 - 3 SEZIONE FI AUDIO - QPS

In Fig. 2.3 è riportato lo schema elettrico delle sezioni di FI video e audio (di tipo QPS) equipaggiate, rispettivamente, con gli integrati TDA 3541 e TDA 2546. Quest'ultimo, prodotto dalla Philips, è stato sviluppato per realizzare l'intera sezione a FI audio e infatti alla sua uscita (pin 6) è disponibile il segnale di BF con livello adatto alle successive elaborazioni di BF. L'integrato è dotato inoltre di un circuito di commutazione BF per la *funzione di muting*, necessaria per bloccare la sezione audio nei televisori dotati di presa peritelevisiva. Esaminiamo il funzionamento del circuito integrato descrivendo il percorso del segnale e le successive elaborazioni che esso subisce, anche con l'aiuto della Fig. 2.4 che ne riporta lo schema a blocchi.

Il segnale a FI proveniente dal tuner giunge alla base di T201 dove viene amplificato di circa 24dB prima di essere applicato all'ingresso del filtro ad onde superficiali FC202. L'induttanza L201, assieme alla capacità d'ingresso del filtro, forma un circuito risonante a larga banda centrato su circa 36MHz. Il filtro è dotato di due uscite con caratteristiche di trasferimento ottimizzate per le successive elaborazioni con la tecnica QPS e per la FI video.

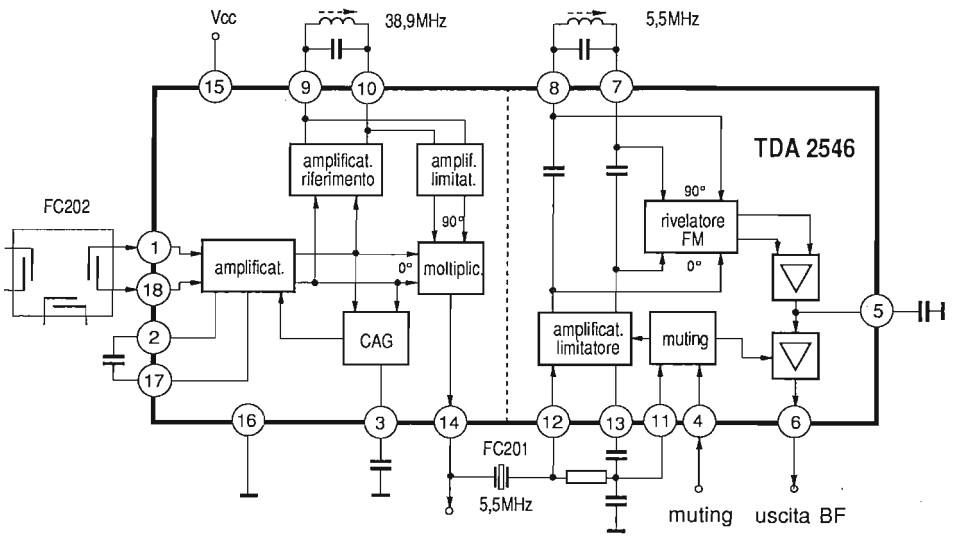


Fig. 2.4 - Schema a blocchi del circuito integrato TDA 2546 per la demodulazione audio con la tecnica QPS.

Per quanto riguarda la sezione audio, i segnali presenti alle uscite 4-5 del filtro vengono trasferiti in modo bilanciato ai pin 1 e 18 del TDA 2546. All'interno essi incontrano un amplificatore a tre stadi il cui guadagno viene regolato automaticamente per mezzo di un circuito di CAG interno che "misura" il valore efficace del segnale all'uscita dell'amplificatore, moltiplicando il segnale per se stesso e filtrando la tensione risultante con C206. Dal confronto di questa con un'altra di riferimento, generata internamente, viene prodotta una tensione di errore che, amplificata, è utilizzata per regolare il guadagno dei tre stadi amplificatori, stabilizzandone così il livello d'uscita.

Il segnale viene quindi inoltrato al mescolatore moltiplicativo che effettua una *rivelazione in quadratura* utilizzando come segnale di riferimento la portante video a 38,9MHz sfasata di 90°, parallelamente estratta dal circuito risonante connesso tra i pin 9 e 10 e successivamente amplificata e limitata in ampiezza.

Si ottiene in questo modo un segnale a 5,5MHz modulato in frequenza, privo delle componenti di disturbo dovute alla modulazione video. Il segnale viene quindi trasferito all'interno tramite il pin 14 e, attraverso l'induttanza L202 (che con la capacità del circuito forma un filtro passa-basso per bloccare le armoniche) ed il filtro passa-banda ceramico FC201, viene reintrodotto nell'integrato tramite il pin 12. Qui esso incontra un amplificatore-limitatore a 8 stadi seguito da un demodulatore FM del tipo "in quadratura a coincidenza", la cui rete sfasatrice è formata dal circuito risonante esterno collegato tra i pin 6 e 7 e da due capacità interne, integrate, di 50pF.

Il segnale di BF attraversa poi un preamplificatore la cui resistenza d'uscita, assieme alla capacità presente al pin 5, forma la rete di deenfasi. Questa opportunità non è utilizzata nello schema di figura e la deaccentuazione del segnale di BF con costante di tempo di 50μs viene invece attuata tramite una rete RC nel modulo di BF.

Ricordiamo infine che l'integrato è dotato di un ingresso di commutazione (pin 4) applicando al quale una tensione superiore a 9V è possibile bloccare il funzionamento del demodulatore a 5,5MHz e quindi l'uscita di BF. Questa possibilità, non utilizzata nello schema in esame, viene usata nel caso di riproduzione di segnali audio video provenienti da sorgenti AV esterne.

2 - 4 AUDIO STEREO-BILINGUE IN TV

Il sensibile miglioramento qualitativo determinato dall'introduzione della tecnica dell'audio quasi-parallelo ha portato a una crescente domanda di qualità nella sezione audio del televisore a cui i costruttori hanno dapprima risposto con stadi di BF

dotati di caratteristiche Hi-Fi e, successivo passo obbligato, con l'audio stereofonico.

Il problema maggiore dell'aggiunta dell'audio stereo ai programmi irradiati è determinato dalla richiesta compatibilità con i sistemi monofonici in uso: inoltre il sistema impiegato deve assicurare un'adeguata separazione (superiore a 55dB) tra i due canali, al fine di permettere la simultanea trasmissione di due lingue diverse (bilingue) con diafonia trascurabile.

Peraltro, per una corretta trasmissione stereo, è di fondamentale importanza che i due segnali abbiano uguale ampiezza e non subiscano variazioni di fase tra il microfono e l'altoparlante, al fine di non alterare l'effetto stereofonico.

Tra i diversi sistemi analogici proposti per le trasmissioni dell'audio stereo/bilingue, ne ricorderemo tre.

2 - 4 - 1 Il sistema a frequenza pilota

E' analogo a quello utilizzato correntemente per le trasmissioni radio-stereo-FM, sviluppato negli anni '60 dall'americana Zenith. I segnali audio dei canali sinistro (S) e destro (D), come indicato in Fig. 2.5, attraversano una rete di preenfasi (50µs)

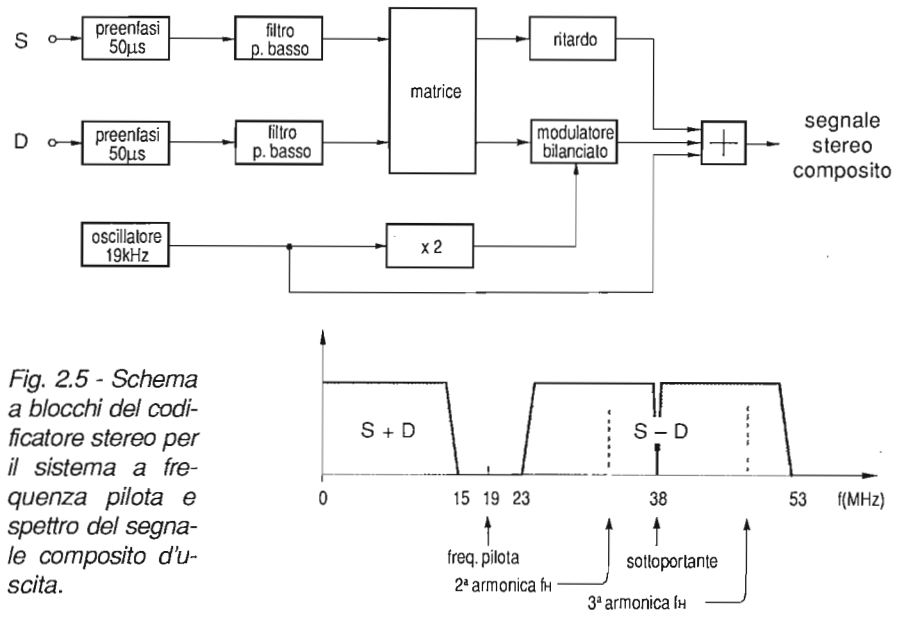


Fig. 2.5 - Schema a blocchi del codificatore stereo per il sistema a frequenza pilota e spettro del segnale composito d'uscita.

e un filtro passa basso (che limita a 15kHz la frequenza massima) prima di giungere alla matrice che produce i segnali S+D (monocompatibile) e S–D (differenza stereo). Quest'ultimo va a modulare in ampiezza una portante a 38kHz tramite un modulatore bilanciato, alla cui uscita risultano quindi presenti solo le bande laterali che si estendono da 23 a 53kHz. Il segnale S+D in banda base, le bande laterali del segnale S–D e una sottoportante pilota a 19kHz vengono quindi sommate prima di essere inoltrate al modulatore FM audio per la trasmissione.

Con questo sistema, la larghezza di banda occupata dal segnale modulante viene incrementata di circa 3,5 volte rispetto ad una trasmissione mono. Ciò porta ad un considerevole aumento (circa 22dB) del livello di rumore all'uscita del rivelatore FM con conseguente riduzione di pari entità del rapporto segnale-rumore. Altre cause di disturbo sono da ricercarsi nell'inevitabile presenza di armoniche della frequenza di riga (la seconda a 31,25kHz e la terza a 46,875kHz) che vanno a cadere entro le bande laterali del segnale S–D; nel modulatore a 38kHz, queste armoniche vengono a cadere su 6,75kHz (38–31,25) e 8,875kHz (46,875–38), rispettivamente, producendo inaccettabili disturbi.

Una versione migliorata di questo sistema, utilizzata in USA e denominata BTSC/MTS (Multichannel Television Sound), utilizza una sottoportante pilota a frequenza di riga e una portante per il segnale S–D a frequenza doppia; vengono evitati in questo modo i battimenti di cui si è detto più sopra, ma purtroppo la separazione tra i due canali risulta sempre di valore troppo basso rispetto a quello richiesto dalle trasmissioni bilingue.

2 - 4 - 2 Il sistema giapponese FM-FM

E' in uso dal 1978 ed impiega (Fig. 2.6) una sottoportante a 31,25kHz, frequenza doppia di quella di riga, che viene modulata in frequenza dal segnale S–D. Lo spettro di questo segnale si estende da 16,5 a 46,5kHz e la deviazione massima ammonta a 15kHz. Oltre al segnale S+D (monofonico compatibile) in banda base, viene trasmessa anche una sottoportante a 55kHz, modulata in ampiezza con dei segnali che producono la commutazione automatica del decodificatore tra la ricezione mono/stereo/bilingue. Il segnale composito così ottenuto viene utilizzato per modulare in frequenza la portante video.

Il sistema presenta una discreta separazione tra i canali trasmessi e quindi è adatto a trasmissioni bilingue. Inoltre la modulazione di frequenza della sottoportante utilizzata per la trasmissione del segnale S–D assicura un livello di rumore notevolmente più basso di quello presente nel sistema di Zenith descritto al punto precedente.

Purtroppo il rovescio della medaglia è rappresentato da una distorsione dell'ordine del 2% per il canale S–D, a causa dell'indispensabile limitazione di frequenza a cui

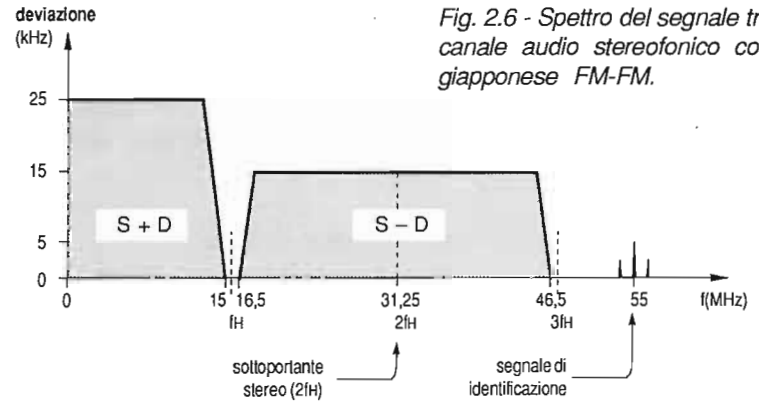


Fig. 2.6 - Spettro del segnale trasmesso nel canale audio stereofonico con il sistema giapponese FM-FM.

deve venir sottoposta la banda della sottoportante FM onde evitare debordamenti sul canale S+D e quindi interferenze in fase di decodifica.

2 - 4 - 3 Il sistema a due portanti

E' stato sviluppato e adottato dalla Germania Occidentale a partire dal 1980. Questo sistema (Fig. 2.7), oltre alla portante audio posta a 5,5MHz al di sopra di quella video e modulata in frequenza dal segnale (S+D)/2, impiega una seconda portante audio posta 242kHz al di sopra della precedente e modulata in frequenza dal segnale D. Le due portanti sono trasmesse con livelli di –13dB e –20dB, rispettivamente, nei confronti della portante video.

Onde permettere al ricevitore di riconoscere i tre modi di trasmissione, mono, stereo e bilingue, determinando la commutazione automatica dei circuiti predisposti allo scopo, viene trasmesso un segnale di identificazione formato da una portante di 54,6875kHz (3,5 volte la frequenza di riga) modulato in ampiezza con profondità di modulazione del 50% da un segnale a 117,5Hz, nel caso di trasmissioni stereo, e da un segnale a 274,1Hz per trasmissioni bilingue. Nelle trasmissioni monofoniche, invece, la portante di identificazione non viene modulata.

Riassumendo, la modulazione di ampiezza della portante di identificazione definisce il tipo di trasmissione in corso:

- nessuna modulazione — trasmissione monofonica
- modulazione a 117,5Hz — trasmissione stereo
- modulazione a 274,1Hz — trasmissione bilingue

In tabella sono riassunte le caratteristiche di trasmissione del sistema a 2 portanti audio adottato in Italia con D.M. 3/8/1984. La scelta di trasmettere il segnale stereo D sulla seconda portante audio anzichè il segnale S–D, come attuato invece dagli altri sistemi descritti in precedenza, presenta il vantaggio che in presenza di identiche condizioni di disturbo o di rumore sulle due informazioni, si avranno, dopo la dematrizzazione, due segnali di BF con lo stesso rapporto segnale-rumore. Indicando con N il disturbo, si avrà infatti:

$$2 \cdot \left(\frac{S+D}{2} + N\right) - (D+N) = S + N \qquad \text{per il canale sinistro}$$

$$D + N = D + N \qquad \text{per il canale destro}$$

Ripetendo le stesse considerazioni nel caso invece di trasmissione del segnale stereo S–D, così come avviene nei sistemi esaminati in precedenza, si ottiene una concentrazione del rumore sul canale destro, quindi un considerevole peggioramento del rapporto segnale-rumore su uno dei due canali di BF.

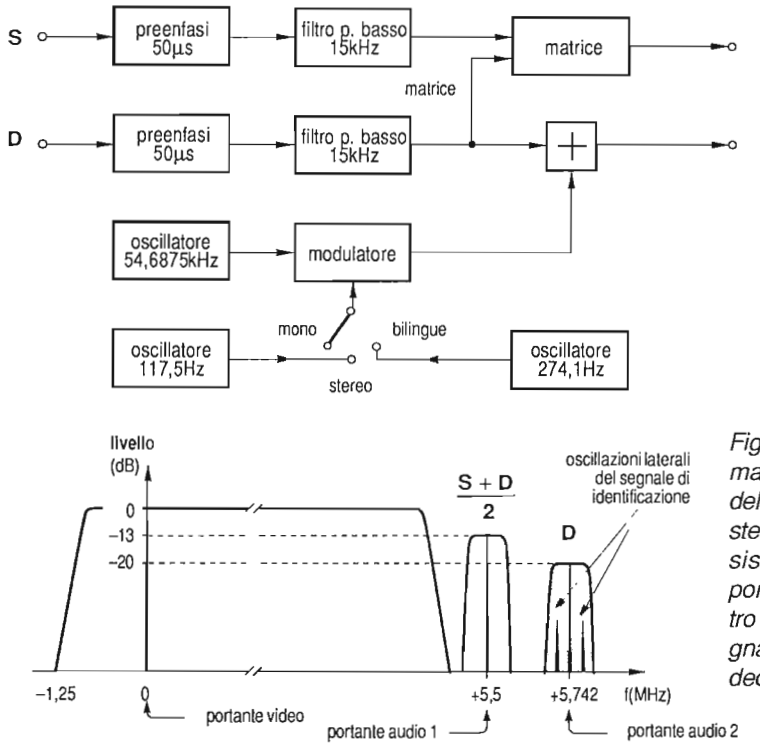


Fig. 2.7 - Schema a blocchi del codificatore stereo TV per il sistema a 2 portanti e spettro a RF dei segnali audio-video trasmessi.

Tab. 2.1 - Caratteristiche di trasmissione del sistema a 2 portanti adottato in Italia.

CARATTERISTICHE DI TRASMISSIONE DEL SISTEMA A 2 PORTANTI SUONO (SISTEMI DI TELEVISIONE *B* E *G*)		
Caratteristiche	**Canale suono 1**	**Canale suono 2**
Portante suono RF:		
Frequenza riferita alla portante video (MHz)	+ 5,5 (1)	+ 5,5 + 0,2421875 (1)
Livello di potenza riferito al piccovideo (dB)	− 13	− 20
Modulazione	di frequenza	di frequenza
Deviazione di frequenza (kHz)	± 50	± 50
Larghezza di banda audio (Hz)	40 ÷ 15.000	40 ÷ 15.000
Preenfasi (μs)	50	50
Segnali audiofrequenza:		
Monofonici	monofonico 1	monofonico 1 (2)
Stereofonici (3)	M = (A +B)/2	B
Doppio suono	monofonico 1	monofonico 2
Segnali di identificazione (4):		
Frequenza della sottoportante (5) (kHz)		54,6875 (3,5 × frequenza di linea)
Modulazione della sottoportante		di ampiezza
Frequenza di modulazione della sottoportante (5) (Hz):		
per monofonia		0
per stereofonia		117,5 (freq. linea/33)
per doppio suono		274,1 (freq. linea/57)
Deviazione di frequenza della seconda portante suono dovuta alla sottoportante (kHz)		± 2,5

(1) La differenza di frequenza fra le due portanti suono è pari a 15,5 × la frequenza di linea = 242,1875 kHz. L'aggancio in fase delle due portanti suono con la frequenza di linea produce dei miglioramenti, ma non è strettamente necessario.
(2) Durante il periodo sperimentale verrà valutata l'opportunità di non trasmettere la portante del secondo canale suono.
(3) Nella trasmissione stereofonica, la prima portante suono è modulata dal segnale *M* pari alla metà della somma del segnale di sinistra *A* e del segnale di destra *B*, la seconda portante suono è modulata dal segnale *B* soltanto.
(4) I segnali di identificazione permettono di distinguere tra la trasmissione doppio suono e la trasmissione stereofonica. Questi segnali sono trasmessi modulando di ampiezza una sottoportante che a sua volta modula in frequenza la seconda portante suono.
(5) Le frequenze della sottoportante e dei segnali di identificazione sono agganciate in fase con la frequenza di linea.

2 - 5 RICEVITORE STEREO-BILINGUE

La struttura della sezione stereo di un ricevitore TV operante con il sistema a due portanti è riportata in Fig. 2.8a. All'ingresso dell'integrato elaboratore QPS troveremo la portante video a 38,9MHz e le due portanti audio a 33,4MHz (mono) e 33,158MHz (stereo) con un rapporto di ampiezza pari a quello di trasmissione, come indicato in Fig. 2.9a. All'uscita, saranno invece presenti le sole due portanti audio con frequenze intercarrier, rispettivamente, di 5,5MHz e 5,742MHz e con il dislivello originale di 7dB (Fig. 2.9b).

Le due portanti, assieme alle proprie bande laterali, vengono selezionate tramite due filtri di banda ceramici ad alta selettività e quindi inoltrate a due demodulatori FM. L'uscita di quello operante a 5,5MHz sarà rappresentata dal segnale mono, S+D o dal canale A, a seconda che si tratti di trasmissione mono, stereo o bilingue.

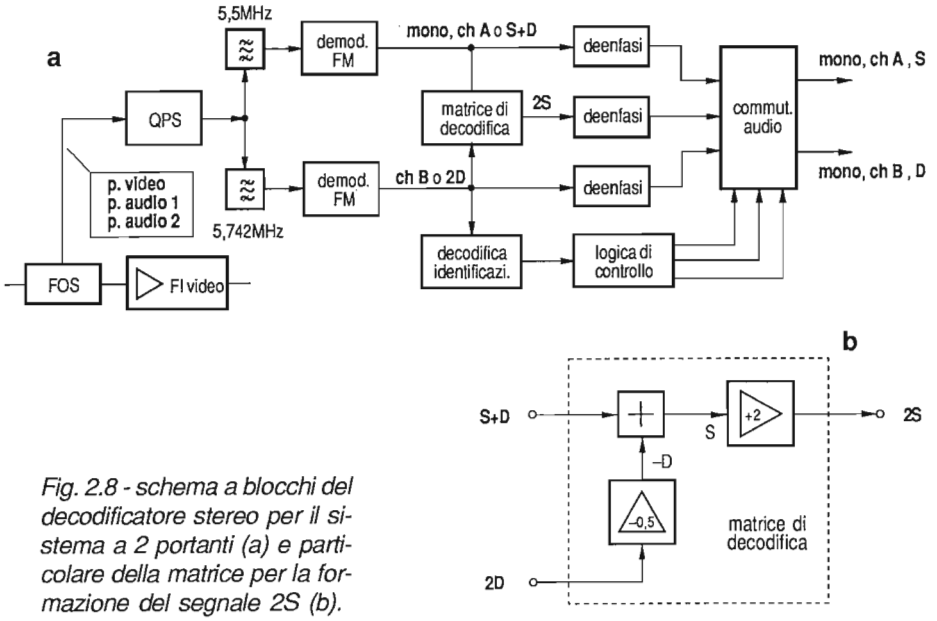


Fig. 2.8 - schema a blocchi del decodificatore stereo per il sistema a 2 portanti (a) e particolare della matrice per la formazione del segnale 2S (b).

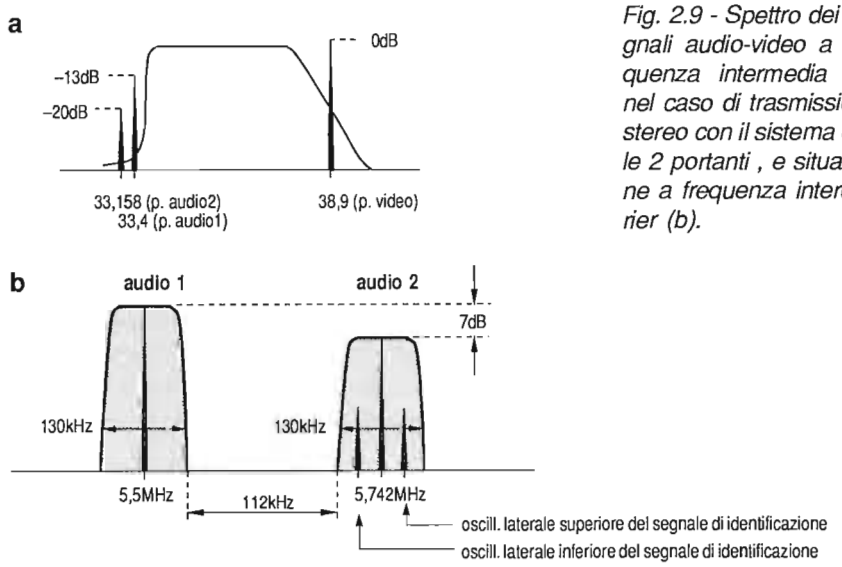


Fig. 2.9 - Spettro dei segnali audio-video a frequenza intermedia (a), nel caso di trasmissione stereo con il sistema delle 2 portanti , e situazione a frequenza intercarrier (b).

L'uscita del demodulatore operante a 5,742MHz è rappresentata invece dai segnali 2D o canale B, che occupano la banda 0-15kHz, e dalla sottoportante di identificazione a 54,6875kHz con la sua eventuale modulazione di ampiezza. Quest'ultima viene prelevata per mezzo di un filtro passa alto, amplificata e rivelata. Tramite due filtri attivi viene riconosciuta la frequenza di modulazione, permettendo alla logica di controllo di effettuare le commutazioni necessarie per disporre alle due uscite dei segnali corretti, in base al tipo di trasmissione in corso.

La matrice di decodifica riceve ai suoi due ingressi i segnali S+D e 2D e, con le semplici operazioni indicate in Fig. 2.8b, fornisce all'uscita il richiesto segnale 2S.

2 - 5 - 1 Effetto pseudo-stereo e stereo-spaziale

Per un televisore stereo, la ricezione di un programma con audio monofonico costituisce una limitazione considerevole e la sensazione di piattezza che se ne ottiene fa rimpiangere l'investimento sia economico che di spazio. D'altra parte sono poche le emittenti in grado di trasmettere in stereo e comunque relativamente pochi i programmi che si prestano a questo tipo di trasmissione. Questi motivi hanno portato all'adozione di circuiti in grado di fornire all'ascoltatore una sensazione di spazialità dai televisori stereofonici anche in caso di ricezioni mono.

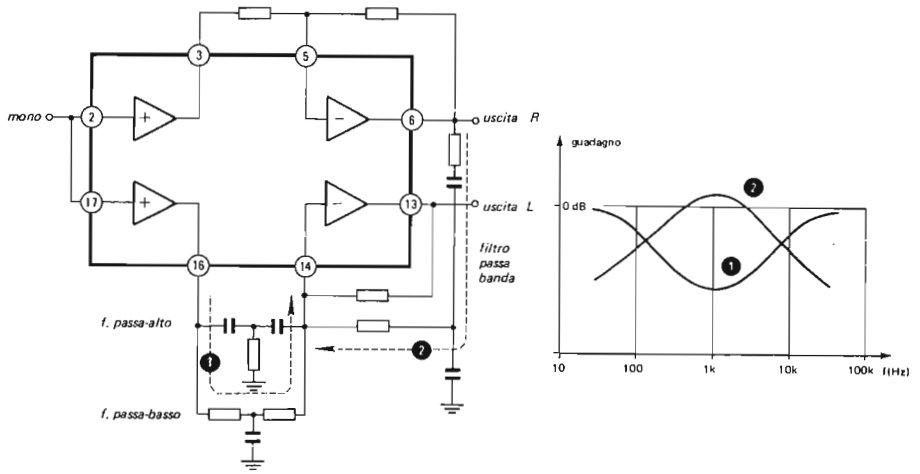


Fig. 2.10 - Impiego di amplificatori operazionali, connessi come filtri attivi, per la formazione dei segnali che producono l'effetto pseudo-stereo.

La *tecnica pseudo-stereo* consiste nell'inviare ai due altoparlanti segnali di BF dello stesso tipo ma alterando la fase di alcune componenti spettrali. Com'è indicato in Fig. 2.10 vengono usati degli amplificatori operazionali connessi attraverso reti filtranti che hanno la funzione di creare un avvallamento (percorso 1) nella risposta del canale sinistro (S) che viene colmato dall'apporto di segnale dall'uscita destra (D) per mezzo di un filtro di banda (percorso 2). Questo apporto avviene con segnali sfasati di 180°, per cui il risultato finale è la disponibilità di due segnali del medesimo livello con spettri coincidenti per le basse e le alte frequenze della banda audio e componenti sfasate di 180° attorno alla frequenza di massima sensibilità dell'orecchio (1kHz). Dal corretto dosaggio dell'entità dell'avvallamento e dell'apporto in controfase, di cui si è detto sopra, è possibile ottenere una piacevole impressione di spazialità, chiaramente avvertibile.

E veniamo ora ad un altro problema che interessa la riproduzione stereofonica. Per ragioni di spazio, la distanza che separa fisicamente i due diffusori in un televisore è insufficiente per ricostruire in modo fedele l'immagine delle sorgenti sonore che sono distribuite in realtà su un ampio fronte. Il problema, analogo a quello delle

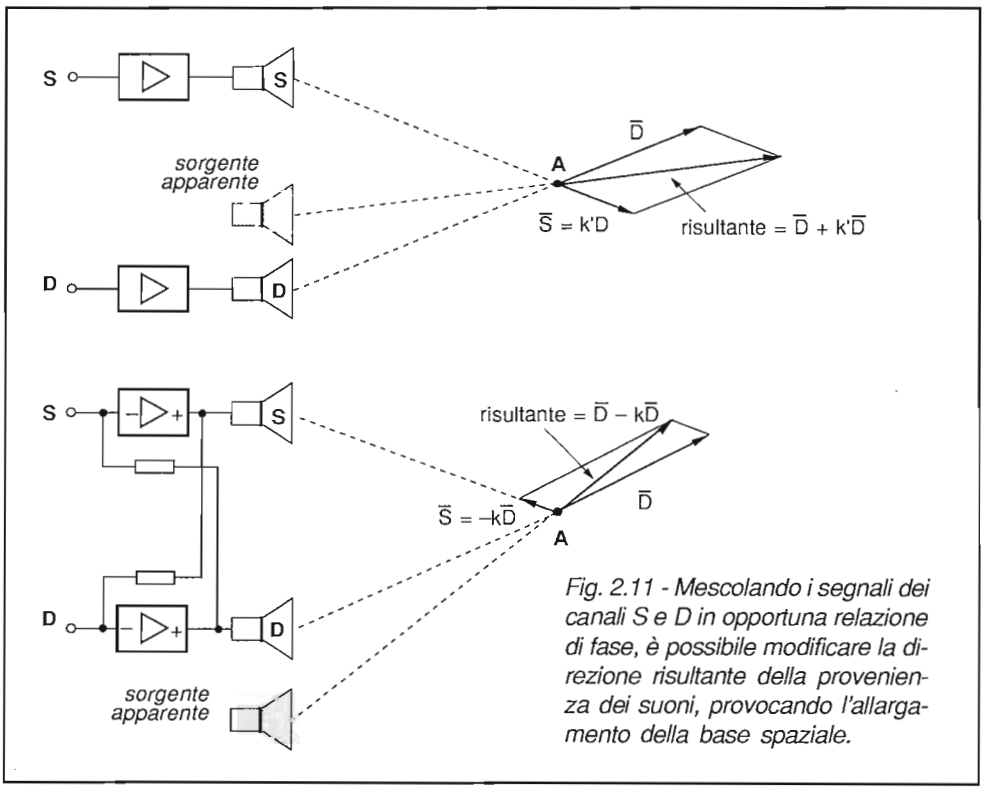


Fig. 2.11 - Mescolando i segnali dei canali S e D in opportuna relazione di fase, è possibile modificare la direzione risultante della provenienza dei suoni, provocando l'allargamento della base spaziale.

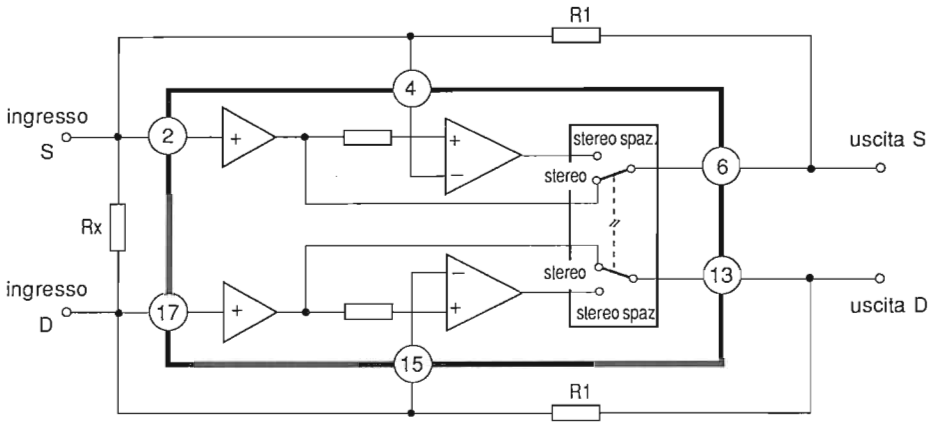


Fig. 2.12 - Collegamento tra amplificatori operazionali per ottenere l'effetto stereo spaziale (allargamento della base stereo).

"sound-machines", si può risolvere ricorrendo ad una soluzione elettronica che determini sui suoni riprodotti gli stessi effetti di un aumento della distanza tra gli altoparlanti *(base stereo)*.

Con l'aiuto della Fig. 2.11 osserviamo come, in un sistema stereofonico, l'individuazione della direzione di provenienza di un suono, da parte di un ascoltatore posto in A, sia il risultato di una composizione vettoriale tra i segnali acustici irradiati dai due altoparlanti. E' chiaro che la massima divergenza sul piano orizzontale verrà raggiunta quando il suono sarà prodotto da una sola sorgente. Se però rovesciamo la fase di una delle due componenti vettoriali avremo come risultante un vettore la cui direzione risulterà più divergente rispetto a quella limite rappresentata dalla linea che unisce l'altoparlante alla posizione dell'ascoltatore. Elettronicamente ciò si ottiene attuando un travaso *(diafonia)* di segnale da un canale stereo all'altro, in controfase: questo passaggio può avvenire direttamente negli stadi finali che, se di tipo integrato, sono dotati di ingresso invertente, oppure entro appositi circuiti integrati sviluppati allo scopo.

In Fig. 2.12 è riportato lo schema di principio della sezione stereo-spaziale contenuto nell'integrato TDA 3810. In condizioni di ricezione stereo normale, i segnali S e D transitano dagli ingressi verso le uscite, ciascuno attraversando un amplificatore operazionale non invertente: in questa situazione i due canali sono perfettamente isolati.

Quando il commutatore viene disposto in posizione stereo-spaziale, i segnali sono costretti ad attraversare un secondo amplificatore operazionale al cui ingresso invertente viene fatta pervenire una frazione del segnale d'uscita dell'altro canale, determinata dal rapporto R1/Rx+R1. Si determina in questo modo la richiesta diafonia in opposizione di fase che produce all'ascoltatore la sensazione di un effetto stereo più marcato, come se gli altoparlanti venissero allontanati simmetricamente. In Fig. 2.13 è riportato lo schema elettrico pratico d'impiego del TDA 3810 nel quale sono indicate a blocchi le funzioni esercitate dall'integrato.

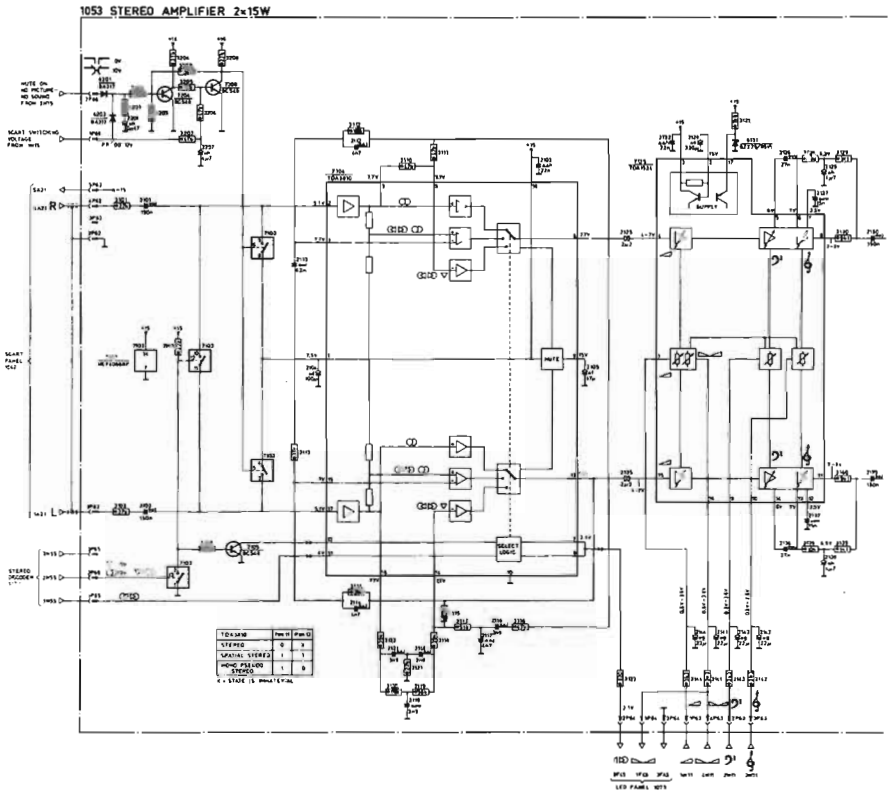


Fig. 2.13 - Schema elettrico della sezione di BF di un televisore a colori (Philips - System 4), equipaggiata con l'integrato TDA 3810, per la formazione dei segnali stereo, stereo-spaziale e mono-pseudo-stereo.

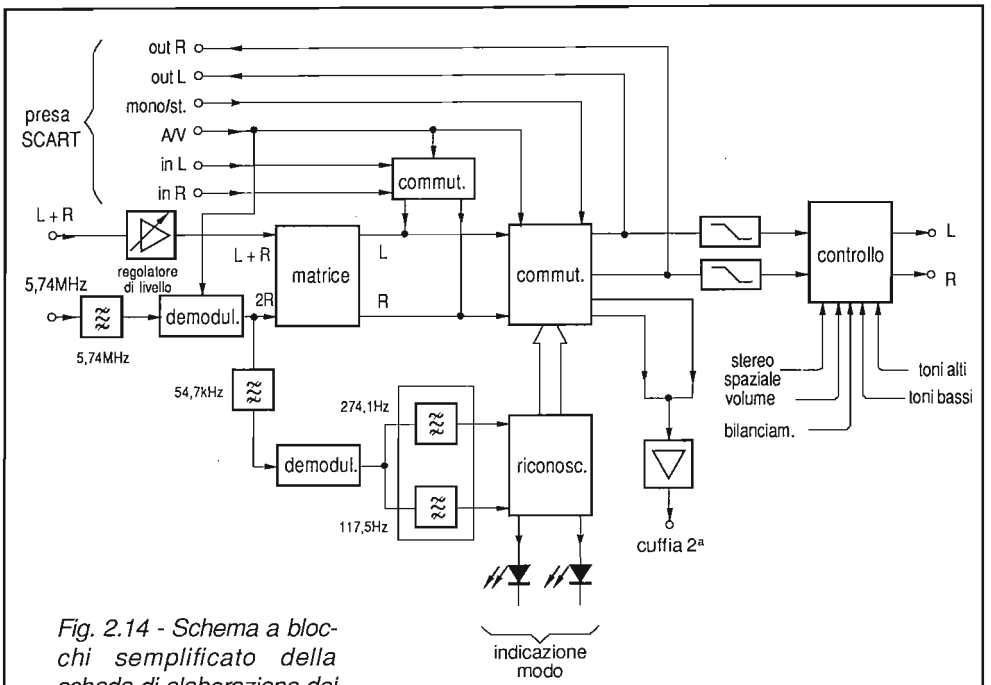


Fig. 2.14 - Schema a blocchi semplificato della scheda di elaborazione dei segnali stereo Seleco BS5660, il cui schema completo è riportato in Fig. 2.15.

2 - 6 DECODIFICA STEREO SELECO BS 660

In questa scheda, il cui schema a blocchi semplificato è riportato in Fig. 2.14 e quello completo in Fig. 2.15, trovano posto gli integrati TDA 3800 (Philips) e TDA 4292 (Siemens) oltre all'LM 358N (Motorola), con funzione di doppio filtro attivo.

Il TDA 3800 provvede alla demodulazione FM della seconda portante audio, all'estrazione della portante di identificazione e del relativo segnale di modulazione, alla dematricizzazione e alla commutazione dei segnali di BF.

Dalla scheda FI video proviene il segnale audio a BF (S+D) ottenuto demodulando la portante a 5,5MHz che viene applicato, tramite un regolatore di livello, al pin 1 dell'integrato. Dalla stessa scheda arriva anche l'altra portante audio a 5,742MHz che, come noto, è modulata in frequenza dal segnale 2D e dalla portante di identificazione a 54,7kHz.

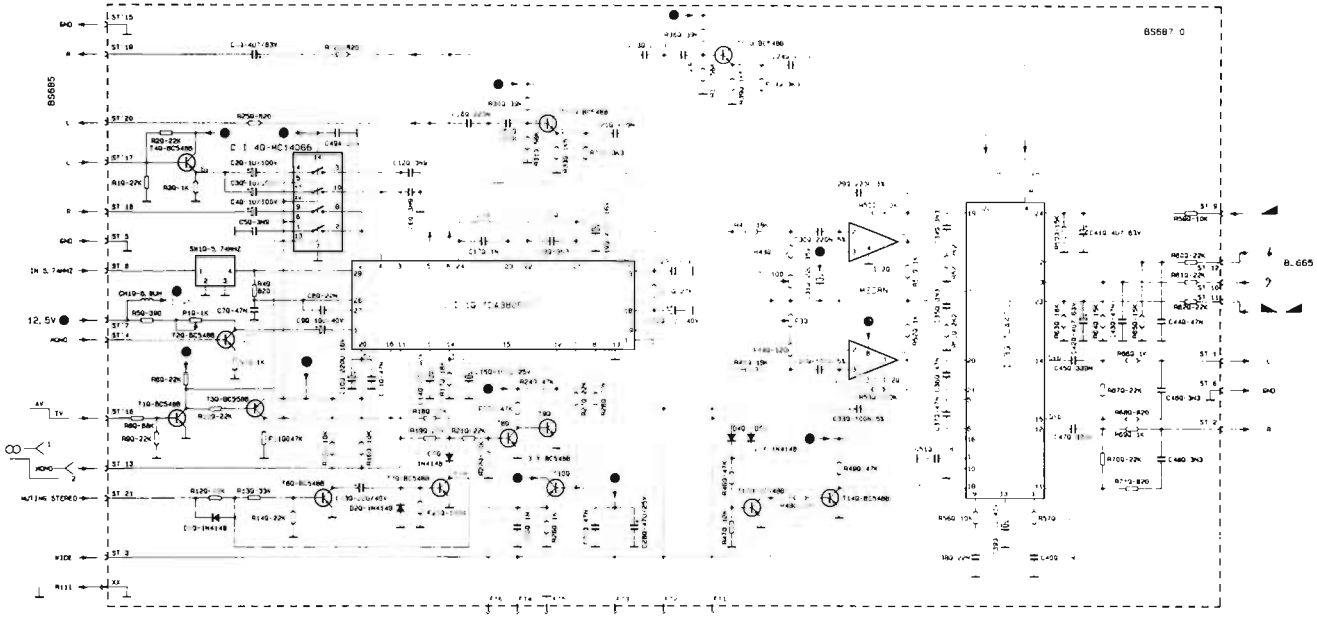


Fig. 2.15 - Schema elettrico della scheda stereo BS 5660 (Seleco) equipaggiata con gli integrati TDA 3800GS e TDA 4292.

Il segnale a 5,742MHz giunge al pin 28 dopo essere stato adeguatamente selezionato da un doppio filtro ceramico e viene amplificato e limitato in ampiezza prima di essere inoltrato al demodulatore FM, del tipo a doppia coincidenza, la cui rete di sfasamento è inserita tra i pin 23 e 24.

I due segnali AUDIO1 (S+D) ed AUDIO2 (2D) entrano quindi nella matrice, che provvede alla formazione del segnale 2S e da questa giungono al commutatore BF con il quale è possibile selezionare il tipo di segnale presente alle 2 uscite OUT1 e OUT2.

Gli stessi segnali attraversano prima le rispettive celle di deenfasi, le cui capacità fanno capo esternamente ai pin 2, 3 e 4. Nel caso di riproduzione da VCR, i segnali arrivano a tali piedini che ora, pertanto, fungono da ingressi. La possibilità di disporre di due rami di BF indipendenti rende possibile, ad esempio, l'ascolto in altoparlante di una determinata lingua (2S) ed in cuffia dell'altra (2D). La commutazione dall'una all'altra è possibile tramite gli interruttori facenti capo ai piedini 11 e 12.

Per il completo controllo del commutatore BF occorre disporre anche di un segnale logico ricavato dal segnale di identificazione. La portante relativa viene dapprima amplificata in modo selettivo, grazie al circuito risonante accordato a 54,7kHz presente ai pin 21 e 22, e quindi demodulata. Il valore medio della sua ampiezza viene filtrato per mezzo del filtro passa-basso R41-C26 e utilizzato per regolare automaticamente il guadagno dell'amplificatore (CAG).

Dalla portante di identificazione demodulata e non demodulata vengono ricavati, in un circuito di valutazione, due segnali logici di commutazione che, a seconda del tipo di modulazione trasmesso, potranno trovarsi allo stato L o H. Per evitare incertezze vengono utilizzate capacità di integrazione alle uscite (pin 14 e 17) seguite da trigger di Schmitt.

Una identificazione più sicura può aversi utilizzando dei filtri attivi esterni connessi tra il pin 19 e 14, come indicato nello schema. In questo caso i due operazionali contenuti nell'integrato LM 358N presentano delle reti di reazione, tra l'uscita e l'ingresso invertente, che conferiscono ai due circuiti una caratteristica selettiva centrata su 117,5Hz e 274,1Hz e quindi in grado di amplificare separatamente le due frequenze di modulazione.

L'eventuale segnale modulante viene reinserito nel TDA 3800 tramite il pin 25. Come si è detto, l'amplificazione selettiva aumenta la sensibilità del sistema e migliora il rapporto segnale-rumore.

I segnali di BF presenti ai pin 5 e 6 vengono inviati oltre che ai contatti ST20 e ST19 e quindi alla presa SCART, anche ai transistors T11Q e T12Q che hanno il compito di compensare la risposta degli altoparlanti alle frequenze medio basse. Dopo questa compensazione, i due segnali vengono inviati al TDA 4292 per la regolazione dei toni, del volume e del bilanciamento.

I segnali di bassa frequenza presenti ai pin 7 e 8 del TDA 3800 (Fig. 2.16) vengono sommati e inviati tramite T10Q a pilotare i transistor finali e quindi la seconda cuffia.

Siccome l'integrato può operare anche con segnali provenienti da altre sorgenti (es. VCR), nella logica di comando è previsto un circuito al quale vengono applicate al pin 16 la tensione di commutazione AV (L=registrazione, H=riproduzione) e al pin 13 quella di identificazione (L=stereo, H=bilingue). Con questi segnali sarà quindi possibile simulare i segnali di identificazione trasmessi con la portante a 54,7Hz. Con la tensione di commutazione AV è inoltre possibile bloccare nell'integrato il funzionamento del demodulatore FM. La relazione tra il tipo di trasmissione ed il modo di funzionamento della sezione di BF è riassunto nella tabella.

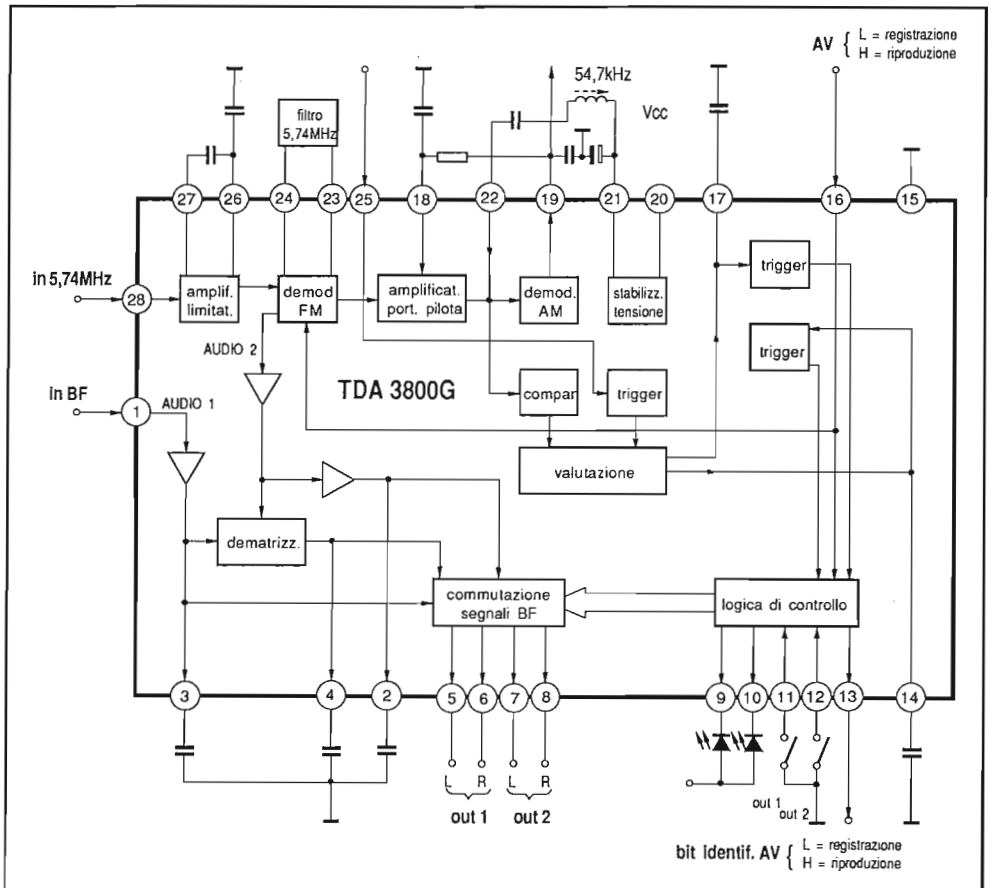


Fig. 2.16 - Schema a blocchi dell'integrato TDA 3800G di elaborazione dei segnali stereo descritto nel testo.

trasmissione	pin 11	pin 12	MODO
mono	X	X	MONO
stereo	X	H	STEREO
stereo	X	L	MONO
bilingue	H	X	BIL 1
bilingue	L	X	BIL 2

Tab. 2.2 - Livelli logici ai pin 11 e 12 del TDA3800 in base al tipo di trasmissione e relativo modo di funzionamento della sezione di BF.

X=non importa
H>2,4V
L<0,8V

All'accensione del televisore, e ad ogni cambio di programma o di canale, il contatto ST'13 si trova a livello alto (12V) e pertanto il sistema si predispone in corrispondenza nel modo STEREO o BIL1, a seconda del tipo di trasmissione, in quanto i pin 11 e 12 vengono entrambi a trovarsi al livello H. Anche se i due piedini hanno la stessa logica di pilotaggio sono tuttavia disaccoppiati dai transistor T8Q e T9Q. Ciò perchè, altrimenti, passando da una trasmissione stereo a mono, durante il cambiamento di programma o di canale, si avvertirebbe un fastidioso fruscio per una durata di circa un secondo, dovuta all'inerzia del sistema di identificazione che si mantiene nella condizione stereo anche quando il ricevitore è sintonizzato su una trasmissione mono.

Il problema non si pone invece nel caso di trasmissione bilingue perchè, se a partire dalla scelta BIL2 avvenisse il cambiamento di canale o programma, il sistema commuterebbe automaticamente sul modo BIL1.

Si ovvìa all'inconveniente detto sopra utilizzando l'impulso di *muting-stereo* che è presente al contatto ST'21 della scheda, in corrispondenza di ogni cambio canale o programma. Questo impulso viene "allungato" a oltre 1 secondo per mezzo del monostabile T6Q-T7Q e applicato tramite T8Q e T9Q al pin 12. Si presentano così le condizioni indicate alla terza riga della tabella che forzano il modo MONO per circa un secondo evitando i disturbi di commutazione.

Ai piedini 9 e 10 del TDA 3800 sono disponibili le tensioni per il pilotaggio dei diodi LED di indicazione. Tra l'integrato ed i LED vengono inseriti dei transistor che determinano in modo preciso il livello degli stati H ed L (che ai piedini 9 e 10 valgono, rispettivamente, L=10V e H=11,6V). In tutti i modi di funzionamento, STEREO escluso, almeno uno dei pin 9 e 10 si trova al livello H: ciò determina la saturazione di T13Q e la conseguente interdizione di T14Q. In questo modo il pin 18 dell'integrato TDA 4292 si mantiene stabilmente al livello H qualunque segnale venga applicato al contatto ST'3 (comando WIDE-Stereo o Stereo spaziale). Questo comando risulta così disattivato in tutti i casi diversi dalla ricezione STEREO. In tale situazione, infatti, i pin 9 e 10 del C.I.1Q si portano al livello L, decretando l'interdizione di T13Q e permettendo il controllo del pin 18 di C.I.3Q tramite il comando WIDE (at-

Tab. 2.3 - Stati logici assunti dai pin indicati nei diversi modi di trasmissione e di funzionamento del ricevitore.

trasmiss./TVC	TDA 3800		TDA 4292	WIDE inserito
	pin 9	pin 10	pin 18	
MONO/MONO	1	1	1	no
MONO/STEREO	1	1	1	no
STEREO/MONO	1	1	1	no
STEREO/STEREO	0	0	0/1	sì/no
BILINGUE/BIL 1	1	0	1	no
BILINGUE/BIL 2	0	1	1	no

tivo al livello H) in arrivo al contatto ST'3 dal ricevitore del telecomando. La tabella riassume gli stati dei pin indicati in corrispondenza dei diversi modi di trasmissione e di funzionamento del ricevitore.

Veniamo ora all'integrato TDA 4292 che ha il compito di attuare il controllo in continua del volume, del bilanciamento, dei toni alti e bassi. Il circuito è dotato inoltre di ingressi che permettono l'inserimento del controllo fisiologico del volume e della funzione stereo-spaziale. Con l'aiuto della Fig. 2.17, che ne riporta lo schema a blocchi dettagliato, esaminiamo il funzionamento.

L'integrato include, per ciascun canale, 5 amplificatori operazionali, ciascuno dotato dei circuiti necessari per il controllo dell'amplificazione mediante tensione continua (attenuatore elettronico) oppure tramite commutatore.

Facciamo riferimento ad uno dei due canali. Il segnale in arrivo al pin 4 incontra dapprima l'amplificatore per il controllo dei toni alti, il cui comportamento in funzione della frequenza è determinato dalla capacità posta tra i pin 20 e 21 e dal valore della tensione continua presente al pin 2. Con il valore di capacità indicata nello schema, al variare della tensione di controllo tra 0 e 5V (valore della tensione di riferimento presente al pin 1) si ottiene un'escursione dei toni bassi da –13dB a 15kHz.

Il segnale attraversa quindi l'amplificatore per il controllo dei bassi, il cui guadagno (od attenuazione) dipende dalla tensione applicata al pin 3 con un comportamento in funzione della frequenza determinato dal valore di capacità presente al pin 19. Nel caso dello schema preposto, facendo variare la tensione di controllo tra 0 e 5V si ottiene un'escursione tra –14dB e +13dB alla frequenza di 15kHz.

L'effetto stereo spaziale (allargamento della base stereo) può essere incluso rendendo saturo il transistor T14Q, che porta il pin 18 a 0V. In questo caso, al segnale

in transito viene aggiunta, con fase opposta, una parte del segnale presente sull'altro canale. L'entità di questa aggiunta (in inglese *antiphased crostalk*), determinata dai componenti interni, è dell'ordine del 66%. In questa operazione vengono coinvolte le frequenze alte dello spettro audio: la costante di tempo della rete connessa tra i pin 9-17 e massa determina il valore della frequenza di taglio inferiore (circa 200Hz nel caso in esame).

Proseguendo verso l'uscita, si incontrano il regolatore del bilanciamento, che non modifica l'allargamento della base stereo, e quindi quello del volume. Quest'ultimo comprende due stadi identici per ciascun canale con 2 uscite, i cui segnali vengono sommati per mezzo di due reti passa-alto e passa-basso, rispettivamente. Quando il pin 8 risulta isolato (come nello schema proposto), i due stadi vengono regolati in modo diverso e ne risulta una risposta in frequenza caratterizzata da un avvallamento di profondità crescente con la riduzione del volume, centrato attorno a circa 1kHz: si ottiene in questo modo un *controllo del volume di tipo fisiologico.*

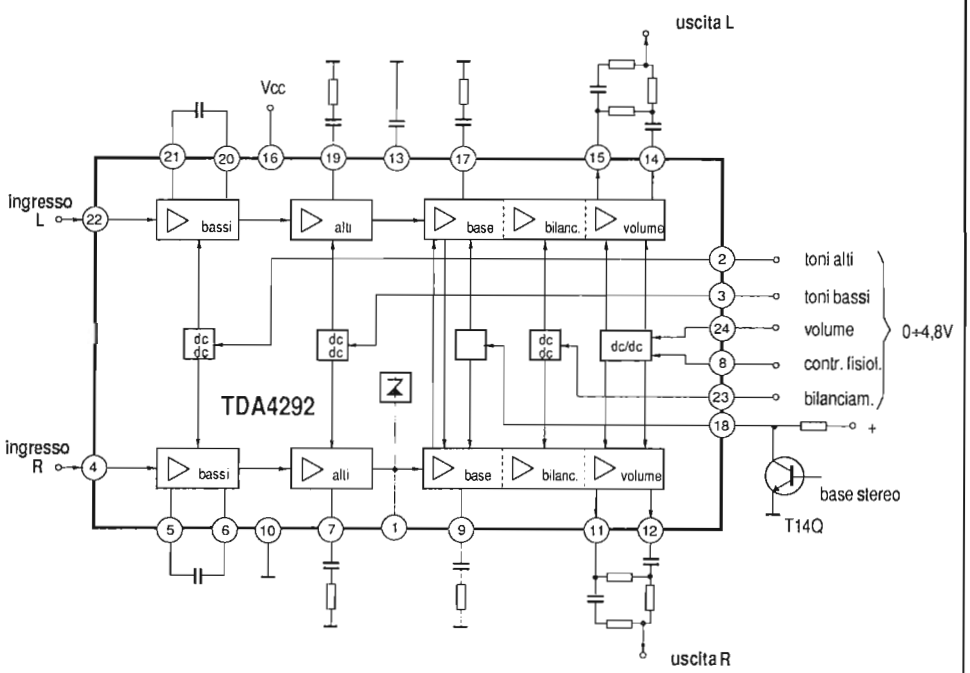


Fig. 2.17 - Schema a blocchi dell'integrato TDA 4292 di controllo dei segnali stereo in BF.

Le tensioni continue per la regolazione delle diverse funzioni sono prodotte dalla scheda di sintonia e presentano un'escursione 0-12V. L'adattamento all'intervallo 0-4,8V richiesto dall'integrato avviene per mezzo di partitori resistivi inseriti tra i contatti della scheda ed i pin interessati, opportunamente by-passati da capacità.

2 - 7 IL TDA 4940

In chiusura di capitolo riteniamo utile riportare il funzionamento di un integrato delle generazioni più recenti che risulta piuttosto interessante per la tecnica impiegata per la decodifica della portante di identificazione. Si tratta del TDA 4940, sviluppato dalla Siemens per effettuare tutte le operazioni di elaborazione della seconda portante audio a 5,74MHz, dall'estrazione del segnale di BF (2R o seconda lingua) alla decodifica della portante di identificazione con produzione dei segnali logici di comando per la matrice stereo.

L'integrato, come indicato nello schema a blocchi di Fig. 2.18, comprende:

- uno stadio amplificatore-limitatore-demodulatore FI;
- un rivelatore della portante di identificazione a 54,68kHz pilotato da un generatore VCO controllato da un PLL;
- uno stadio rivelatore moltiplicativo a doppia semionda per l'estrazione della modulante della portante di identificazione;
- la logica di comando del rivelatore e d'uscita.

La sezione FM comprende un amplificatore-limitatore a 8 stadi, con una soglia di limitazione tipica di 0,02mV, seguito da un rivelatore a coincidenza del tipo a doppia semionda il cui funzionamento è assicurato dal circuito risonante accordato a 5,74MHz, collegato tra i pin 19 e 20, e dalle capacità connesse tra i pin 20-22 e 19-21. Segue quindi un amplificatore di BF la cui uscita fa capo al pin 18. Il segnale audio attraversa il circuito deenfasi (R18-C22) prima di giungere all'integrato TDA 4942, mentre la portante di identificazione viene prelevata in modo selettivo per mezzo del circuito risonante-serie connesso tra i pin 17 e 18.

Internamente, il segnale viene amplificato e inoltrato a due moltiplicatori che provvedono, rispettivamente, alla rivelazione moltiplicativa, per l'estrazione del segnale modulante, e per la formazione del segnale di correzione della fase del PLL. Quest'ultimo ha il compito di produrre un segnale a 54,68kHz, agganciato in frequenza al segnale di fly-back di riga applicato al pin 13. Più esattamente, tale segnale è ottenuto operando una divisione di frequenza per 8 del segnale a 437,5kHz (28 volte la frequenza di riga) prodotto dal VCO (Voltage Controlled Oscillator). La divisione

prima per 7 e quindi per 4 fornisce il segnale a 15,625Hz che viene messo a confronto con quello di ritorno di riga. La tensione di errore presente al pin 12 viene filtrata e quindi applicata al VCO che in tal modo viene corretto in frequenza e fase.

Parallelamente, dopo la divisione per 7, il segnale viene inoltrato anche ad un divisore a modulo commutabile 133/57 e quindi ad un divisore fisso per 4. Si ottiene così un segnale che può assumere le frequenze $f_H/133$ (117,48Hz) oppure $f_H/57$ (274,12Hz), coincidenti con quella di modulazione nei casi di trasmissione stereo o bilingue. Questo segnale, ed il corrispondente sfasato di 90°, vengono inoltrati ad un *rivelatore a valore efficace* insensibile agli errori di fase ma estremamente selettivo in termini di frequenza.

Il tipo di trasmissione, stereo ($f_M=f_H/133$), bilingue ($f_M=f_H/57$) o mono ($f_M=0$), viene valutato entro un circuito decodificatore, pilotato dal multiplexer, che analizza il livello d'uscita dal rivelatore a valore efficace e produce al pin 6 un segnale a tre livelli (tristate), precisamente:

Vcc	trasmissione stereo
Vcc/2	trasmissione bilingue
0V	trasmissione mono

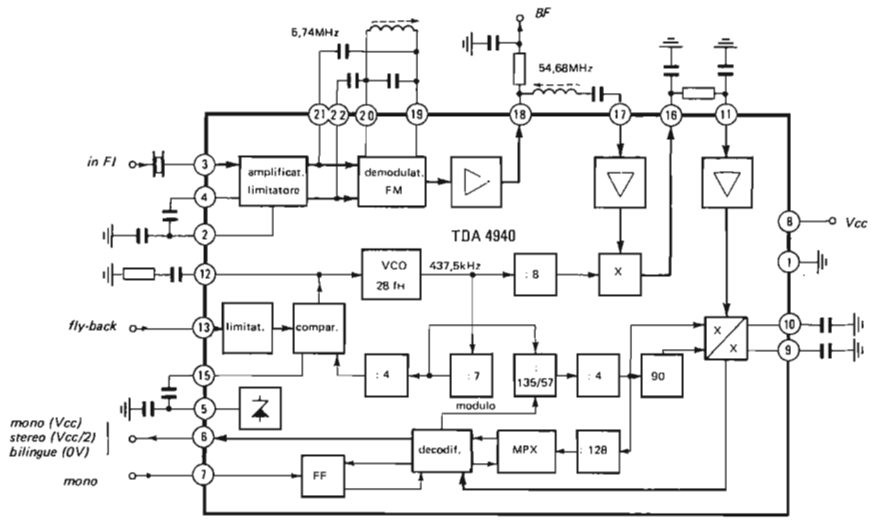


Fig. 2.18 - Schema a blocchi dell'integrato TDA 4940 di elaborazione dei segnali stereo che fa largo uso di tecniche digitali per la decodifica.

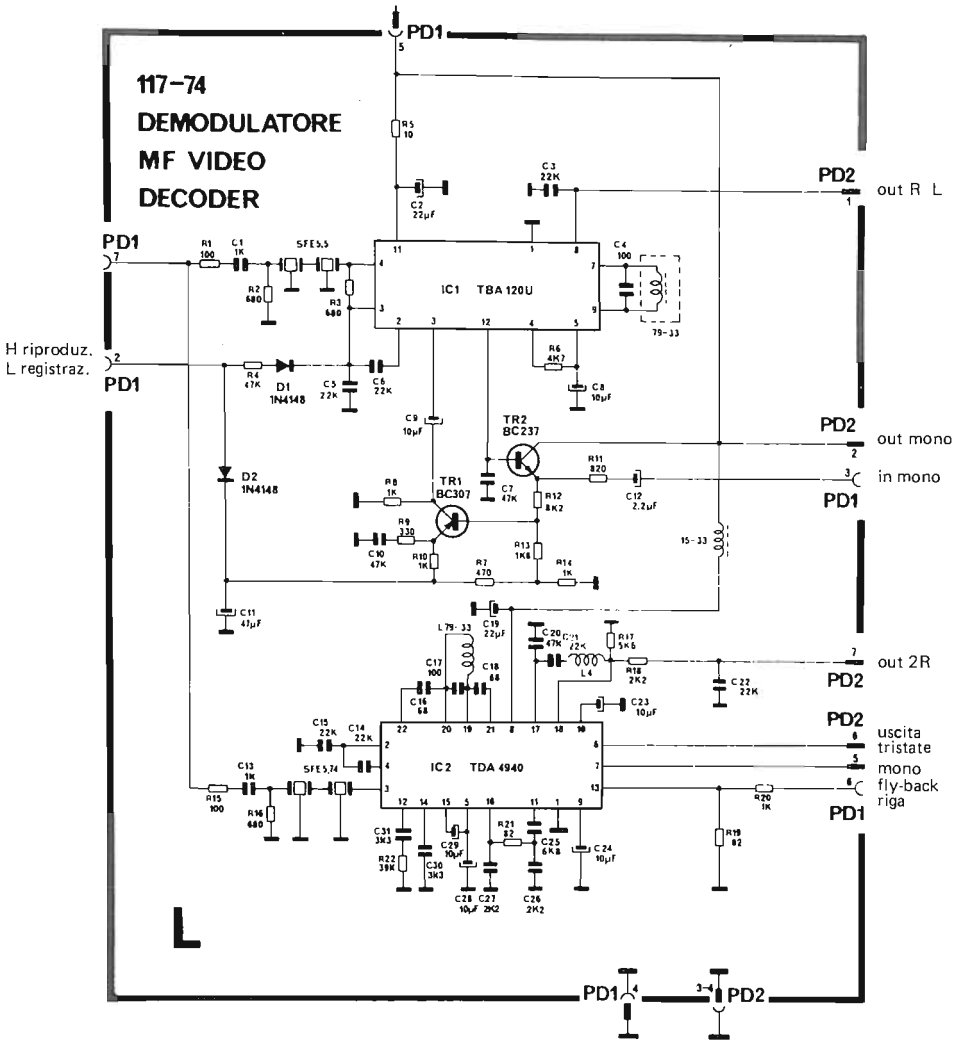


Fig. 2.19 - Schema elettrico d'impiego tipico del TDA 4940 nella sezione FI- audio di un televisore a colori con audio stereofonico (Prandoni 117-74).

Dall'esterno, è possibile forzare a zero l'uscita tristate applicando un impulso positivo al pin 7. Questa situazione si presenta opportuna ad ogni cambiamento di programma, onde evitare un funzionamento irregolare del canale audio.

In Fig. 2.19 è riportato lo schema elettrico della scheda a FI audio-stereo del ricevitore PRANDONI mod. 117-74, che comprende gli integrati TBA 120U per la demodulazione della portante a 5,5MHz e il TDA 4940 di cui si è detto più sopra.

Il contatto 7 (PD1) della scheda è collegato all'uscita dell'integrato che effettua l'elaborazione QPS dell'audio: da questo si dipartono due linee dotate di filtri ceramici doppi, accordati su 5,5MHz e 5,74MHz, che operano la separazione delle portanti audio. Ai contatti 1 (PD2) e 7 (PD2) sono disponibili i segnali di BF dei due canali stereo, mentre i contatti 2 (PD2) e 3 (PD1) corrispondono all'uscita e all'ingresso dei segnali monofonici della presa SCART. La commutazione tra i modi riproduzione-registrazione avviene tramite la tensione applicata al contatto 2 (PD1) che, se portata al livello H, determina il blocco del demodulatore FM contenuto in IC1, l'interdizione di TR2 e l'attivazione di TR1. Di conseguenza il segnale presente al contatto 3 (PD1) attraversa TR1 ed entra nel TBA 120U al pin 3 dove viene preamplificato e portato all'uscita 1 (PD2) per la successiva elaborazione.

capitolo terzo

LE SEZIONI DI LUMINANZA E CROMINANZA

Dall'esame degli schemi dei ricevitori televisivi prodotti in quest'ultimo decennio si osserva una progressiva semplificazione dei circuiti delle sezioni di luminanza e crominanza dovute all'adozione di integrati sempre più sofisticati che, pur realizzando funzioni molto complesse, necessitano di un numero sempre minore di componenti periferici. Anche il numero di circuiti integrati si è progressivamente ridotto, passando da tre a due e successivamente a uno solo, come nelle realizzazioni più recenti.

Le esigenze di pilotaggio del cinescopio tramite i catodi, determinate dall'adozione ormai generalizzata dei tubi a collo sottile con griglia controllo comune, hanno portato ad uniformare le sezioni di crominanza e luminanza che differiscono solo lievemente da costruttore a costruttore nel caso d'impiego degli stessi integrati.

Nei paragrafi che seguono verranno analizzati il funzionamento e le prestazioni di sezioni di crominanza-luminanza tipiche, a tre, due e "monochip". Seguirà la trattazione di una moderna scheda multistandard e del sistema di miglioramento dei transienti cromatici. Uno spazio adeguato verrà riservato agli stadi finali di colore nelle configurazioni più interessanti.

3 - 1 LA SEZIONE DI LUMINANZA-CROMINANZA A TRE INTEGRATI

In Fig. 3.1 è riportato lo schema a blocchi semplificato del decodificatore PAL a due integrati (TDA 2522 e TDA 2530) che, assieme allo stadio matrice TDA 2560, rea-

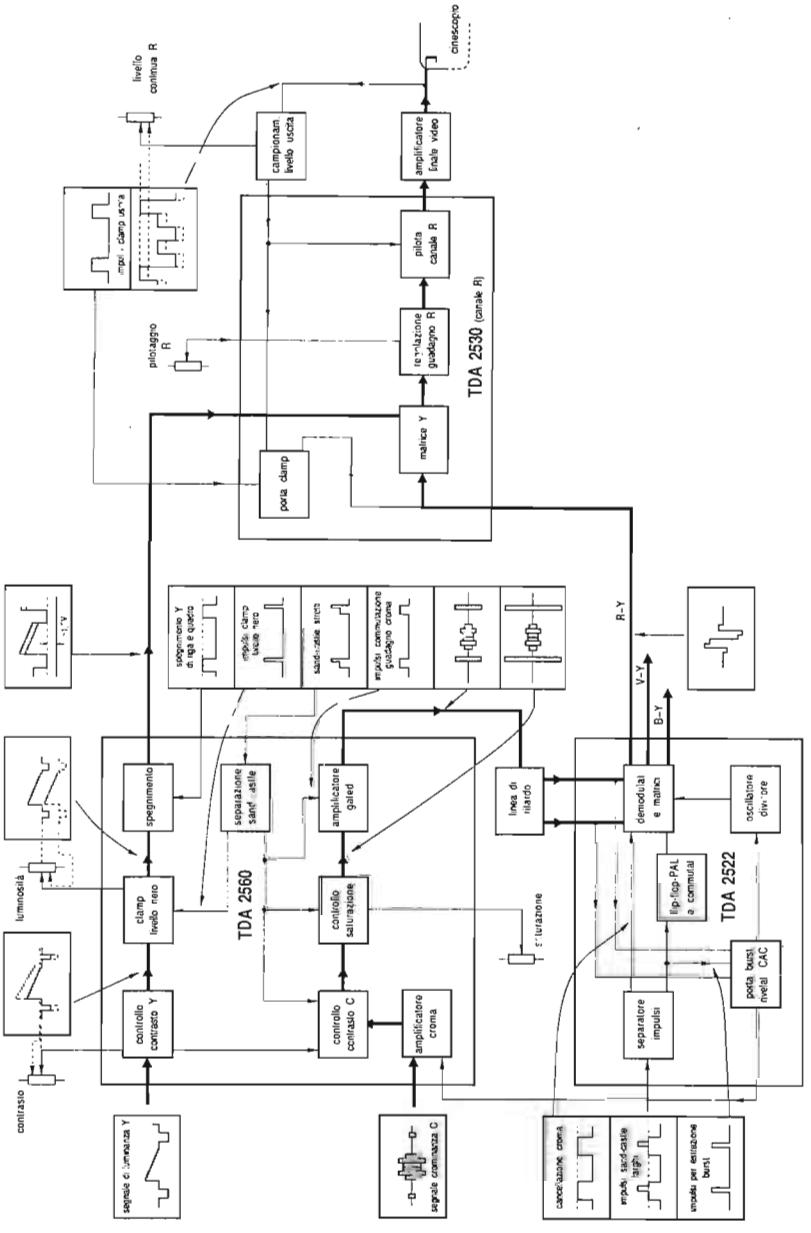


Fig. 3.1 - Schema a blocchi di una tipica sezione luminanza-crominanza a tre integrati.

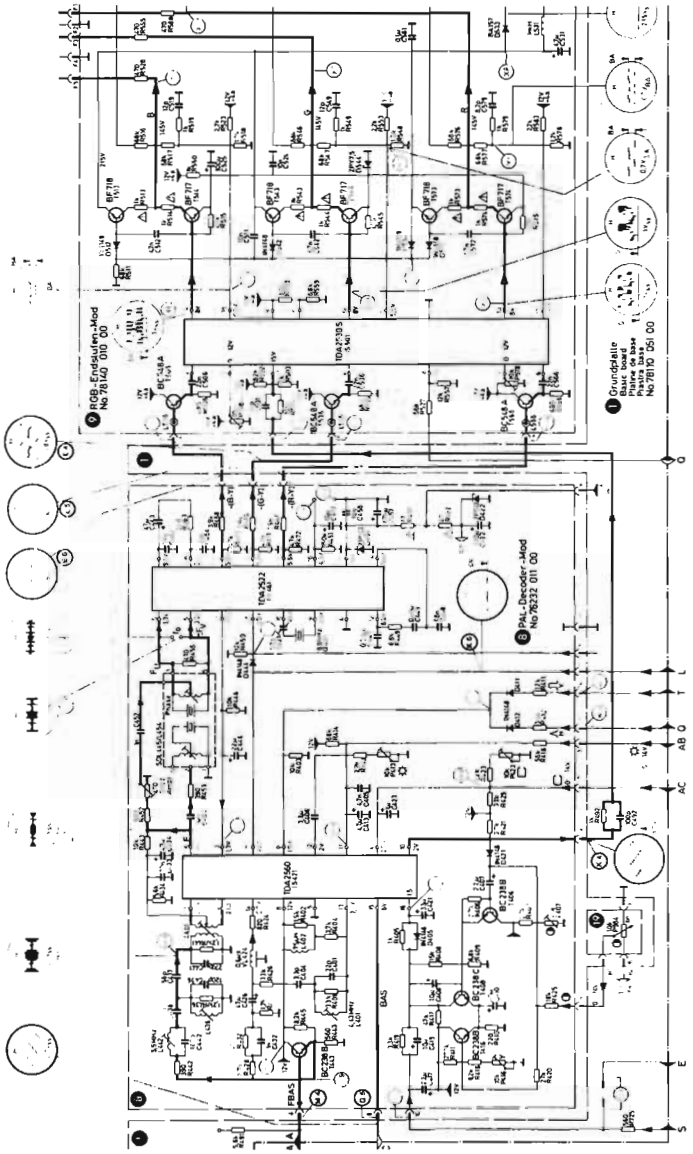


Fig. 3.2 - Schema elettrico della scheda di luminanza-crominanza a tre integrati, il cui schema a blocchi è riportato in Fig. 3.1 (Saba T6759).

lizza l'intera catena di luminanza-crominanza del televisore Saba T6759 riportata in Fig. 3.2.

3.1.1 Il TDA 2560

Il segnale video completo proveniente dal rivelatore video contenuto nell'integrato di FI Video TDA 4400 viene applicato, per mezzo del transistor separatore T443, agli ingressi di luminanza (pin 14) e di crominanza (pin 1 e 2) del TDA 2560 (Fig. 3.3).

Canale di crominanza

Tramite un filtro di banda ad accoppiamento capacitivo accordato su 4,43MHz, preceduto da una trappola risonante sulla frequenza audio intercarrier (L442-C442), ha luogo il prelievo del segnale di crominanza che viene quindi applicato in modo bilanciato dal secondario di L401 all'ingresso dell'amplificatore di crominanza. Lo stadio d'entrata di quest'ultimo è formato da due emitter-follower seguiti da un amplificatore differenziale il cui guadagno è regolato dalla tensione di *CAC* (Controllo Automatico di Crominanza), applicata al pin 3 e opportunamente amplificata, che modifica la corrente della sorgente a cui fanno capo gli emettitori dei due transistor dell'amplificatore differenziale. Il campo di regolazione della tensione di CAC ammonta a circa 30dB.

Seguono quindi due amplificatori i cui guadagni sono regolabili manualmente per mezzo della tensione continua di contrasto (pin 16) e di saturazione (pin 4). Si tratta essenzialmente di due *potenziometri elettronici*, linearizzati internamente, il cui comportamento è indicato dai diagrammi di Fig. 3.4, che richiedono tensioni di controllo comprese tra 2V (minimo) e 4V (massimo).

Durante i ritorni di riga, i due controlli vengono disattivati dallo stadio rivelatore di soglia, al fine di lasciar transitare il burst con l'ampiezza originale. In questo modo, le regolazioni di contrasto e saturazione non possono influire sull'ampiezza del segnale di burst che perciò giunge all'uscita (pin 6) con ampiezza costante.

Dopo gli stadi regolatori troviamo un *amplificatore gated* e quindi lo stadio separatore d'uscita. Questo amplificatore presenta un'amplificazione ridotta di 9dB durante i ritorni di riga rispetto a quella presentata durante le andate. Ciò perchè, altrimenti, in condizioni di regolazione nominale (contrasto e saturazione ridotti di 3dB e 6dB, rispettivamente, rispetto ai valori massimi) si avrebbe un rapporto tra le ampiezze segnale di crominanza/segnale di burst di 9dB a favore di quest'ultimo, rispetto al rapporto esistente tra i due segnali all'ingresso dell'integrato.

All'uscita della catena di crominanza (pin 6) troviamo un segnale avente un'ampiezza di circa 1,5Vpp, sufficiente per il pilotaggio della linea di ritardo. La compo-

nente continua presente all'uscita, prelevata tramite il filtro passa-basso R443-C434-C433-R434, viene riportata all'ingresso (punto centrale del secondario del trasformatore del filtro di banda) per realizzare una controreazione in continua ed assicurare in questa maniera la stabilizzazione del punto di lavoro dei vari amplificatori interni che, ovviamente, sono accoppiati direttamente.

Canale di luminanza

All'ingresso del canale di luminanza (pin 14) viene applicato il segnale video dopo avergli fatto attraversare la linea di ritardo di luminanza VL424. Questa introduce un ritardo di circa 600ns per compensare i diversi tempi di transito dei segnali di luminanza e crominanza attraverso i rispettivi canali che, com'è noto, presentano larghezze di banda diverse. Qui il segnale incontra un circuito adattatore di impedenza per la linea di ritardo Y dotato di due uscite, una facente capo al piedino 15, sulla quale è disponibile il segnale di luminanza con fase negativa, e l'altra connessa

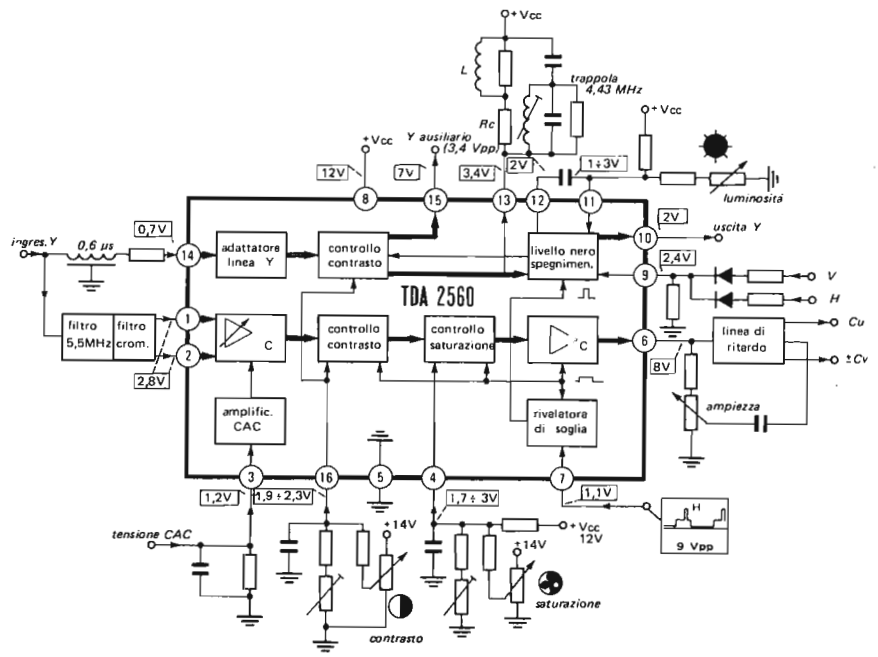


Fig. 3.3 - Schema a blocchi dettagliato dell'integrato TDA 2560.

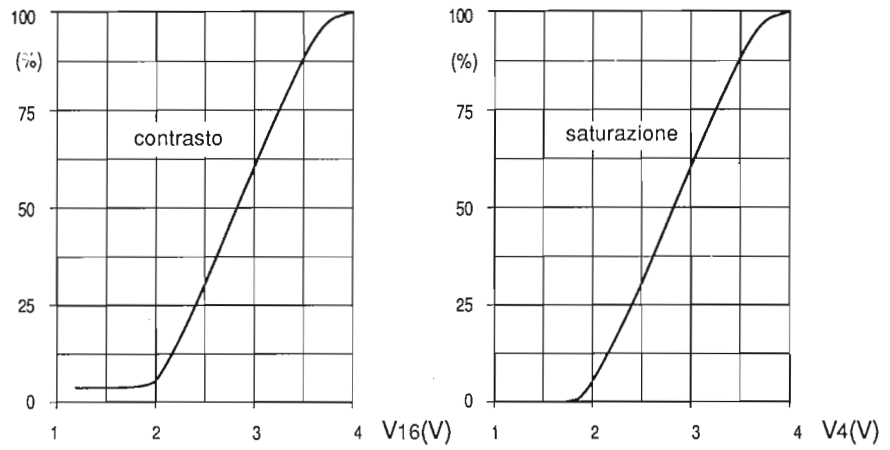


Fig. 3.4 - Curve di regolazione del contrasto (a sinistra) e della saturazione (a destra) per mezzo delle tensioni continue applicate ai pin 16 e 4 del TDA 2560.

internamente al successivo amplificatore a guadagno regolabile, tramite il quale ha luogo la regolazione del contrasto. Questo stadio possiede caratteristiche identiche al corrispondente stadio presente nel canale di crominanza ed è controllato dalla stessa tensione presente al pin 16. In questo modo è assicurato il corretto inseguimento *(tracking)* della regolazione nei due canali, quindi senza effetto alcuno sulla saturazione.

Il guadagno dello stadio amplificatore regolato e la sua risposta in funzione della frequenza vengono determinati dal valore e dalla natura del carico collegato tra il pin 13 e l'alimentazione. Nel circuito in esame, questo carico è formato dalla resistenza R404 posta in serie con l'induttanza di compensazione L402, il tutto "bypassato" da una trappola serie-parallelo accordata a 4,43MHz, che introduce la richiesta attenuazione del segnale di luminanza residuo.

Regolazione della luminosità

Il segnale video completo viene applicato all'ingresso del canale di luminanza per via capacitiva. Di conseguenza è richiesta un'operazione di agganciamento (clamping) del segnale ad un livello del nero, uguale per tutte le righe, regolando il quale è possibile modificare il valore della luminosità. In Fig. 3.5 è riportato lo schema di principio del circuito di clamping, formato da uno stadio sommatore (contenuto nell'amplificatore regolato dal contrasto), da un commutatore elettronico, da un amplificatore differenziale e da un integratore.

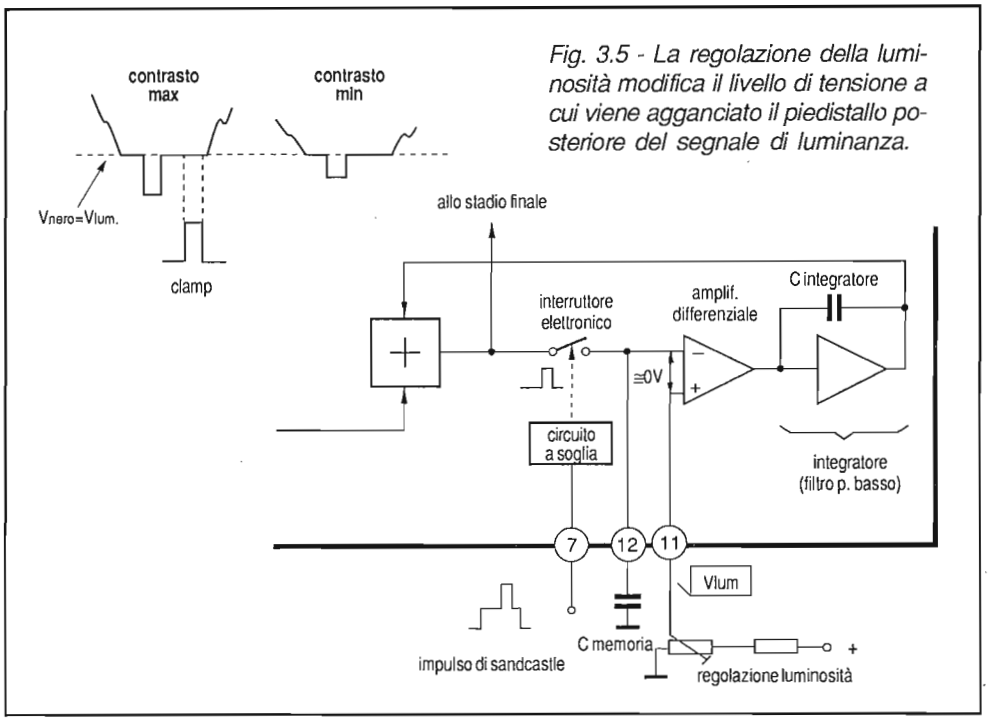


Fig. 3.5 - La regolazione della luminosità modifica il livello di tensione a cui viene agganciato il piedistallo posteriore del segnale di luminanza.

Al segnale di luminanza proveniente dagli stadi interni viene aggiunta, tramite lo stadio sommatore, la tensione continua prodotta dall'amplificatore differenziale e filtrata dal successivo integratore. Questa tensione coincide con quella applicata al pin 11 dal regolatore di luminosità (da 1 a 3V). Durante il piedistallo posteriore dell'impulso di sincronismo di riga, un segnale di commutazione prodotto dal rivelatore di soglia determina la chiusura del commutatore ed il trasferimento del livello di tensione corrispondente, presentato dal segnale di luminanza, sul condensatore di memoria C406 connesso tra il pin 12 e massa.

In questa fase, l'anello di reazione risulta chiuso e perciò la tensione su C406 si porta rapidamente al livello di quella di riferimento presente all'altro ingresso del differenziale. Durante il periodo di scansione di riga, l'interruttore viene aperto ed in questa fase il condensatore di memoria mantiene il valore di carica assicurando per tutta la riga un livello del nero ben definito, comunque variabile a piacere per mezzo del regolatore di luminosità. Va osservato che un terminale di C406 può essere collegato indifferentemente al pin 11 anzichè a massa, senza che il funzionamento subisca modificazioni.

Il segnale di luminanza, una volta agganciato al livello del nero, perviene ad uno stadio emitter-follower tramite il quale è possibile inserire i segnali di spegnimento

(blanking) di riga e di quadro. I relativi impulsi vengono applicati al pin 9 dopo averli ridotti ad un'ampiezza compresa tra 2 e 5V per mezzo di un partitore resistivo.

Rivelatore di soglia degli impulsi sand-castle

Al pin 7 del TDA 2560 viene applicato un impulso a due livelli (sand-castle stretto) dal quale, tramite un rivelatore di soglia, sono prodotti due impulsi di durata e caratteristiche tali da assicurare la commutazione dell'amplificatore di crominanza nel periodo di presenza del burst (base dell'impulso) e l'agganciamento del livello del nero (sommità dell'impulso) durante il piedistallo posteriore dell'impulso di sincronismo di riga. La separazione dei due impulsi è ottenuta per mezzo di un rivelatore a soglia che distingue i segnali di ampiezza inferiore a 1,5V da quelli superiori a 6V (Fig. 3.6).

Limitatore della corrente di raggio

Per impedire un eccessivo sovraccarico del generatore di EAT ed un pericoloso aumento di temperatura della maschera fessurata, si deve limitare la corrente catodica totale del cinescopio. Nel circuito in esame, ciò si ottiene riducendo la tensione al pin 16 e quindi il valore del contrasto. L'informazione richiesta è ottenuta dalla resistenza di chiusura a massa del triplicatore di tensione, sulla quale si sviluppa appunto una tensione proporzionale alla corrente del cinescopio. Questa viene filtrata

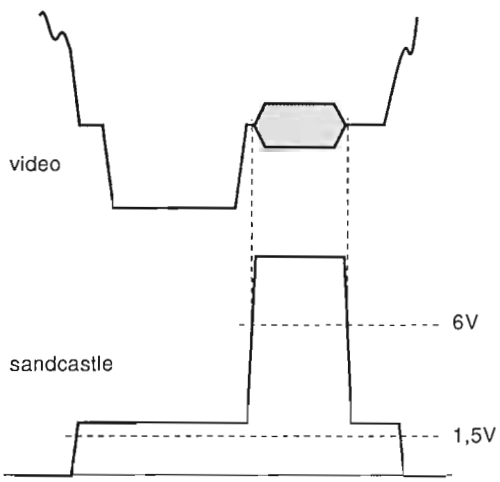


Fig. 3.6 - Dall'impulso di sand-castle vengono derivati i segnali per la regolazione della luminosità (parte superiore), del contrasto e della saturazione (parte inferiore).

e quindi applicata al punto S della scheda nel quale è così presente una tensione che, nel normale campo di regolazione della luminosità, risulta compresa tra 1,5 e 6,5V.

Se però la corrente di raggio cresce oltre i limiti ammessi, la tensione al punto S della scheda cala, spostandosi verso lo zero. Non appena raggiunge un valore inferiore a quello presente al pin 16 dell'integrato, costringe C421 a scaricarsi, determinando una diminuzione del contrasto.

Nello schema in esame, T406 opera come limitatore dei picchi di bianco del segnale di luminanza. Il segnale Y presente al pin 10 viene applicato alla base di T406 tramite il diodo D421, il cui catodo si trova ad una tensione positiva per mezzo del partitore R407-P407. Solo la parte del segnale che supera la soglia di conduzione del diodo può giungere in base di T406, portandolo così in conduzione: ciò accadrà in corrispondenza delle zone ultrabianche dell'immagine, quando il trimmer P407 è correttamente regolato. La conduzione di T406 porta all'innalzamento della tensione di base di T408 e quindi alla diminuzione della tensione al pin 16, con conseguente riduzione del contrasto.

3 - 1 - 2 Il TDA 2522

Facendo riferimento alla Fig. 3.7, il segnale di crominanza, proveniente dal pin 6 del TDA 2560, viene diviso in due parti: una attraversa la linea di ritardo PAL, l'altra, regolata in ampiezza da P452, viene applicata al centro dell'induttanza collegata in parallelo al traduttore d'uscita della stessa linea di ritardo. Con l'aiuto della Fig. 3.8, ricordiamo brevemente come viene effettuata la separazione delle due componenti del segnale di crominanza per mezzo di questi collegamenti. Nel sistema PAL, il segnale di crominanza C viene trasmesso alternando di fase ad ogni riga la componente Cv modulata dal segnale R–Y. La somma del segnale diretto con quello ritardato determinerà allora la cancellazione della componente alternata rendendo così disponibile all'uscita dello stadio sommatore la sola componente Cu modulata dal segnale B–Y.

Al contrario, facendo la differenza tra il segnale diretto e quello ritardato, si otterrà la cancellazione della componente Cu e, all'uscita dello stadio differenziatore, si renderà disponibile la componente Cv con fase alternata (±90°).

Le operazioni di somma e differenza si effettuano in modo molto semplice, utilizzando lo sfasamento di 180° esistente fra le tensioni presenti tra le estremità e la presa centrale dell'induttanza collegata in parallelo al trasduttore d'uscita della linea di ritardo.

Per una precisa separazione delle due componenti, è necessario regolare correttamente tramite P452 l'ampiezza del segnale diretto che deve coincidere con quella

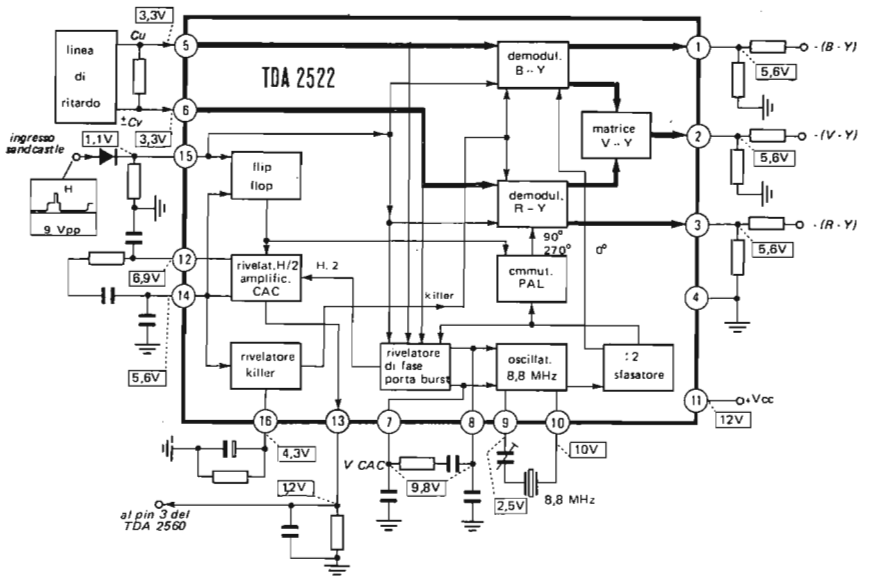


Fig. 3.7 - Schema a blocchi dettagliato dell'integrato TDA 2522.

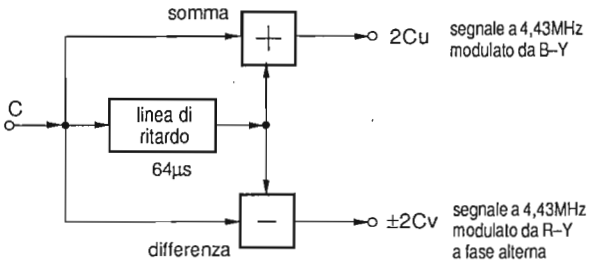
del segnale ritardato, nonchè la fase tra i due segnali che può essere regolata per mezzo dei nuclei di cui sono provviste le induttanze contenute nella linea di ritardo.

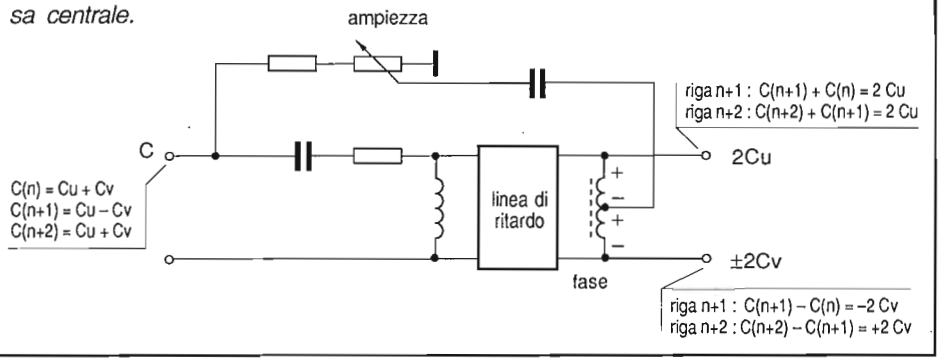
Generatore della sottoportante a 4,43MHz e sua sincronizzazione

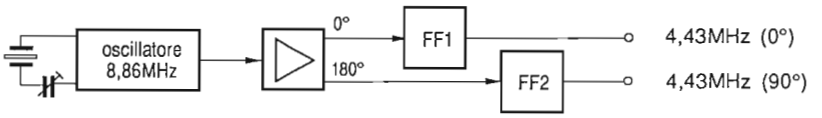
Per la demodulazione sincrona delle componenti Cu e ±Cv è necessario disporre di due segnali a frequenza di sottoportante a 4,43MHz, sfasati esattamente di 90°, e coerenti con la sottoportante usata in trasmissione, le cui caratteristiche di frequenza e fase sono contenute, lo ricordiamo, nel burst. I due segnali di riferimento vengono ottenuti a partire da un oscillatore, la cui uscita viene messa a confronto ad ogni riga con il burst entro uno stadio discriminatore di fase, così da mantenerlo perfettamente sincronizzato.

Nel TDA 2522 viene utilizzato un oscillatore quarzato operante a una frequenza di 8,86MHz, doppia di quella della sottoportante, così da poter facilmente produrre i due segnali di riferimento sfasati esattamente di 90° senza far uso di alcuna rete sfasatrice. La tecnica utilizzata è riportata in Fig. 3.9. Il segnale dell'oscillatore viene inoltrato ad un amplificatore-squadratore, le cui due uscite in controfase pilotano ciascuna un flip-flop. I segnali di uscita di questi rappresentano due onde quadre a

Fig. 3.8 - Nel sistema PAL, la separazione delle componenti Cu e ±Cv del segnale di crominanza può effettuarsi semplicemente sommando e sottraendo i segnali diretto e ritardato, con l'aiuto di un'induttanza dotata di presa centrale.







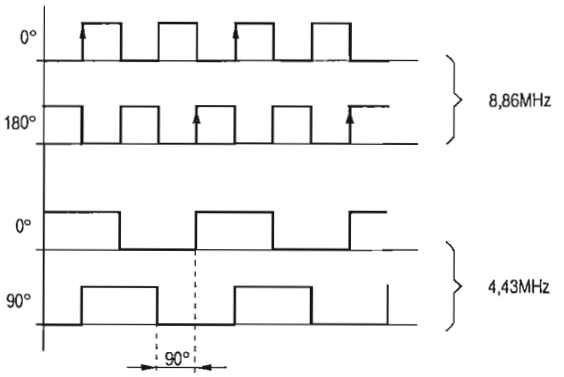


Fig. 3.9 - I due segnali a 4.43MHz, esattamente sfasati di 90°, richiesti dai demodulatori sincroni possono essere ottenuti dividendo per 2 la frequenza del segnale d'uscita di un oscillatore quarzato a 8.86MHz per mezzo di due flip-flop.

frequenza metà di quella dell'oscillatore, sfasate esattamente di 90° che internamente vengono utilizzate per il pilotaggio dei due demodulatori sincroni.

La sincronizzazione dell'oscillatore avviene tramite un anello di CAF, nel quale un discriminatore di fase mette a confronto i segnali del burst e quello di riferimento sfasati di 90°. In caso di errore di fase, viene prodotta una tensione di controllo (V_{CAF}) che inoltrata all'oscillatore ne produce la richiesta correzione.

Il filtro passa-basso connesso tra i piedini 7 e 8 dell'integrato provvede a filtrare la tensione di controllo; dal suo dimensionamento dipendono le variazioni dinamiche della fase, la larghezza di banda del rumore, la rapidità di risposta ed il campo di agganciamento del circuito di CAF.

Il discriminatore viene attivato solo quando è presente il burst, mentre per il periodo restante risulta bloccato. A ciò provvedono gli impulsi di sand-castle applicati al pin 15 la cui parte superiore, rivelata da un circuito a soglia, cade proprio in corrispondenza del piedistallo posteriore del sincronismo di riga. In questo modo si ottiene la migliore protezione contro disturbi e segnali spuri.

Nella sezione di crominanza che stiamo descrivendo non è previsto uno stadio specifico per l'estrazione del burst posto a monte della linea di ritardo, come avviene nella quasi generalità dei casi. Per questo motivo, essendo disponibili ai pin 5 e 6 dell'integrato le due componenti di crominanza (e quindi anche del burst) in quadratura, già separate, è necessario ricombinarle tramite un amplificatore differenziale per ricostruire il burst con la fase originale prima di inoltrarlo al rivelatore di fase.

Commutatore PAL e demodulatori sincroni

L'estrazione dei segnali B–Y ed R–Y a partire dalle corrispondenti componenti a 4,43MHz del segnale di crominanza avviene per mezzo di due demodulatori sincroni. I segnali di pilotaggio con fase 0° e ±90° vengono forniti dallo stadio divisore del circuito oscillatore come si è detto in precedenza.

Al rovesciamento ad ogni riga della fase del segnale di riferimento del demodulatore R–Y provvede il commutatore PAL (Fig. 3.10), a sua volta pilotato da un impulso a frequenza metà di quello di riga (H/2).

I demodulatori sincroni vengono bloccati durante i ritorni di riga dalla base degli impulsi di sand-castle applicati al pin 15. In questo modo si evita che segnali spuri presenti nel canale di crominanza e lo stesso burst diano luogo a segnali di disturbo.

I demodulatori vengono bloccati anche nel caso di ricezione in bianco/nero o di segnale di colore troppo debole dalla tensione di interdizione prodotta in questi casi dallo stadio di soppressione del colore (killer).

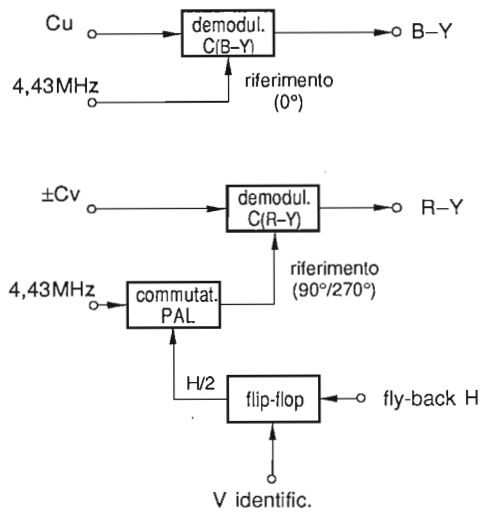


Fig. 3.10 - Tecnica di demodulazione dei segnali Cu e ±Cv nel sistema PAL.

L'altro segnale differenza di colore V–Y è ottenuto entro un circuito matrice a partire da una opportuna combinazione dei segnali B–Y ed R–Y. I tre segnali sono ora disponibili con un'ampiezza di 3Vpp e con fase negativa ai pin 1, 2 e 3.

Flip-flop PAL, demodulatore H/2, stadio CAC e killer

Il segnale di pilotaggio del commutatore PAL è prodotto dal flip-flop PAL, a sua volta pilotato dagli impulsi di sand-castle. Per una corretta demodulazione della componente R–Y del segnale di crominanza è però necessario che il commutatore PAL venga a trovarsi nella stessa posizione di fase in cui si trova il corrispondente commutatore al trasmettitore. Per l'identificazione in ricezione si sfrutta l'alternanza di fase (135°/225°) presentata dal burst ad ogni riga che, rivelata dal discriminatore di fase, viene utilizzata per sincronizzare il flip-flop.

All'uscita del discriminatore è pertanto presente un segnale formato da impulsi positivi separati da impulsi negativi aventi durata pari a quella del burst (3-4μs), di frequenza H/2. L'ampiezza di questi impulsi è direttamente proporzionale a quella del burst in arrivo ai pin 5 e 6. La loro rivelazione, necessaria per la produzione della tensione di CAC, ha luogo entro il demodulatore H/2 il quale è a sua volta pilotato dal segnale d'uscita del flip-flop (a frequenza H/2). L'impulso rivelato è quello negativo solo in condizioni di corretta sincronizzazione del commutatore PAL. Per identificare questa situazione, all'impulso rivelato viene sommata una componente continua di riferimento di 7V. Il tutto viene filtrato dal condensatore C448 connesso tra

il pin 14 e massa. In condizioni di corretto funzionamento, e burst di massima ampiezza, la tensione al pin 14 ammonta a 5,5V, mentre in caso di fase rovesciata del flip-flop essa vale oltre 7,2V, determinando il blocco del flip-flop per una riga e conseguentemente la sua messa al passo nella riga successiva.

La tensione di identificazione presente al pin 14 viene inoltrata all'amplificatore di CAC che provvede ad amplificare le variazioni rispetto al livello di riferimento di 7V presente al pin 12. All'uscita (pin 13) è così disponibile la tensione di CAC compresa tra 0,3 e 5,5V, che viene applicata al pin TDA 2560. La tensione di identificazione viene utilizzata anche per pilotare lo stadio di soppressione del colore (killer). In condizioni di buona ricezione - oscillatore a 4,43MHz di frequenza e fase corrette, commutatore PAL giustamente sincronizzato, segnale di burst di ampiezza sufficiente - al pin 14 risulta presente una tensione di valore inferiore a 7V. Se però una o più di queste situazioni non si verifica, allora la tensione sale al di sopra di quel livello. E' sufficiente quindi disporre di un commutatore a soglia regolato ad esempio a 6V per attivare il killer nel caso di ricezione non corretta e comunque insufficiente. Il necessario ritardo di disinserimento del killer, nel passaggio dalla condizione di colore disattivato a colore attivato, è assicurato dal condensatore C451 collegato al pin 16.

In Fig. 3.11 è riportato il diagramma che indica il modo di variare della tensione continua in uscita al demodulatore H/2 in funzione dell'ampiezza del burst al pin 6 dell'integrato.

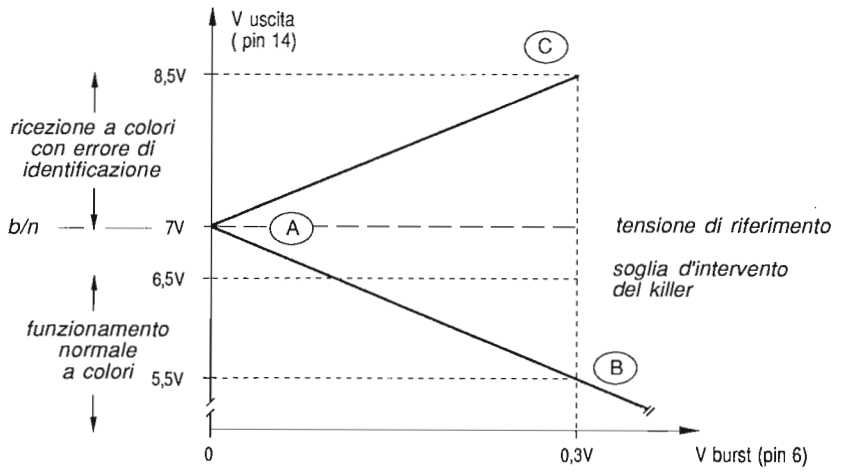


Fig. 3.11 - Valori assunti dall'uscita del rivelatore H/2 in funzione dell'ampiezza del burst presente al pin 6 del TDA 2522.

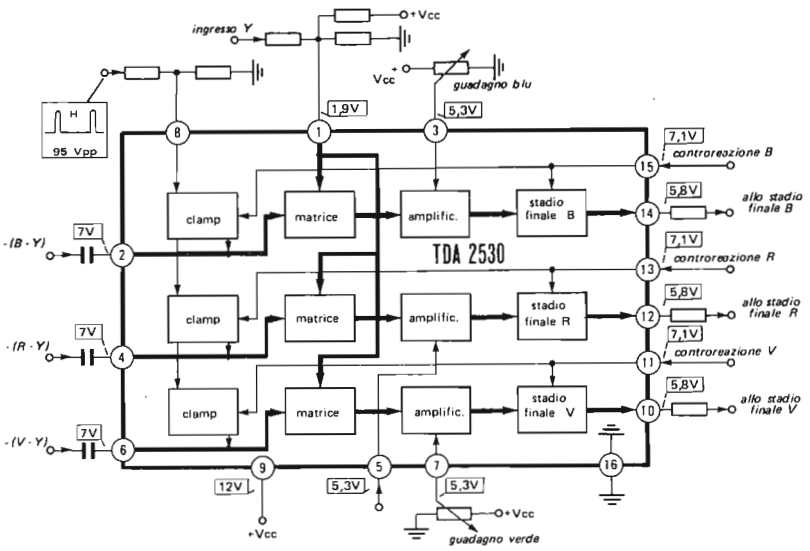


Fig. 3.12 - Schema a blocchi dell'integrato TDA 2530.

Si possono evidenziare tre situazioni estreme, indicate nel diagramma con le lettere A, B e C. Precisamente:

A - *ricezione in B/N.* In questo caso la tensione al pin 14 ammonta a circa 7V e quindi il killer-colore è già entrato in funzione bloccando il canale di crominanza.

B - *ricezione a colori e flip-flop correttamente sincronizzato.* La tensione al pin 14 con burst di massima ampiezza è di circa 5,5V. Il killer è disattivato ed il colore appare sullo schermo.

C - *ricezione a colori e flip-flop con fase errata.* La tensione continua al pin 14 si porta a circa 8,5V e ciò determina il blocco del flip-flop tramite il circuito di identificazione. Il demodulatore H/2 non ricevendo alcun segnale dal flip-flop fornisce all'uscita la tensione di riferimento di 7V. Ciò determina lo sblocco del flip-flop che riprende perciò a funzionare. Se ora le fasi dei segnali in arrivo al demodulatore H/2 sono coincidenti, si stabiliscono le condizioni di normale funzionamento descritte in B; in caso contrario l'intero processo descritto riprende da capo.

Al "gating" dei diversi stadi provvede l'impulso di sand-castle applicato al pin 16, i cui due livelli vengono rivelati da un circuito a due soglie (2V e 7,5V).

3 - 1 - 3 Il TDA 2530

I segnali differenza di colore presenti alle uscite del TDA 2522 attraversano degli emitter-followers prima di essere applicati capacitivamente all'integrato matrice TDA 2530. Questo ha il compito di fornire alle sue uscite i segnali dei tre colori primari RVB con livello e caratteristiche adeguate al pilotaggio degli stadi finali, sommando ai segnali differenza di colore il segnale di luminanza Y applicato al pin 1. Come si deduce dallo schema a blocchi di Fig. 3.12, sui segnali differenza di colore viene preventivamente effettuata l'operazione di aggancio *(clamp)* ad un determinato livello di tensione, per ripristinare la componente continua persa a causa degli accoppiamenti capacitivi. Il circuito di clamp, attivato ad ogni ritorno di riga dagli impulsi di fly-back positivi applicati al pin 8, determina l'agganciamento dei segnali ad un prestabilito valore di tensione continua *(livello del nero)*.

Più in dettaglio, con l'aiuto della Fig. 3.13 che rappresenta lo schema a blocchi di una delle tre sezioni, osserviamo che la connessione interna degli amplificatori differenziali impone che nella fase di ritorno di riga il punto F si mantenga a metà del valore della tensione di alimentazione dell'integrato. In questa fase, infatti, per mezzo dell'interruttore di clamp viene a chiudersi la rete di controreazione e la differenza di potenziale tra gli ingressi del differenziale 2 tende ad annullarsi. Contemporaneamente la tensione d'uscita di questo amplificatore viene applicata al condensa-

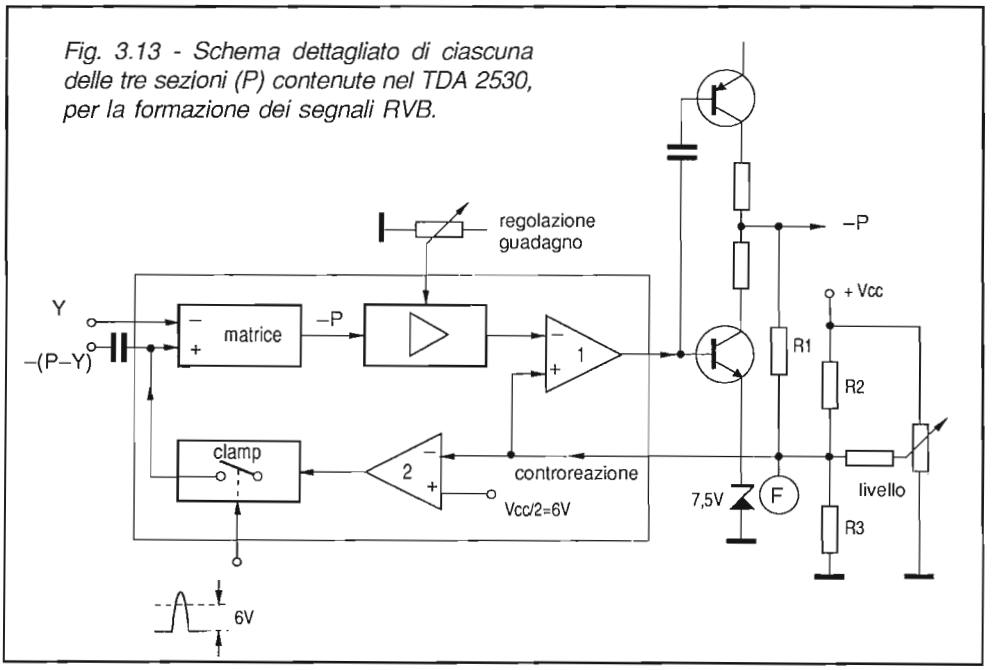


Fig. 3.13 - Schema dettagliato di ciascuna delle tre sezioni (P) contenute nel TDA 2530, per la formazione dei segnali RVB.

tore di accoppiamento, determinandone la carica e quindi l'agganciamento del corrispondente segnale differenza di colore a circa 1,5V.

Un secondo anello di controreazione, dovuto all'amplificatore differenziale 1, al cui ingresso non invertente viene riportata una frazione del segnale d'uscita, assicura una migliore linearità della risposta in ampiezza e in frequenza dello stadio finale.

Osserviamo infine che per la taratura del bianco alla massima luminosità sono previste le regolazioni del guadagno di due dei tre canali cromatici (R e B) tramite i potenziometri P518 e P578 connessi rispettivamente ai pin 3 e 7.

3 - 2 LA SOLUZIONE A DUE CHIP

Nel corso di questo paragrafo verrà descritta una sezione di luminanza-crominanza con uscite RVB facente uso di due dispositivi ad alta integrazione: il TDA 3510 ed il TDA 3501. Il primo riceve al suo ingresso il segnale di crominanza a 4,43MHz e fornisce alle sue uscite i segnali differenza di colore –(R–Y e –(B–Y). Il secondo contiene le matrici V–Y e RVB per la produzione dei segnali dei colori primari. I due circuiti sono contenuti entro altrettanti moduli, la cui connessione sul telaio di base è assicurata da una contattiera a 29 piedini.

3 - 2 - 1 Il TDA 3510

Facendo riferimento alla Fig. 3.14, che riporta lo schema elettrico del modulo colore utilizzato nei televisori Grundig con telaio GSC701 e alla Fig. 3.15, che riporta lo schema a blocchi del TDA 3510, esaminiamo il funzionamento della sezione.

Decodificatore PAL

Il segnale di crominanza proveniente dalla scheda FI video, dopo essere stato separato dal segnale di luminanza per mezzo di un circuito risonante accordato a 4,43MHz, giunge al pin 1 dell'integrato, ingresso della sezione di crominanza. Questa è formata da un amplificatore il cui guadagno è regolato dalla tensione di CAC generata internamente. Il campo di regolazione ammonta a circa 26dB, cosicchè l'ampiezza del segnale d'entrata può assumere valori compresi tra 10mV e 200mV.

La tensione di CAC è prodotta tramite la rettificazione dei picchi del segnale d'uscita del demodulatore H/2 ed il filtraggio operato da C416, collegato tra il pin 22 e massa. In condizioni di normale ricezione, la tensione di regolazione è proporziona-

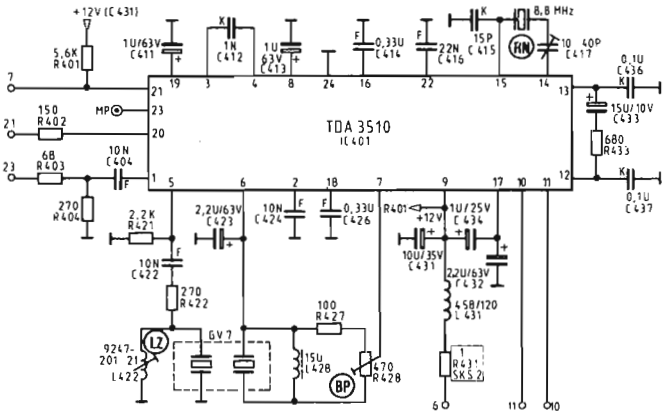


Fig. 3.14 - Scheda di crominanza equipaggiata con l'integrato TDA 3510 di un televisore Grundig.

le all'ampiezza del burst. In questa situazione, al variare del livello del segnale d'ingresso la saturazione non subisce alcuna modificazione. Quando invece il segnale decresce, e di conseguenza il fruscio aumenta, la tensione di CAC si riduce in misura minore, determinando con ciò una riduzione della saturazione e di conseguenza una riproduzione cromatica meno disturbata.

Il segnale incontra quindi un limitatore di ampiezza prima di dividersi per seguire due vie: una che lo porta al pilota della linea di ritardo e l'altra ad un attenuatore. All'uscita del primo (pin 5), il segnale presenta un'ampiezza di 2Vpp ed è sovrapposto ad una componente continua di 8V. Nello stadio avviene pure la soppressione del burst per mezzo di uno stadio gate pilotato dalla parte superiore degli impulsi di sand-castle, nonchè il blocco del pilotaggio della linea di ritardo all'attivazione del *colour-killer*. In questo modo è possibile "isolare" la linea di ritardo dal decodificatore PAL e utilizzarla per la sezione SECAM. Il segnale d'uscita della linea di ritardo, regolato in fase da LZ ed in ampiezza da BP, viene reintrodotto nell'integrato attraverso il pin 7 e da questo applicato ai demodulatori sincroni R–Y e B–Y. Internamente, agli stessi demodulatori perviene anche il segnale diretto, attenuato di circa 18dB per compensare le perdite introdotte dalla linea di ritardo. Per ragioni di compatibilità con il decodificatore SECAM, la separazione delle componenti cromatiche non avviene con l'usuale metodo di somma e differenza, tramite un'induttanza dotata di presa centrale all'uscita della linea di ritardo. Nel TDA 3510 tali operazioni sono attuate elettronicamente utilizzando gli ingressi differenziali di cui sono dotati

i demodulatori sincroni. Per un preciso bilanciamento di questi ultimi, al pin 6 viene applicata la componente continua del segnale ritardato, dopo adeguato filtraggio per mezzo di C423.

Ai pin 10 e 11 sono a disposizione i segnali –(B–Y) e –(R–Y) con ampiezze di 1,2Vpp e 1Vpp, adatte al pilotaggio del successivo stadio matrice.

I demodulatori vengono bloccati durante i ritorni di riga dall'impulso mediano del segnale super sand-castle applicato al pin 20, così da evitare disturbi sui segnali cromatici. Il loro blocco può avvenire anche tramite il killer, nel caso di ricezione di segnale B/N, a colori ma di debole entità o, ancora, di segnale con codifica diversa, ad esempio SECAM. In questo caso il killer viene forzato dalla tensione a livello L applicata al pin 21 e prodotta dalla decodifica SECAM.

Oscillatore di riferimento e killer colore

I segnali a 4,43MHz di riferimento richiesti dai due demodulatori sincroni sono ottenuti a partire dal segnale generato da un oscillatore a 8,86MHz, con la tecnica di divisione per 2 tramite due flip-flop, già illustrata nel paragrafo precedente a proposi-

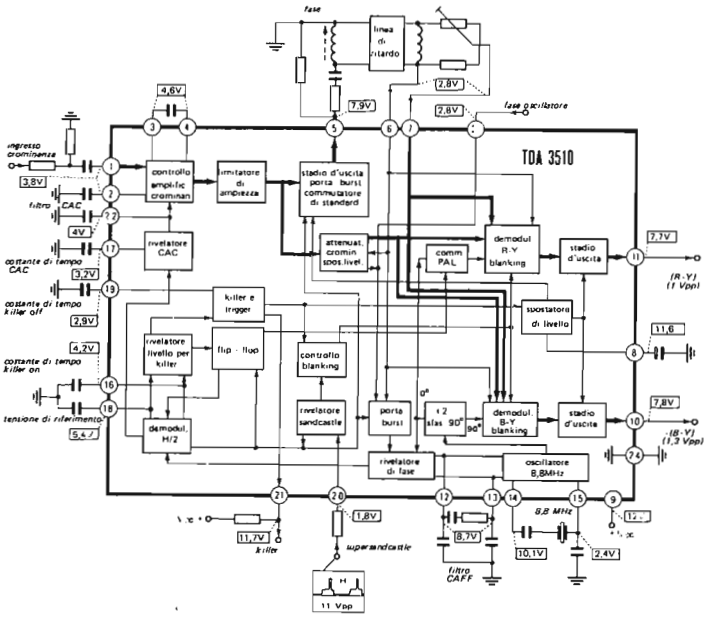


Fig. 3.15 - Schema a blocchi dell'integrato TDA 3510.

to dell'integrato TDA 2522. Si ottengono in questo modo due segnali con fasi 0° e 90° senza richiedere circuiti sfasatori esterni.

Il segnale con fase 90° viene rovesciato di fase (90°/270°) ad ogni riga dal commutatore PAL, prima di essere applicato al demodulatore sincrono (R–Y). Lo stesso segnale viene inoltrato al rivelatore di fase, nel quale ha luogo il confronto con il burst proveniente da un circuito-porta che provvede alla sua estrazione dal segnale di crominanza. Un'uscita del rivelatore, filtrata dalla rete connessa tra i pin 12 e 13, determina la correzione di frequenza e fase dell'oscillatore a quarzo. Un'altra uscita fornisce invece il segnale H/2, formato dalla sovrapposizione dell'impulso di commutazione (che comanda il funzionamento del rivelatore di fase) con il segnale determinato dallo sfasamento, che alternativamente assume valori positivi e negativi in conseguenza dell'alternanza di fase del burst. Questo segnale giunge al demodulatore H/2 dove ha luogo il confronto con il segnale d'uscita del flip-flop. Se la fase di quest'ultimo è corretta, vengono rivelati solo gli impulsi negativi del segnale H/2; nel caso contrario vengono rivelati gli impulsi positivi. La rivelazione viene ottenuta con un circuito "sampling and hold" (campionamento e tenuta), il cui condensatore di memoria è collegato al pin 16 (C414). Questa tensione viene confrontata con quella di riferimento (5,5V), by-passata da C426 collegato tra il pin 18 e massa, entro il rivelatore di livello. Se V16 supera il valore di V18, significa che il flip-flop ha fase errata: in questo caso viene prodotta una tensione che lo blocca per un semiperiodo, determinandone la corretta sincronizzazione. Se V16=V18 significa che il burst è assente o molto debole. In entrambi i casi, comunque, un circuito a soglia attiva il killer che provvede a bloccare lo stadio pilota della linea di ritardo e i demodulatori sincroni. La disattivazione del killer viene ritardata per mezzo della costante di tempo determinata dalla capacità C432 e dalla resistenza interna (1kohm).

In condizioni di corretto funzionamento, è la parte negativa del segnale H/2 ad essere rivelata, per cui V16 risulta inferiore a V18. Questa tensione diminuisce al crescere dell'ampiezza del burst e quindi, amplificata, può essere utilizzata per controllare il guadagno del primo amplificatore di crominanza (CAC).

3 - 2 - 2 Il TDA 3501

I segnali differenza di colore –(R–Y) e –(B–Y), provenienti dal TDA 3510, vengono applicati ai pin 17 e 18 dell'integrato tramite accoppiamento capacitivo (Fig. 3.16 e 3.17). In questo modo si evita che le eventuali differenze tra le componenti continue dei due segnali si traducano in errori cromatici nella riproduzione al cinescopio.

Durante il piedistallo posteriore dell'impulso di cancellazione di riga ha luogo, all'interno dell'integrato, l'agganciamento dei due segnali ad un prestabilito livello di 4,2V, tramite la carica, a tale valore di tensione, dei due condensatori di accoppiamento. Questa operazione di clamp è ottenuta per mezzo della parte superiore del-

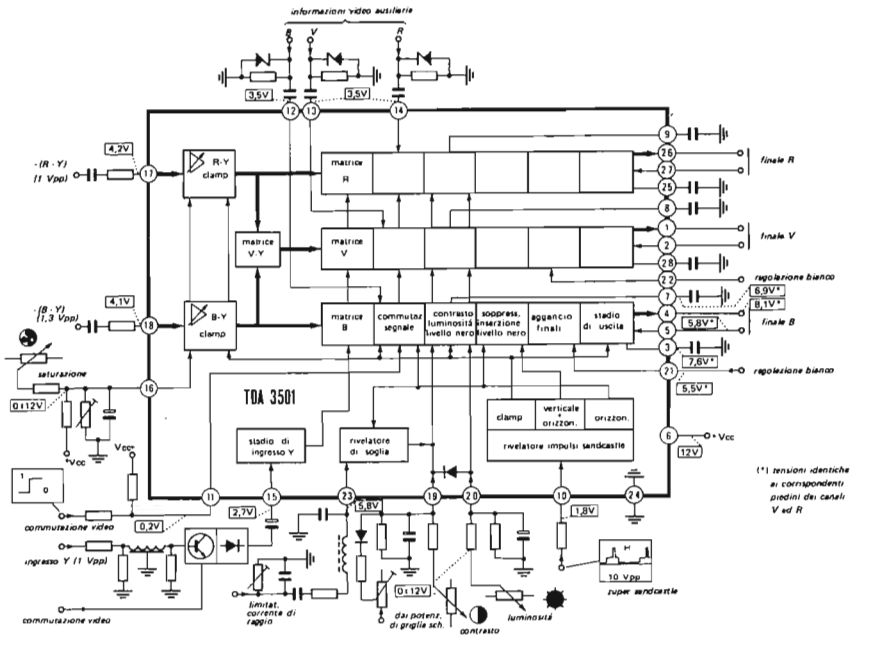


Fig. 3.16 - Schema a blocchi del circuito integrato TDA 3501.

l'impulso di sand-castle, della durata di circa 4μs e in posizione adeguata all'interno del periodo di spegnimento di riga.

I circuiti di clamp sono seguiti da due amplificatori identici, a guadagno regolabile per mezzo della tensione continua applicata al pin 16 (comando di saturazione), variabile tra 2V (minima) e 4V (massima). Dopo questi potenziametri elettronici si trova lo stadio matrice che provvede alla formazione del terzo segnale differenza di colore (V–Y), per mezzo della nota relazione:

$$(V-Y) = -0{,}51\ (R-Y) - 0{,}19\ (B-Y)$$

I tre segnali differenza di colore incontrano quindi le matrici RVB per la formazione dei segnali dei colori primari, entro le quali a ciascuno di essi viene sommato il segnale di luminanza Y. Quest'ultimo è applicato capacitivamente al pin 15 e proviene dal preamplificatore video dove, per mezzo di due trappole, è stato privato di ogni residuo dei segnali audio a 5,5MHz e di crominanza a 4,43MHz. Prima di giungere all'integrato, il segnale di luminanza attraversa la linea di ritardo Y ed il diodo

D511. In condizioni normali di ricezione, il contatto 26 della scheda è mantenuto a 0V: in tal modo D501 è polarizzato direttamente, tuttavia T508 rimane interdetto. In questa maniera il segnale di luminanza può giungere al pin 15, poichè il diodo D511 risulta polarizzato direttamente dai partitori R509-R511 e R512-R513.

Quando il contatto 26 viene portato a +12V, T508 risulta in saturazione e di conseguenza D511 si trova polarizzato inversamente: ciò impedisce il passaggio del segnale di luminanza rendendo possibile il pilotaggio dei canali RVB con segnali esterni.

Lo stesso segnale di commutazione è applicato anche al pin 11 e controlla lo stato di funzionamento di tre stadi commutatori, uno per ciascun canale cromatico. Con il livello logico L (0V) vengono fatti passare i segnali provenienti dalle matrici, mentre con il livello H (1V) vengono inserite le informazioni provenienti da sorgenti esterne (televideo, videogiochi ecc.) applicati ai pin 12-13-14. L'accoppiamento di questi segnali avviene per via capacitiva e perciò su ciascuno dei tre integrati agisce un circuito di clamp pilotato, al solito, dall'estremità superiore dell'impulso di sand-castle.

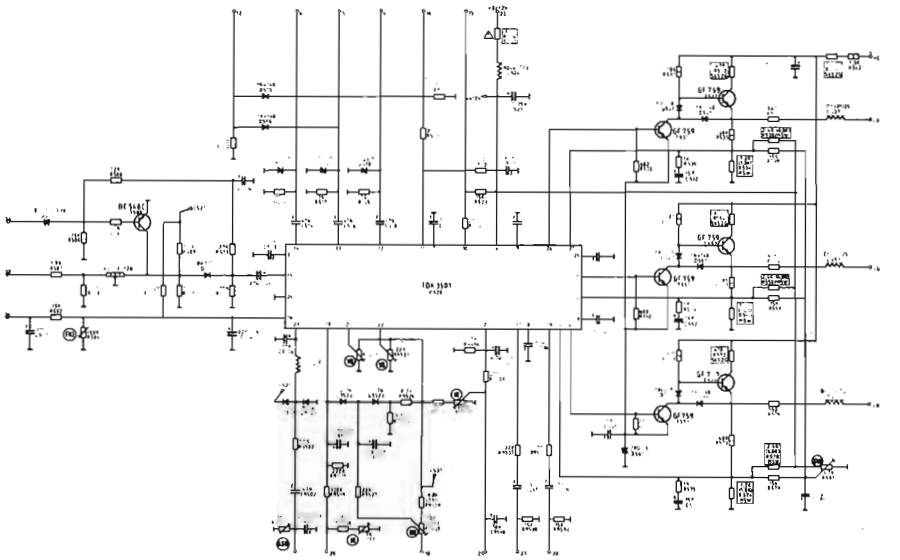


Fig. 3.17- Scheda matrice RVB-finali colore del telaio Grundig GSC 701, equipaggiata con l'integrato TDA3501.

Seguono quindi gli stadi per il controllo del contrasto e della luminosità. I primi sono dei potenziometri elettronici con caratteristica di funzionamento analoga a quella dei regolatori della saturazione. Con una tensione al pin 19 compresa tra 2V e 4V, il guadagno degli stadi passa da –17dB a +3dB rispetto al valore nominale (0dB) ottenuto applicando una tensione di 3,4V. In particolare, se questa tensione scende al di sotto di 2,15V, il contrasto si mantiene al livello minimo senza annullarsi, evitando così che il circuito di limitazione della corrente di raggio agente sul contrasto costringa all'interdizione i canali cromatici nel caso di luminosità eccessiva.

Negli stadi regolatori della luminosità, il livello del nero dei segnali RVB viene agganciato ad una tensione continua, regolabile, applicata al pin 20. Questi stadi regolatori vengono attivati dalla parte superiore degli impulsi di sand-castle (H), in modo che l'agganciamento abbia luogo in corrispondenza del piedistallo posteriore dell'intervallo di cancellazione di riga. Nella parte rimanente del periodo, la tensione di regolazione viene "memorizzata" entro le capacità connesse tra i pin 7-8-9 e massa. Il funzionamento dettagliato di questi stadi è stato descritto nei paragrafi precedenti a proposito del TDA 2560. Il campo di regolazione della luminosità è ottenuto facendo variare la tensione al pin 20 tra 1V e 3V. In corrispondenza del valore 2V, il valore del nero dei segnali RVB all'uscita dei rispettivi stadi finali coincide con il punto d'interdizione del catodo di ciascun cannone del cinescopio.

I tre stadi regolatori della luminosità, nonchè quelli per la regolazione della saturazione, devono possedere caratteristiche coincidenti onde evitare alterazioni nei colori trasmessi.

Dopo gli stadi di regolazione del contrasto e della luminosità, si incontra in ciascuno dei tre canali lo stadio di spegnimento delle ritracce che porta la tensione d'uscita, durante gli intervalli di cancellazione, su un livello di circa il 20% più basso di quello del nero, assicurando in tal modo il completo spegnimento delle ritracce verticali. Gli impulsi di soppressione delle ritracce vengono derivati dall'impulso super-sand-castle a tre livelli, prodotto entro la scheda di elaborazione sincronismi e le cui caratteristiche sono riassunte in Fig. 3.18. Per mezzo del rivelatore di sand-castle, dotato di tre circuiti a soglia, è possibile estrarre gli impulsi per lo spegnimento (V+H) di cui si è detto sopra (compresi tra 2 e 3V), quelli per l'inserimento del livello del nero (H) durante i ritorni di riga (tra 4 e 5V) ed infine quelli di clamp (C) per il ripristino della componente continua dei segnali (oltre 7,5V).

L'impulso H provvede inoltre a commutare negli stadi di cancellazione la tensione d'uscita su un valore di riferimento interno corrispondente al livello che si ottiene applicando 2V al pin 20. Questo livello di nero artificiale servirà da riferimento per la successiva operazione di aggancio nei circuiti d'uscita.

Ciascuno stadio di commutazione è seguito da un limitatore che impedisce la saturazione dello stadio finale. I limiti di intervento sono al +25% (oltre il bianco) e al –25% (in direzione dell'ultranero); in questo modo vengono eliminate le code che si

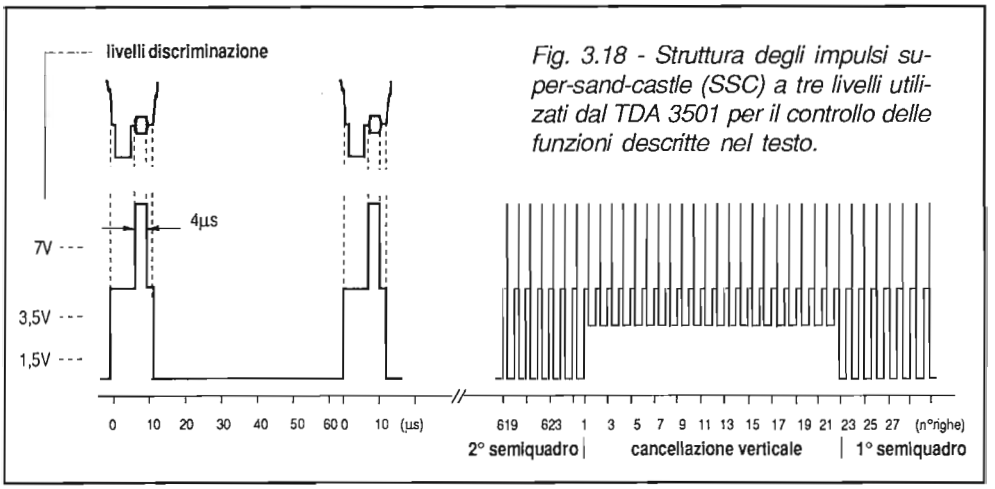


Fig. 3.18 - Struttura degli impulsi super-sand-castle (SSC) a tre livelli utilizzati dal TDA 3501 per il controllo delle funzioni descritte nel testo.

avrebbero dopo punti molto luminosi o scuri, a seguito del sovrapilotaggio dello stadio finale.

Segue poi un amplificatore a guadagno regolabile per i canali V e B e a guadagno fisso per R. Con le rispettive regolazioni potenziometriche è possibile far coincidere i guadagni globali delle tre catene per la messa a punto del bianco.

Troviamo quindi, per ciascun canale, uno stadio per la regolazione dell'aggancio dello stadio finale in corrispondenza del livello del nero artificiale, il cui principio di funzionamento è lo stesso già descritto in dettaglio per il TDA 2530.

I segnali di colori primari in uscita degli stadi di aggancio entrano negli stadi pilota che sono amplificatori differenziali le cui tensioni d'uscita vanno a pilotare, tramite i pin 4,1 e 26, i corrispondenti stadi finali. Le tensioni d'uscita di questi ultimi, opportunamente ridotte da adatte reti esterne, vengono applicate (Fig. 3.19) attraverso i pin 5,2 e 27 dell'integrato agli ingressi non-invertenti dei rispettivi stadi pilota interni. Si realizza in questo modo una controreazione che tende a linearizzare la risposta in ampiezza e in frequenza degli stadi finali RVB esterni.

I segnali di controreazione vengono applicati anche agli stadi di aggancio interni. Durante il piedistallo posteriore, tramite la parte superiore dell'impulso di sand-castle (C), questi stadi vengono commutati in modo da effettuare il confronto tra il segnale di controreazione in arrivo ed una tensione interna di riferimento di valore pari a metà della tensione di alimentazione. Gli eventuali errori verranno tradotti in corrente di correzione per i condensatori collegati tra i pin 3,28 e 25, le cui tensioni andranno a sovrapporsi entro gli stadi di aggancio a quelle dei segnali dei colori primari, con conseguente spostamento del livello del nero fino all'annullamento dell'errore. In conclusione, durante il piedistallo posteriore del periodo di cancellazione

di riga, il circuito di aggancio produce il fissaggio del segnale al livello del nero artificiale tramite una rete di controreazione ad alto guadagno (10^5). Questo livello viene mantenuto per la rimanente durata dell'intervallo di riga per mezzo della capacità di memoria. Si ottiene in questo modo un'alta stabilità del livello del nero e quindi della regolazione del punto di interdizione del cinescopio.

Limitazione della corrente massima del cinescopio

In presenza di brusche variazioni di ampiezza dal nero al bianco del segnale video può accadere che si formino pericolosi picchi nei segnali di pilotaggio del cinescopio con conseguente sovraccarico dei finali e raggiungimento di picchi di corrente di valore così elevato da determinare alterazioni permanenti nei fosfori delle triadi interessate.

Si possono eliminare questi inconvenienti riducendo repentinamente il contrasto, quando si verifichi che la corrente istantanea del cinescopio ha superato il limite di

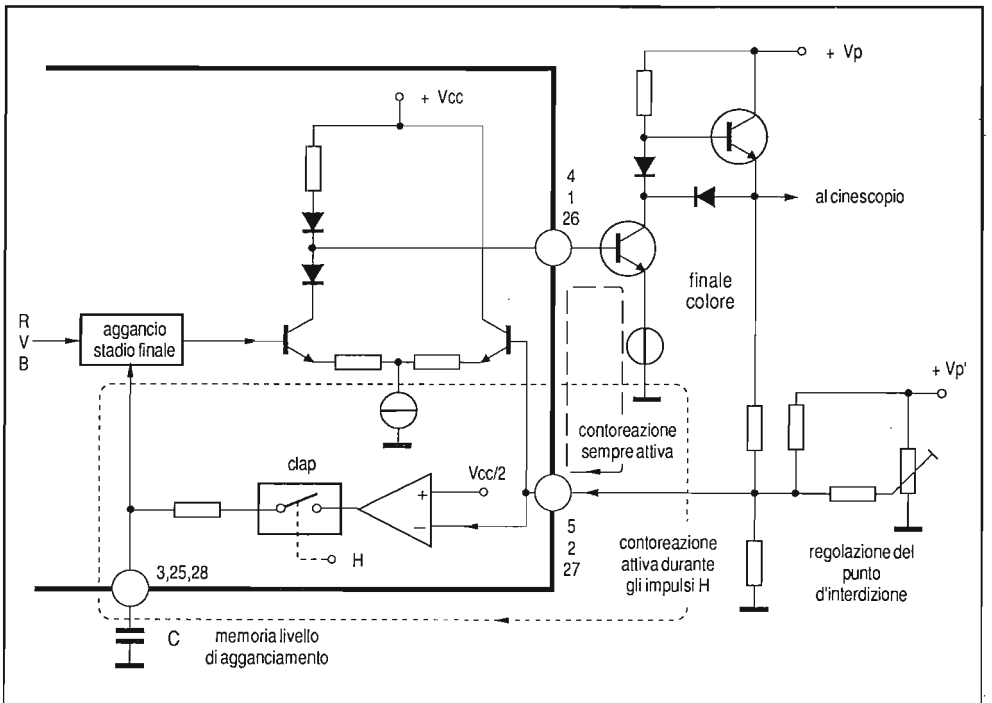


Fig. 3.19 - Dettaglio della struttura interna di ciascuna delle tre sezioni contenute nel TDA 3501 e percorso di segnali di controreazione.

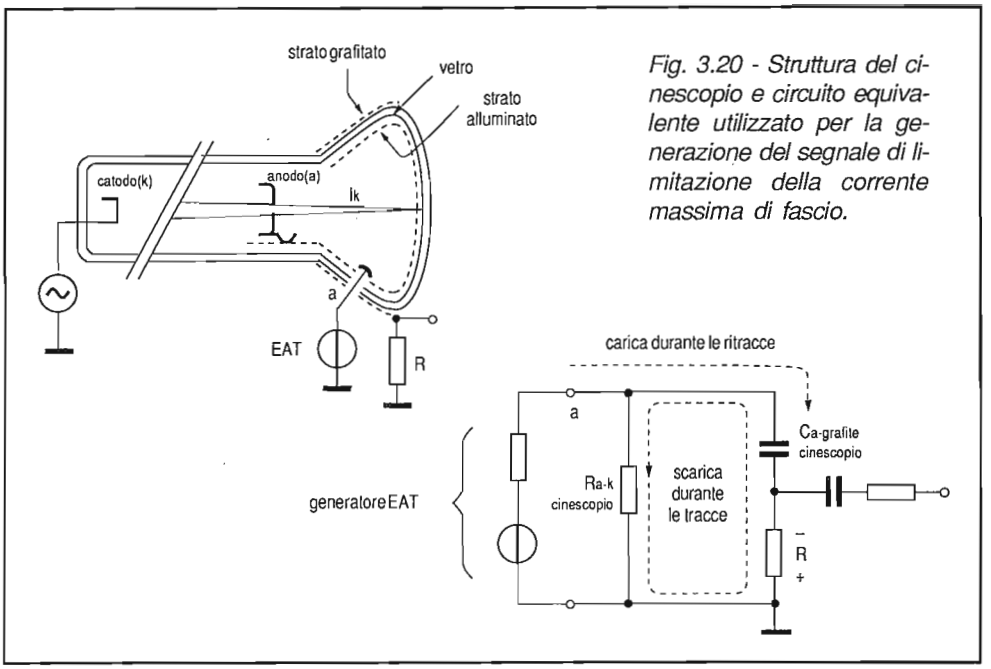


Fig. 3.20 - Struttura del cinescopio e circuito equivalente utilizzato per la generazione del segnale di limitazione della corrente massima di fascio.

guardia (circa 2÷3mA per ciascun cannone). L'informazione necessaria per questo controllo viene derivata direttamente dal cinescopio andando a misurare la caduta di potenziale che si manifesta ai capi della resistenza di chiusura a massa dello strato grafitato (Fig. 3.20). Il cinescopio, visto dal generatore di EAT, equivale ad una resistenza di valore dipendente dalla corrente catodica e quindi dalla luminosità. Durante il periodo di ritraccia orizzontale, il cinescopio è interdetto, per cui il generatore di EAT carica rapidamente la capacità formata da strato alluminato-vetro-strato grafitato. Nel rimanente periodo, questa capacità si scarica sulla resistenza equivalente del cinescopio, erogando una corrente che, se il sistema fosse isolato, corrisponderebbe esattamente a quella catodica.

Nella realtà, il sistema si comporta come se fosse isolato solo per le rapide variazioni di corrente, per cui la c.d.t. che si sviluppa su R è proporzionale alla corrente catodica proprio in corrispondenza dei picchi, come peraltro richiesto per attuare la limitazione della corrente massima di picco del cinescopio. Questa tensione viene privata della componente continua e applicata al terminale 21 della scheda, dove viene regolata in ampiezza tramite R9501, filtrata e limitata dai diodi D9503-D9506. Essa entra quindi nell'integrato attraverso il pin 23, dove incontra un rivelatore di soglia che entra in funzione quando la tensione applicata scende sotto i 5,7V, determinando l'abbassamento della tensione al pin 19 ed eventualmente anche del pin 20 e quindi la diminuzione del contrasto e della luminosità.

Per evitare che durante i ritorni di riga la corrente di carica della capacità del cinescopio e le tensioni indotte sui fili di collegamento forniscano informazioni falsate sulla reale entità della corrente di raggio, il rivelatore di soglia durante questo intervallo viene bloccato dagli impulsi H disponibili internamente all'uscita del rivelatore di sand-castle.

Limitazione della corrente media di raggio

Questo controllo è necessario per evitare un'eccessiva dissipazione di potenza da parte della maschera fessurata del cinescopio, con conseguente surriscaldamento e deformazione irreversibile. Nel circuito in esame, l'informazione necessaria è rappresentata dalla tensione presente ai capi della resistenza di chiusura a massa R50 dei potenziometri di regolazione delle tensioni di griglia schermo (Fig. 3.21). Tale tensione dipende dalla corrente totale di griglia schermo del cinescopio che, a sua volta, è proporzionale alla corrente anodica totale, e cala al crescere di quest'ultima. Spostata di livello e regolata in ampiezza con R9528, la tensione viene integrata da R9527-C9527 e quindi applicata al pin 19 dell'integrato tramite il diodo D9522.

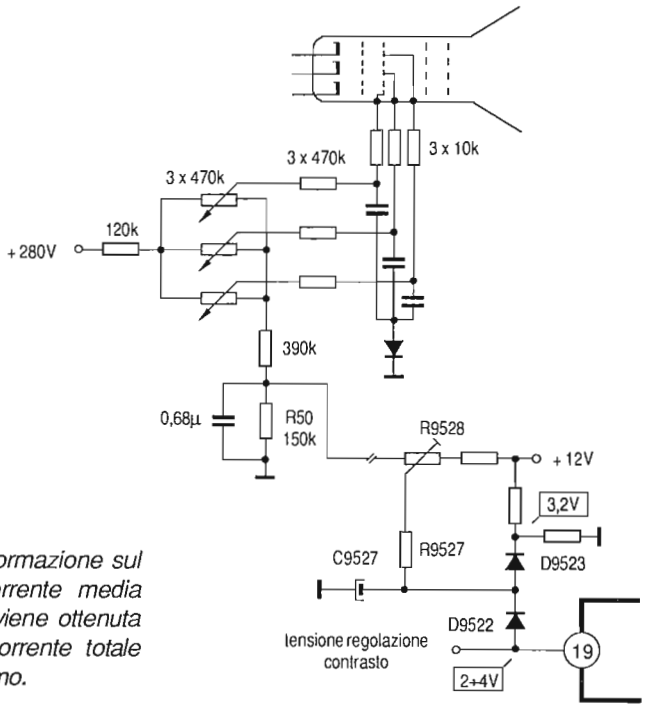


Fig. 3.21 - L'informazione sul valore della corrente media del cinescopio viene ottenuta misurando la corrente totale di griglia schermo.

Se dovesse verificarsi un aumento della corrente media di raggio al di sopra del valore di guardia (1÷1,5mA), la tensione su R50 scenderebbe a livelli tali da portare in conduzione D9522, con conseguente riduzione del contrasto, quindi del valore medio del segnale di pilotaggio del cinescopio e, in ultima analisi, del valore medio della corrente di raggio.

Il diodo D9523, assieme al partitore connesso al suo catodo, limitano a 3,9V il valore massimo della tensione di controllo.

3 - 3 LA CROMINANZA MONOCHIP (TDA 3560)

La naturale evoluzione delle soluzioni esaminate nei paragrafi precedenti è rappresentata dalla concentrazione di tutte le funzioni contenute nella sezione di luminanza-crominanza all'interno di un unico integrato, lasciando all'esterno solo le linee di ritardo di luminanza e di crominanza ed i componenti periferici non integrabili.

Un esempio ormai classico di integrato che ha permesso la realizzazione di decoder PAL "monochip" è rappresentato dal TDA 3560, del quale la Fig. 3.22 rappresenta lo schema a blocchi ed un tipico esempio d'impiego. Come si vede, la scheda riceve come ingressi:

- il segnale video composito,
- gli impulsi di sand-castle e quelli di cancellazione verticale,
- le tensioni di controllo della saturazione, luminosità e contrasto,
- i segnali di informazioni video esterne oltre al relativo comando di commutazione,

e fornisce alle sue uscite i segnali RVB dei colori primari con ampiezze adeguate al pilotaggio degli stadi finali.

Il funzionamento dei diversi stadi contenuti nell'integrato è del tutto simile a quello descritto in dettaglio nei paragrafi precedenti a proposito di altri circuiti integrati per cui, onde evitare inutili ripetizioni, la descrizione seguente sarà volutamente non approfondita.

Il segnale video composito, con un'ampiezza di 1,8Vpp, proveniente dall'amplificatore di FI video, viene dapprima depurato dai residui a 5,5MHz e quindi diviso in due parti per essere inoltrato alle sezioni di luminanza e crominanza. La componente di luminanza, dopo aver attraversato la linea di ritardo Y (TD42) ed una trappola accordata a 4,43MHz, giunge al pin 10 tramite accoppiamento capacitivo. Qui essa viene agganciata (clamp) ad una tensione di circa 1,7V, in corrispondenza del

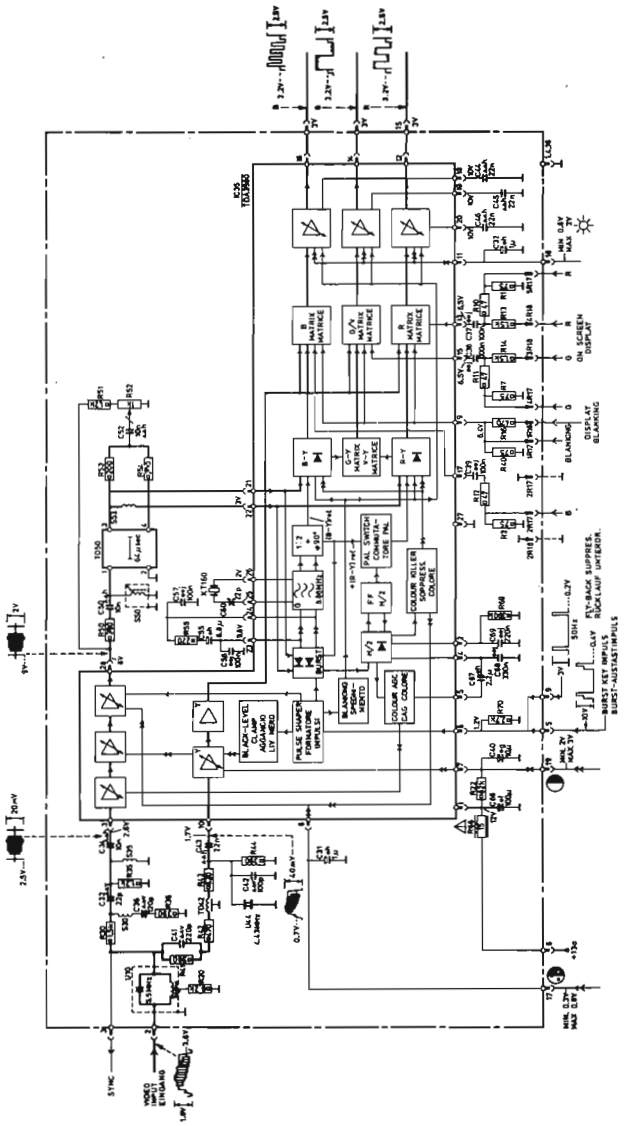


Fig. 3.22 - Scheda di crominanza "monochip" equipaggiata con l'integrato TDA 3560 (Philips K35).

piedistallo posteriore dell'intervallo di spegnimento di riga, per mezzo della parte superiore dell'impulso di sand-castle (C). Il segnale Y incontra quindi un amplificatore il cui guadagno è regolato per mezzo della tensione presente al pin 7 (contrasto) e giunge infine ai tre stadi matrice per concorrere alla formazione dei segnali dei colori primari RVB.

Il segnale di crominanza viene estratto dal segnale video per mezzo del filtro di banda accordato a 4,4MHz e inoltrato, attraverso il piedino 3, ad un primo stadio amplificatore (il cui guadagno è controllato dal circuito rivelatore di CAC) e successivamente agli stadi controllati dalla tensione di saturazione (piedino 6) e contrasto (piedino 7). Questi ultimi due sono portati al massimo guadagno durante i ritorni di riga per permettere al segnale di burst di transitare indisturbato. Segue quindi uno stadio amplificatore-pilota della linea di ritardo, la cui amplificazione è invece ridotta di 9dB durante i ritorni di riga. Il funzionamento ad impulsi (gated) di questi tre stadi garantisce un rapporto burst-croma all'uscita (piedino 28) identico a quello d'entrata, per condizioni nominali di saturazione e contrasto.

Dal piedino 28 esce il segnale di crominanza che viene inoltrato alla linea di ritardo. Alle uscite di quest'ultima, per somma algebrica dei segnali diretto e ritardato, sono disponibili le componenti Cu e ±Cv che vengono inviate ai rispettivi demodulatori sincroni attraverso i piedini 21 e 22.

I richiesti segnali a 4,43MHz per il funzionamento dei demodulatori sono ottenuti, come già visto nei paragrafi precedenti, dividendo a metà la frequenza di 8,86MHz dell'oscillatore quarzato, cosicchè non viene richiesta alcuna regolazione per raggiungere lo sfasamento richiesto di 90°. I due segnali (B–Y) e (R–Y) vengono quindi inoltrati alla matrice (V–Y) e alle matrici RVB per la formazione dei segnali di colore.

I segnali uscenti dalla linea di ritardo, presenti ai piedini 21-22, sono inviati anche al rivelatore di fase che li confronta, durante la presenza del burst, con il segnale a 4,4MHz inviato al commutatore PAL. La tensione di correzione viene filtrata dal gruppo collegato ai piedini 23 e 24 e inviata all'oscillatore. Cortocircuitando questi piedini è possibile annullare la tensione di correzione e quindi regolare il compensatore C60 per il minimo scorrimento dei colori sullo schermo.

Nel rivelatore H/2, la fase del flip-flop PAL (che è pilotato dagli impulsi di sand-castle) viene confrontata con il *ripple* a frequenza H/2 dal rivelatore di fase del burst. Se la fase non è corretta, il flip-flop riceve un'impulso di reset dal rivelatore H/2. Quando invece la fase è corretta, la tensione d'uscita del rivelatore H/2 è proporzionale all'ampiezza del burst e può essere utilizzata per generare la tensione di CAC.

Il killer viene pilotato dalla tensione filtrata, presente al piedino 2; in condizioni normali questa tensione vale circa 4,7V e diminuisce al decrescere dell'ampiezza del burst. Quando viene raggiunto il valore di 2,7V, il killer viene attivato e produce il blocco dell'amplificatore di crominanza (attraverso il controllo di saturazione) e dei

demodulatori. In assenza di burst, la tensione al piedino 2 è di 2,4V, mentre nel caso di errata identificazione essa scende a 1,6V. La disattivazione del killer, e quindi la ricomparsa dei colori, si ha quando questa tensione supera i 3,1V.

Ritornando agli amplificatori pilota RVB, ricordiamo che in essi avviene l'agganciamento (clamp) al livello del nero dei segnali d'uscita. Questo viene confrontato, durante il piedistallo posteriore, con la tensione di riferimento presente al piedino 11 (in arrivo dal controllo di luminosità): la tensione di controllo viene poi immagazzinata nei condensatori collegati ai piedini 20 (R), 19 (V) e 18 (B) e quindi mantenuta fino alla riga successiva. Per l'operazione di clamp, come al solito, si impiega la parte superiore dell'impulso di sand-castle, mentre la parte inferiore (H e V) viene utilizzata per fissare a 2V il livello dei segnali di uscita, determinando in questo modo lo spegnimento delle ritracce.

Il livello massimo di bianco raggiungibile dal segnale d'uscita è 9V. Se uno o più segnali d'uscita superano questo livello, ha luogo l'attivazione del limitatore del picco di bianco che determina la parziale scarica del condensatore C40 collegato al piedino 7 e quindi la riduzione del contrasto.

L'inserimento di informazioni video esterne viene attivato per mezzo di una tensione superiore a 0,9V applicata al piedino 9. La rapidità della commutazione (inferiore a 20ns) permette l'inserimento di dati nell'immagine.

Per il controllo dei diversi stadi interni all'integrato, che richiedono impulsi per il loro corretto funzionamento, vengono applicati al pin 8 impulsi sand-castle a 2 livelli, a cui vengono aggiunti gli impulsi per lo spegnimento verticale (Fig. 3.23).

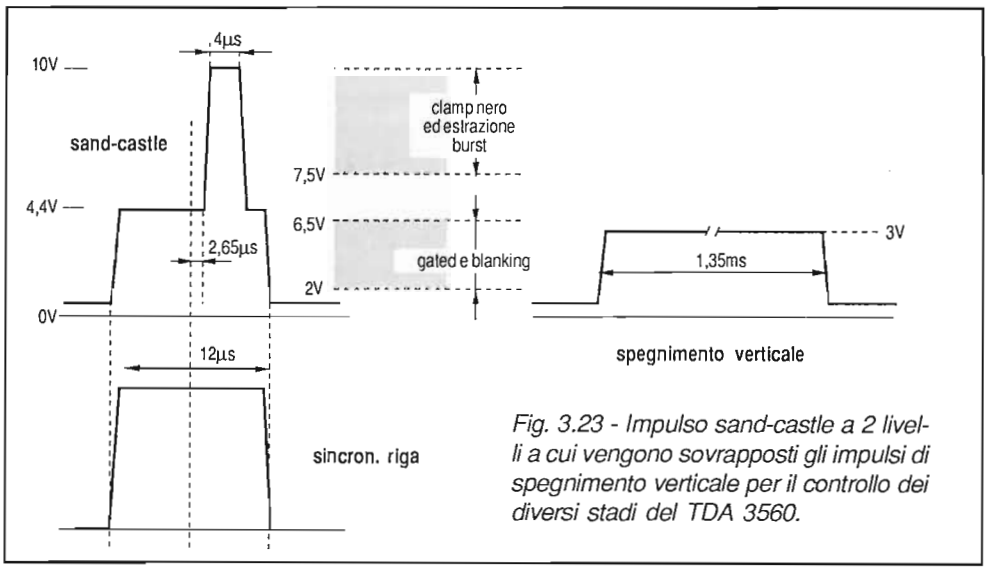


Fig. 3.23 - Impulso sand-castle a 2 livelli a cui vengono sovrapposti gli impulsi di spegnimento verticale per il controllo dei diversi stadi del TDA 3560.

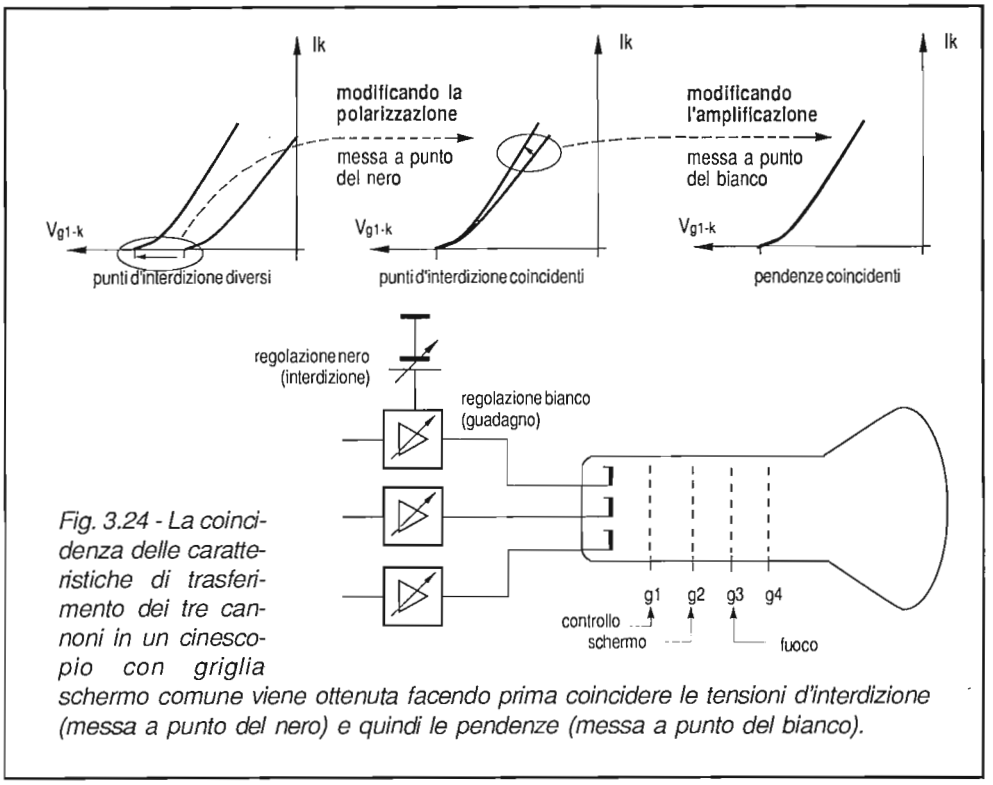


Fig. 3.24 - La coincidenza delle caratteristiche di trasferimento dei tre cannoni in un cinescopio con griglia schermo comune viene ottenuta facendo prima coincidere le tensioni d'interdizione (messa a punto del nero) e quindi le pendenze (messa a punto del bianco).

La parte alta degli impulsi (C), che deve possedere un'ampiezza maggiore della soglia superiore di 7,5V, è utilizzata per l'estrazione del burst e per l'agganciamento del livello del nero. La parte bassa degli impulsi di sand-castle (H) viene utilizzata quale "gating" nella catena di crominanza, per controllare gli amplificatori regolatori del contrasto e della saturazione, e per effettuare lo spegnimento (questa volta assieme agli impulsi di cancellazione verticale) sui segnali RVB. Per essere individuati dal discriminatore a soglia, essi devono presentare al pin 8 un'ampiezza compresa tra 2V e 6,5V.

3 - 4 IL CUT-OFF AUTOMATICO

Uno dei problemi maggiori che il progettista incontra nella realizzazione dei televisori a colori è il raggiungimento ed il mantenimento della fedeltà cromatica delle im-

magini ricostruite al cinescopio. In modo molto semplice, la fedeltà cromatica a tutti i livelli di luminosità può essere verificata inviando al ricevitore un segnale video rappresentato da una scala dei grigi. Se la riproduzione è fedele, in nessuna delle barre dovrà apparire predominante uno o più colori. Ovviamente questa condizione può essere soddisfatta solo se le correnti di fascio dei tre cannoni del cinescopio vengono a trovarsi in un ben definito rapporto, e ciò per tutti i livelli di luminosità. In conseguenza però delle inevitabili tolleranze dei circuiti e dei cannoni dei cinescopi, queste condizioni vengono approssimate ricorrendo all'ottimizzazione di due regolazioni, che consistono nel far coincidere i punti di interdizione dei tre fasci *(messa a punto del nero)* e nel sovrapporre le caratteristiche di trasferimento dei tre cannoni, regolando l'amplificazione degli stadi finali dei colori primari RVB: questa operazione è chiamata *messa a punto del bianco* (Fig. 3.24).

La prima regolazione può essere attuata o modificando la tensione di griglia schermo di ciascun cannone oppure variando la componente continua dei tre segnali di pilotaggio dei cannoni. Nei moderni cinescopi, la griglia schermo è unica per i tre fasci e quindi è utilizzabile solamente quest'ultimo sistema di regolazione.

Da alcuni anni sono stati sviluppati circuiti integrati dotati di particolari stadi che permettono la messa a punto automatica dei punti di interdizione dei fasci in modo dinamico, vale a dire con il controllo continuo della loro coincidenza, attuato mediante la misura delle correnti di fascio in corrispondenza di un ben definito livello di segnale (livello artificiale del nero), prossimo all'interdizione.

Il più diffuso di questi integrati è sicuramente il TDA 3562A, prodotto dalla Philips, e della cui descrizione ci occuperemo nel presente paragrafo. Il sistema di regolazione automatica del punto di interdizione dei tre cannoni *(cut-off automatico)* adottato in questo integrato opera essenzialmente nel modo seguente.

Durante la ritraccia verticale, alla conclusione dell'intervallo di cancellazione, si provvede a misurare, in successivi intervalli di tempo, la corrente catodica di ciascun cannone prodotta da un determinato livello di segnale *(livello artificiale del nero)*. La corrente così misurata viene confrontata con un valore standard prestabilito prodotto all'interno dell'integrato. Da questo confronto viene ricavata una tensione che andrà ad aggiungersi alla componente continua del segnale di pilotaggio dello stadio finale interessato, il cui effetto sarà quello di annullare la differenza tra il valore fisso di riferimento e quello di misura. Poichè questa operazione viene ripetuta in successione in tutti e tre i canali cromatici, il risultato è la coincidenza dei punti d'interdizione dei tre cannoni.

La tensione continua di regolazione ricavata, durente il breve intervallo di misura, viene "memorizzata" nella capacità C_D in modo da risultare disponibile anche per il rimanente periodo e permettere di conseguenza lo spostamento del livello in continua dei segnali di comando degli stadi finali anche nell'intervallo di tempo in cui è presente l'immagine.

I vantaggi offerti da questo nuovo sistema di allineamento automatico si possono così riassumere:

- eliminazione dei dispositivi e dell'operazione di messa a punto del nero;
- compensazione automatica delle variazioni delle caratteristiche nel tempo degli stadi finali e del cinescopio dovute all'invecchiamento dei componenti;
- compensazione dello spostamento dei punti di interdizione che si verifica all'atto dell'accensione del televisore, nella fase di riscaldamento dei catodi.

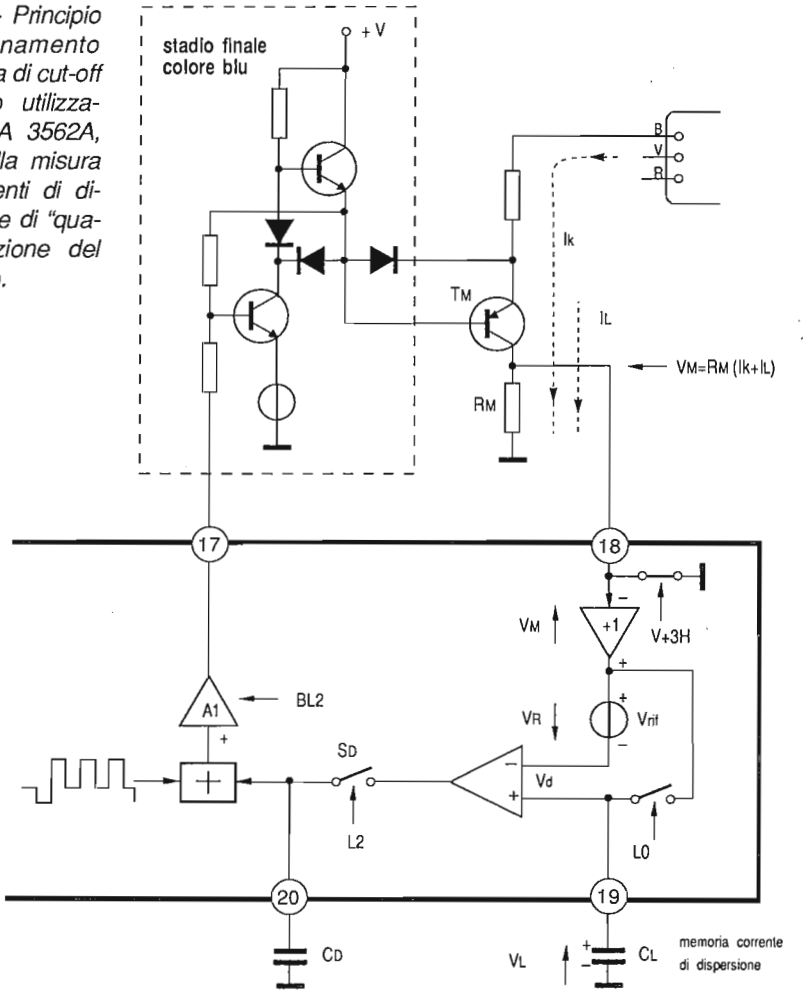


Fig. 3.25 - Principio di funzionamento del sistema di cut-off automatico utilizzato nel TDA 3562A, basato sulla misura delle correnti di dispersione e di "quasi" interdizione del cinescopio.

In Fig. 3.25 è indicato il principio di funzionamento del sistema di cut-off automatico contenuto all'interno del TDA 3562A. Per semplicità, lo schema riporta solo il circuito per la misura della corrente di interdizione del cannone del blu. L'amplificatore finale video viene pilotato tramite il pin 17 da un preamplificatore (A1) interno all'integrato con il segnale del colore primario di ampiezza di circa 2,4Vpp. Per fare in modo che la corrente catodica del cinescopio non si chiuda attraverso il corrispondente stadio finale, viene inserito un transistor separatore (T_M) il cui emettitore è collegato al catodo interessato mentre il collettore è connesso a massa attraverso la resistenza di misura R_M.

Se il transistor di misura è ad alto guadagno di corrente, si può ritenere che la corrente che attraversa R_M coincida con quella catodica del cinescopio, per cui la tensione che si sviluppa su questa resistenza può essere utilizzata per valutare l'intensità della corrente in corrispondenza del livello di nero artificiale (molto prossimo all'interdizione del cannone, corrispondente ad un valore di corrente catodica di circa 10μA). Questa tensione, tramite il pin 18, viene applicata ad uno stadio separatore interno, di guadagno unitario, e quindi sommata algebricamente alla tensione continua di riferimento Vrif (di polarità opposta). La risultante viene applicata all'ingresso invertente di un amplificatore differenziale, mentre l'altro ingresso è connesso, tramite il pin 19, al condensatore C_L nel quale viene "memorizzata" la tensione corrispondente alla corrente di dispersione (I_L) che circola in T_M durante la fase di cancellazione verticale del cinescopio. In questo modo, l'amplificatore differenziale verrà pilotato da una tensione V_d pari a:

$$V_d = V_L - (V_M - V_{rif})$$

All'uscita dell'amplificatore si trova l'interruttore S_D che viene chiuso periodicamente, per la durata di all'incirca una riga, subito dopo la conclusione del periodo di cancellazione verticale (impulsi di clamp L1, L2 e L3).

Nello stesso periodo, al cannone interessato viene applicato un impulso (BL1, BL2 e BL3) che lo costringe ad operare in corrispondenza del livello di nero artificiale. In conclusione, durante l'intervallo di misura, il condensatore C_D verrà caricato alla tensione d'uscita dell'amplificatore differenziale, tensione direttamente proporzionale allo scostamento della corrente reale di catodo del valore di 10μA, assunto come riferimento in corrispondenza del livello artificiale del nero.

Nel successivo sommatore, tale tensione viene aggiunta a quella del segnale del colore primario relativo, con il risultato di uno spostamento in continua del pilotaggio dello stesso finale, e quindi del cannone interessato, fino a far coincidere la corrente di quest'ultimo con quella di riferimento durante il periodo di misura.

Poichè l'operazione descritta viene ripetuta in successione per ciascuno dei tre cannoni, appare ovvio che il risultato finale è la coincidenza delle correnti dei tre fasci in corrispondenza del livello artificiale del nero, in pratica dell'interdizione.

In Fig. 3.26 sono riportati gli impulsi richiesti per il funzionamento del sistema appena descritto, tutti derivati dal segnale sand-castle applicato al pin 7.

Durante gli impulsi L1-L2-L3 vengono chiusi in successione, nell'ordine RBV, gli interruttori S_D, mentre contemporaneamente i preamplificatori (A1) introducono sul relativo segnale il livello del nero artificiale, ad opera degli impulsi BL1-BL2-BL3. In questi intervalli ha luogo la misura in successione delle correnti di (quasi) interdizione dei tre cannoni e pertanto l'interruttore che mette a massa l'ingresso al pin 18 sarà aperto. In precedenza, esattamente una riga prima, per mezzo dell'impulso L0 viene chiuso l'interuttore che permette la misura della corrente di dispersione e la

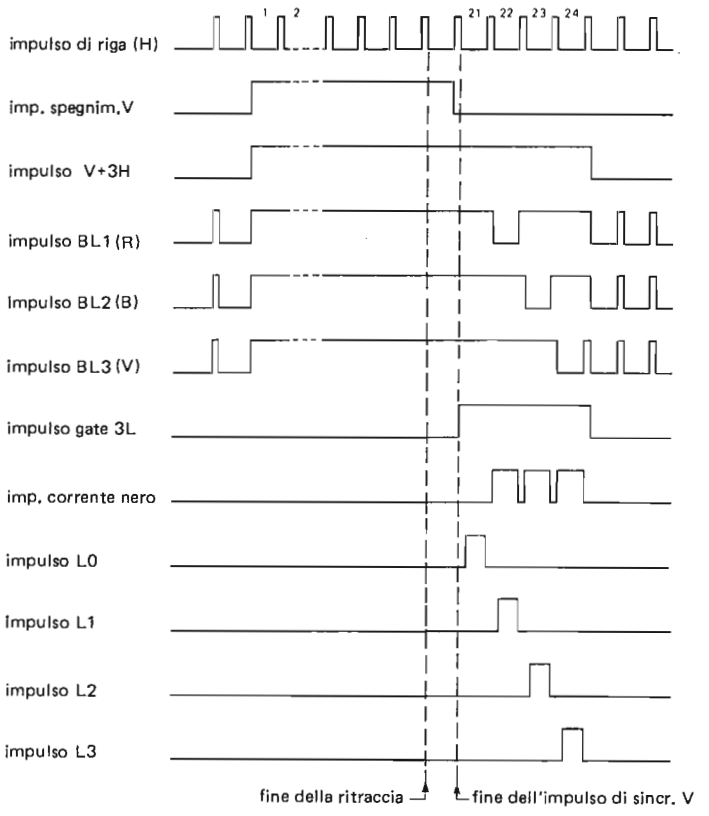


Fig. 3.26 - Andamento dei diversi segnali utilizzati nel TDA 3562A per il cut-off automatico.

memorizzazione del suo valore entro la capacità connessa al pin 19: ciò mentre i tre cannoni si trovano al livello di spegnimento.

Quando il televisore viene acceso per la prima volta, il condensatore CD di memoria è scarico, per cui il circuito di cut-off automatico tende ad innalzare la tensione di pilotaggio con la conseguenza che il raster alla sua prima apparizione potrebbe risultare troppo luminoso. Oltre al fastidio che questo fatto può causare all'utente, ci possono essere delle conseguenze anche gravi per lo stadio finale di riga, in conseguenza del sovraccarico eccessivo. Per evitare tali inconvenienti, viene utilizzato nell'integrato un circuito di avviamento graduale a freddo che opera in due fasi. Dal momento dell'accensione, all'interno del chip vengono generate alcune righe di prova, ad una cadenza di 20 per ogni quadro, fino a quando non viene rilevata la presenza di una corrente del fascio elettronico. A questo punto l'integrato mantiene interdetto il cinescopio per altri 4 secondi, che rappresenta il tempo previsto per il riscaldamento finale, prima di normalizzare la situazione.

3 - 5 IL TDA 3562A

Nel presente paragrafo descriveremo il funzionamento della scheda di luminanza-crominanza utilizzata in alcuni telai Grundig (Figg. 3.27 e 3.28) ed equipaggiata con il TDA 3562A. Premettiamo che il funzionamento dettagliato di alcune delle sezioni interne all'integrato è già stato fatto nei paragrafi precedenti, a proposito di altri integrati, e alla lettura dei quali si rimanda per eventuali approfondimenti.

Il segnale di luminanza proveniente dalla sezione FI-tuner, tramite il contatto 13 della scheda, giunge al pin 8 dell'integrato dopo aver attraversato un partitore resistivo, la linea di ritardo Y ed il condensatore di accoppiamento C9521. Dopo quest'ultimo, il segnale, che presenta un'ampiezza di 0,3Vpp, viene agganciato ad una tensione di riferimento generata internamente in corrispondenza del piedistallo posteriore dal circuito di clamp, pilotato dalla parte superiore dell'impulso di sand-castle. Durante le 3 righe successive al periodo di cancellazione verticale, il segnale di luminanza viene sopresso e contemporaneamente, tramite un circuito di commutazione, viene inserito il livello di riferimento del nero. Quest'ultimo viene modificato dalla regolazione del comando di luminosità che agisce sul circuito tramite il pin 11.

Il segnale Y così elaborato giunge agli stadi matrice per la formazione dei segnali di colore RVB, partendo da quelli differenza R–Y, V–Y e B–Y. Seguono quindi gli interruttori analogici tramite i quali è possibile inserire segnali video esterni. La commutazione da video a dati si ottiene applicando al pin 9 dell'integrato una tensione superiore a 0,9V. La regolazione del contrasto avviene nel blocco successivo e

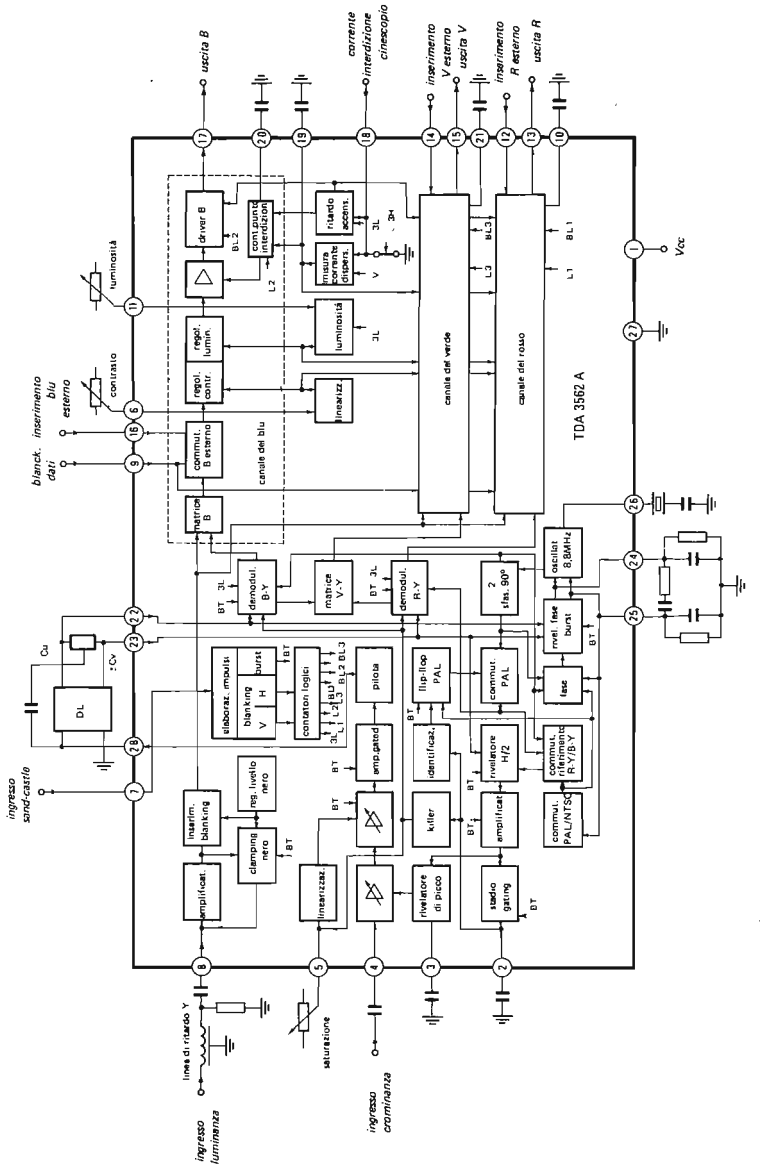


Fig. 3.27 - Schema a blocchi dettagliato dell'integrato TDA 3562A, crominanza "monochip" con cut-off automatico.

quindi agisce anche sui segnali video esterni. Per ciascun canale cromatico, dopo lo stadio regolatore del contrasto e della luminosità, si incontra uno stadio amplificatore e quindi uno stadio sommatore. Questo aggiunge una componente continua al segnale del colore, modificandone il livello del nero, e allineando quindi in modo automatico il punto di interdizione dei tre fasci, nel senso che ad ogni ritorno di quadro le correnti dei tre cannoni vengono costrette ad assumere il medesimo valore in corrispondenza del livello del nero. Per poter misurare separatamente queste correnti che attraversano R9536, si ricorre a 3 impulsi di clamping (L1, L2, L3) in successione, che sono coincidenti con il livello basso degli impulsi di spegnimento dei tre canali (BL1, BL2, BL3), come risulta dal diagramma. La componente continua di correzione viene memorizzata nella capacità C_D e così risulterà disponibile fino al successivo campionamento.

Per adattare il circuito alle diverse caratteristiche dei cinescopi, prima di misurare la corrente dei fasci in corrispondenza del livello del nero, con l'impulso di clamp L0 si provvede a misurare la corrente di dispersione del cinescopio in corrispondenza al livello di blanking. Il valore corrispondente viene memorizzato nella capacità collegata al pin 19.

Il segnale di crominanza, estratto dal segnale video per mezzo di un filtro di banda (nella scheda FI video), giunge al pin 4 dell'integrato. Da qui entra nel primo stadio amplificatore (il cui guadagno è controllato dal circuito rivelatore di CAC) e successivamente attraversa gli stadi regolati dalla tensione di controllo della saturazione (pin 5). Questi ultimi stadi sono portati al massimo guadagno durante i ritorni di riga per permettere al segnale di burst di transitare indisturbato. Segue quindi uno stadio amplificatore-pilota della linea di ritardo la cui amplificazione è invece ridotta di 12dB durante i ritorni di riga. Il funzionamento ad impulsi di questi tre stadi garantisce un rapporto burst-croma all'uscita (pin 28) di 6dB quando il controllo della saturazione è di –6dB rispetto al valore massimo.

Dal pin 18 esce il segnale di crominanza che attraverso T2507 viene inviato alla linea di ritardo. Il segnale diretto, regolato in ampiezza tramite R2516, viene inoltrato al trasformatore (tratteggiato nello schema elettrico) assieme a quello ritardato, regolato in fase con L2507. Ai contatti F e B della scheda risultano così le componenti C_U e $\pm C_V$ che vengono inoltrate ai rispettivi demodulatori sincroni attraverso i pin 22 e 23.

I richiesti segnali a 4,43MHz per il funzionamento dei demodulatori sincroni sono ottenuti dividendo a metà la frequenza di 8,86MHz dell'oscillatore quarzato, cosicchè non viene richiesta alcuna regolazione per raggiungere il necessario sfasamento di 90°. I due segnali differenza di colore (B–Y) ed (R–Y) presenti all'uscita dei rispettivi demodulatori sincroni vengono quindi inoltrati alla matrice (V–Y) ed alle matrici RVB per la formazione dei segnali di colore. I segnali uscenti dalla linea di ritardo, presenti ai pin 22-23, vengono inviati anche al rivelatore di fase che li confronta, durante la presenza del burst, con il segnale a 4,43MHz, lo stesso che viene

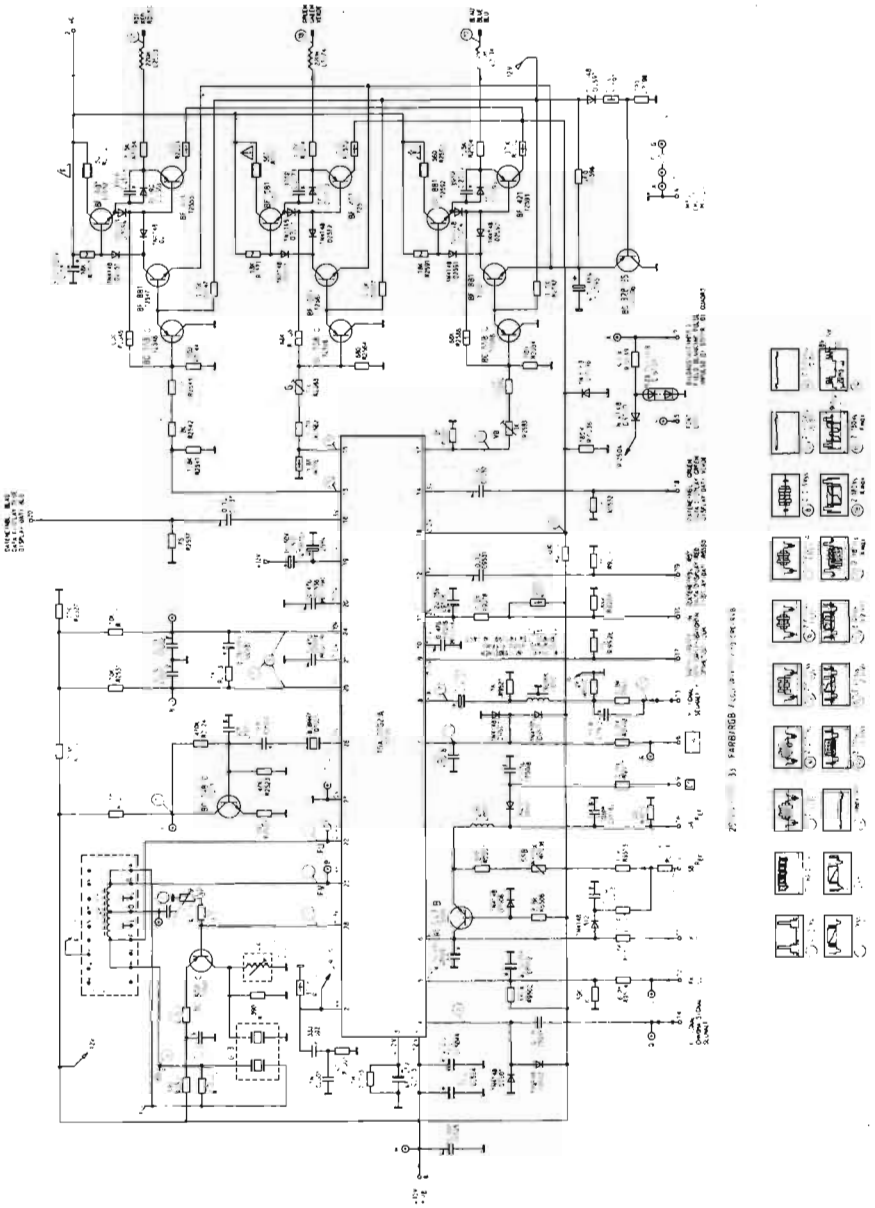


Fig. 3.28 - Scheda di crominanza "monochip" equipaggiata con l'integrato TDA 3562A (Minerva CUC732).

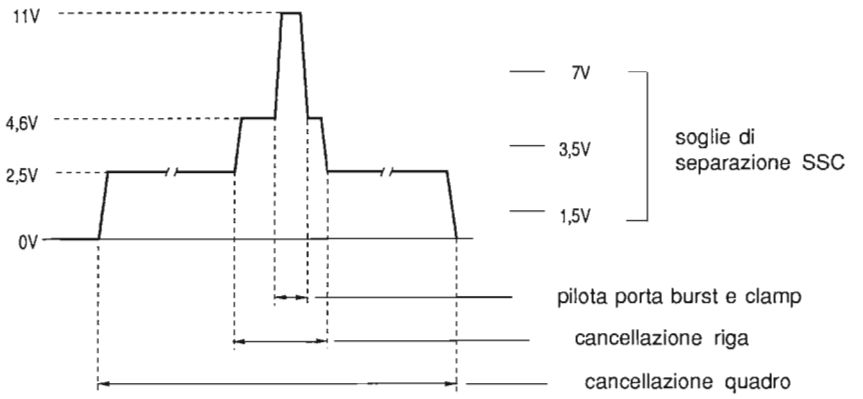


Fig. 3.29 - Soglie di separazione e funzioni degli impulsi super sand-castle (SSC) utilizzati dall'integrato TDA 3562A.

inoltrato al commutatore PAL. La tensione di correzione viene filtrata dal gruppo collegato ai pin 24 e 25 ed inviata all'oscillatore. Cortocircuitando questi piedini è possibile annullare la tensione di correzione e quindi regolare il compensatore per il minimo scorrimento dei colori sullo schermo.

Nel rivelatore H/2, la fase del flip-flop PAL (che è pilotato dagli impulsi di sand-castle) viene confrontata con il ripple a frequenza H/2 del rivelatore di fase del burst. Se la fase non è corretta, il flip-flop riceve un impulso di reset dal rivelatore H/2. Quando invece la fase è corretta, la tensione d'uscita del rivelatore H/2 è formata da impulsi di ampiezza proporzionale a quella del burst. Questi vengono applicati ad un rivelatore di picco che produce la carica del condensatore connesso al pin 3: la relativa tensione viene utilizzata internamente per controllare il guadagno dell'amplificatore di crominanza (CAC).

Il killer viene pilotato dalla tensione filtrata presente al pin 2; in condizioni normali questa tensione ammonta a circa 3,4V, ed il suo valore diminuisce al calare dell'ampiezza del burst. Quando viene raggiunto il valore di 2,7V, il killer viene attivato e produce il blocco dell'amplificatore di crominanza (attraverso il controllo di saturazione) e dei demodulatori. In assenza del burst, la tensione al pin 2 è di 2,6V, mentre nel caso di errata identificazione essa scende a 2,1V. La disattivazione del killer e quindi la ricomparsa dei colori si ha quando questa tensione supera i 3,6V.

Lo schema proposto comprende un circuito per la limitazione della corrente media del cinescopio ed uno per la limitazione di quella di picco. Il primo preleva la tensione negativa, che si sviluppa sul punto di chiusura a massa del moltiplicatore di tensione, proporzionale alla corrente del fascetto. Questa tensione viene filtrata e ap-

plicata al contatto n°15 della scheda quindi, tramite un diodo, al pin 6 dell'integrato. Quando la corrente media del cinescopio supera un dato valore di soglia, predisposto del partitore R9513-R9514 (1,3mA), il diodo D9512 passa in conduzione scaricando C9506 con conseguente riduzione del contrasto.

Alla limitazione della corrente di picco si provvede prelevando la tensione che si sviluppa ai capi della resistenza di chiusura dello strato grafitato verso massa; tale corrente, quando supera circa 5mA, determina la conduzione di T9506 e la conseguente diminuzione del contrasto.

Il TDA 3562A richiede al pin 7 un segnale di sand-castle a tre livelli (super-sand-castle) che è generato nella scheda elaborazione sincronismi dell'integrato TDA 2595. All'interno, uno stadio di elaborazione-impulsi, dotato di circuito a soglia a 3 livelli, è in grado di estrarre gli impulsi di spegnimento di riga e di quadro, che devono trovarsi ad un livello compreso tra 2 e 3V, quelli di ritorno di riga per il cut-off automatico, che si trovano ad un livello compreso tra 3 e 6V ed infine quelli utilizzati per attivare la porta burst e per inserire il livello del nero che vengono a trovarsi tra 6,5V e la tensione di alimentazione. In Fig. 3.29 è indicato l'andamento di un impulso super-sand-castle con i livelli tipici riferiti a quelli di soglia.

3 - 6 DECODIFICHE MULTISTANDARD

Nelle aree dove sono ricevibili trasmissioni provenienti da paesi con standard diversi di trasmissioni televisive è indispensabile disporre di ricevitori dotati di decodifica multistandard, in grado di riconoscere il tipo trasmissione in corso e di attuare le commutazioni necessarie in modo automatico. Un circuito integrato sviluppato per questo tipo di applicazioni è il TDA 4555: esso è in grado di decodificare segnali televisivi trasmessi con gli standards:

a) QAM (Quadrature Amplitude Modulation) modulazione in ampiezza di due portanti sfasate di 90° da parte dei segnali differenza di colore, negli standards:

- NTCS-M, con sottoportante a 3,573545MHz, indicato nel seguito più succintamente con NTSC-3.5.
- NTSC-4.4, con sottoportante a 4,43361875MHz, frequenza coincidente con quella del sistema PAL normale. Questa variante è utilizzata in Inghilterra e in alcuni paesi dell'Est.
- PAL (Phase Alternation Line), caratterizzato dall'inversione di fase della componente (R–Y) ad ogni alternanza di riga. La frequenza della sottoportante è di 4,43361875MHz.

b) SECAM (sequentiel a memorie), caratterizzato dalla trasmissione dei segnali differenza di colore (B–Y) e (R–Y) su righe alterne, utilizzando due sottoportanti di frequenza f_{OB}=4,250 MHz e f_{OR}=4,40625MHz, modulate in frequenza, che occupano una banda limitata che si estende da 3,900MHz e 4,756MHz.

Per ridurre il numero di componenti integrati e la superficie del chip, quando è possibile, vengono utilizzate per i diversi standards le stesse sezioni dell'integrato. Così risultano comuni:

- gli stadi d'entrata a guadagno controllato,
- i generatori d'impulsi di commutazione comuni,
- gli oscillatori e i demodulatori PAL ed NTSC in quadratura,
- la linea di ritardo PAL e SECAM con i relativi stadi pilota.

Il metodo utilizzato nell'integrato per il riconoscimento dello standard è quello a scansione sequenziale, con il quale il circuito decodificatore, assieme ai filtri d'entrata, viene commutato in modo da poter decodificare uno standard alla volta, sequenzialmente. La commutazione prosegue in modo ciclico fino a che una sezione dell'integrato, chiamata circuito di riconoscimento dello standard (CRS), non indica che lo standard del segnale ricevuto corrisponde a quello di funzionamento del decodificatore selezionato in quel momento. La scansione viene riavviata ogni qual volta cambia lo standard del segnale ricevuto, ad esempio in conseguenza del carnbiamento di canale.

Con l'aiuto delle Fig. 3.30, che rappresenta lo schema a blocchi dettagliato e Fig. 3.31, che riporta il circuito elettrico relativo tratto dalla scheda Colore/RVB presente nel telaio CUC2800 della Grundig, analizziamo il funzionamento di questa decodifica-colore multistandard.

Il segnale video composito proveniente dalla scheda tuner-FI viene contemporaneamente applicato a 3 filtri di crominanza con caratteristiche e frequenze di accordo adatte ai vari standard. Di questi, però, uno solo risulta attivato e quindi in grado di applicare il segnale al pin 15 dell'integrato (ingresso di crominanza). La selezione viene effettuata dai transistor commutatori T2503, T2513 e T2523 pilotati dalle tensioni presenti ai pin 25-28 generate dall'integrato o imposte manualmente.

Il segnale di crominanza attraversa un amplificatore a guadagno regolabile controllato da un circuito di CAC, che opera come demodulatore sincrono, rilevando l'ampiezza del burst (PAL e NTSC) o del segnale di crominanza (SECAM). In questo modo viene assicurato un rapporto di ampiezza fisso tra il segnale di luminanza Y ed i segnali differenza di colore, indipendentemente dalle caratteristiche dei filtri FI o dalla dissintonia del ricevitore. Il segnale viene quindi inoltrato al circuito di riconoscimento dello standard. Questo comprende un discriminatore di fase, che confronta la fase del burst dei segnali PAL ed NTSC con il segnale di riferimento inter-

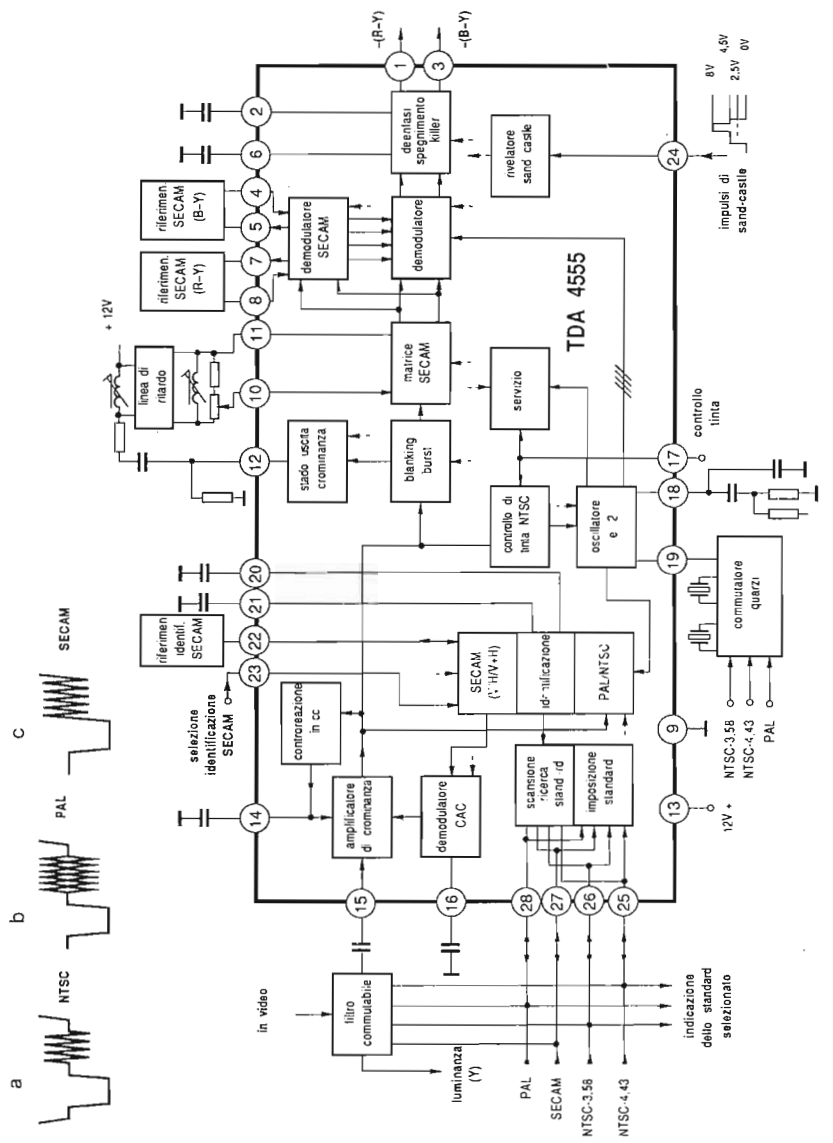


Fig. 3.30 - Schema a blocchi dell'integrato TDA 4555, decodifica colore multistandard. Il circuito riconosce il tipo di trasmissione dall'esame del burst presente sul piedistallo posteriore; NTSC: 3.58 o 4.43MHz a fase fissa (a); PAL: 4.43MHz a fase alterna (b); SECAM: 4.25MHz per la riga blu o 4.406MHz per la riga rossa (c).

no, un discriminatore di frequenza per produrre il segnale H/2 durante la ricezione SECAM, un demodulatore H/2 per i segnali PAL e SECAM ed infine i circuiti logici per il riconoscimento finale. I risultati delle diverse analisi producono dei cambiamenti nello stato di carica dei condensatori connessi ai pin 20 e 21, cosicchè le tensioni che appaiono su questi rappresentano i segnali di identificazione utilizzati dai comparatori e dai circuiti logici interni per produrre i segnali di commutazione ai pin 25, 26, 27 e 28.

Nel TDA 4555, l'identificazione dei segnali SECAM può avvenire o con i segnali trasmessi durante il periodo di spegnimento di quadro (identificazione V) o tramite il segnale di burst presente sul piedistallo posteriore dell'impulso di sincronismo di riga (identificazione H) o, ancora, con entrambi. La scelta più appropriata può essere fatta imponendo la tensione al pin 23 (0V=ident. H, 6V=ident. V+H, 12V=ident. V). Il circuito di riconoscimento dello standard (CRS) è pilotato dal circuito di controllo dello standard (CCS) che ne determina la commutazione sequenziale ogni 4 periodi di scansione verticale (80ms) secondo l'ordine: PAL, SECAM, NTSC-3.5, NTSC-4.4.

Vediamo ora come, a riconoscimento avvenuto, abbia luogo la demodulazione del segnale di crominanza.

Nello standard PAL, subito dopo l'amplificatore di crominanza regolato dal CAC, è presente un circuito che determina la rimozione del burst seguito da un ulteriore amplificatore con guadagno di 18dB. Si giunge quindi alla linea di ritardo e poi alla matrice ove ha luogo la separazione tra le due componenti C_U e C_V del segnale di crominanza, con i metodi usuali di somma e differenza tra segnale diretto e ritardato. L'esatta corrispondenza in termini di fase e ampiezza è raggiunta con le regolazioni LZ e BP. I segnali vengono quindi inoltrati a 2 demodulatori sincroni funzionanti come moltiplicatori analogici differenziali, pilotati dalle rispettive sottoportanti di riferimento a 4,43MHz sfasate di 90°. Si ottengono così i segnali differenza di colore che, prima di uscire dall'integrato, vengono agganciati ad uno stesso livello di riferimento durante i periodi di spegnimento di riga.

Nello standard NTSC, il segnale di crominanza è demodulato in modo analogo al precedente, con la differenza che viene utilizzato solamente il segnale diretto e che la componente C_V non subisce l'inversione di fase ad ogni riga prima della demodulazione ad opera del commutatore PAL.

Nello standard SECAM, il segnale di crominanza, limitato in ampiezza dall'amplificatore regolato dal CAC, dopo aver attraversato la linea di ritardo giunge al permutatore. Qui vengono prelevati sequenzialmente i segnali diretto e ritardato, separando così le due componenti del segnale di crominanza, che vengono successivamente limitate in ampiezza. Segue quindi la demodulazione in quadratura di ciascuna componente per mezzo di un moltiplicatore interno e della rete sfasatrice esterna (pin 7-8 per D_R e pin 4-5 per D_B) che determina uno sfasamento di 90° in

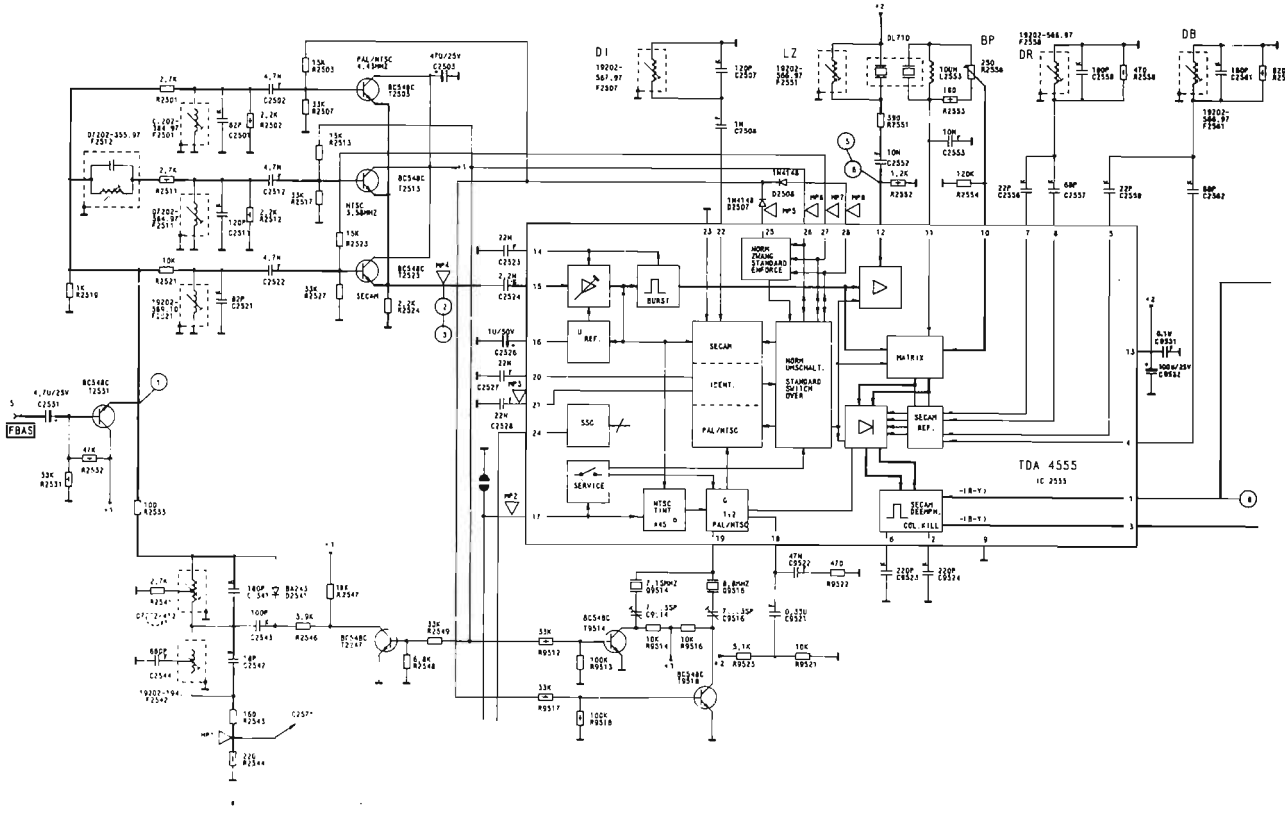


Fig. 3.31 - Scheda di crominanza multistandard equipaggiata con l'integrato TDA 4555 (Grundig CUC2800).

corrispondenza della frequenza della sottoportante relativa. I segnali differenza di colore attraversano poi una rete di deenfasi integrata prima di uscire ai pin 1 e 3 dell'integrato.

I segnali di riferimento per la demodulazione e l'identificazione dei segnali cromatici, codificati PAL e NTSC, sono derivati dal burst tramite uno stadio PLL che comprende un oscillatore controllato in tensione (VCO), un divisore di frequenza 2:1 e un discriminatore di fase. La frequenza dell'oscillatore è doppia di quella della sottoportante, così i due segnali di riferimento in quadratura non sono altro che le uscite del divisore.

Nello standard PAL il discriminatore confronta il riferimento (R–Y) con il burst prelevato direttamente dall'amplificatore regolato dal CAC, mentre nell'NTSC il burst attraversa il regolatore di tinta tramite il quale è possibile introdurre uno sfasamento fino a 30° sul burst, con una tensione di 2÷4V applicata al pin 17. Portando a massa lo stesso pin viene bloccato il burst e così l'oscillatore opera liberamente, permettendo la regolazione della frequenza per il minimo scorrimento cromatico sullo schermo.

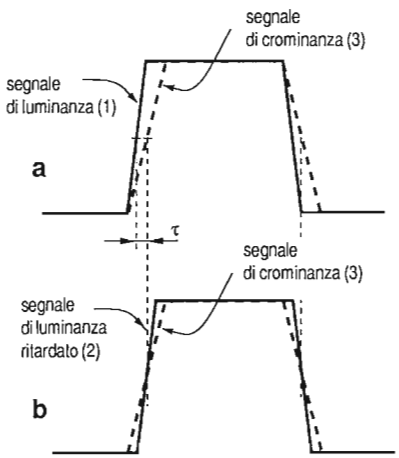
I due quarzi degli oscillatori di riferimento sono collegati tra i pin 19 e massa tramite un commutatore che comprende due transistor pilolati dalle tensioni di commutazione-standard. Onde prevenire interferenze, l'oscillatore viene bloccato durante la decodifica di segnali SECAM.

Indipendentemente dallo standard del segnale ricevuto, alle uscite (pin 1 e 3) sono disponibili i segnali differenza di colore –(R–Y) e –(B–Y) che vengono inoltrati assieme al segnale di luminanza Y, presente al punto MP1, al successivo circuito integrato, il cui compito è di formare i segnali dei colori primari RVB con caratteristiche adatte al pilotaggio degli stadi finali.

3 - 7 ACCENTUAZIONE DEI TRANSIENTE CROMATICI

Le diverse larghezza di banda occupate dai segnali di luminanza (circa 5MHz) e differenza colore (circa 1MHz) rendono diversi i tempi di transito dei segnali attraverso i relativi canali di elaborazione. Ciò rende necessaria l'introduzione di un adeguato ritardo al segnale di luminanza in modo che nella successiva matrice per la formazione dei segnali dei colori primari, i punti medi (50%) di ampie transizioni dei segnali Y e differenza-colore vengano a coincidere.

Il problema si risolve con l'adozione di una linea di ritardo nel canale di luminanza (Fig. 3.32) in grado di ritardare il segnale relativo di circa 300÷400ns, valore determinato dalle caratteristiche specifiche di ciascun telaio. Rimane però il fatto che il



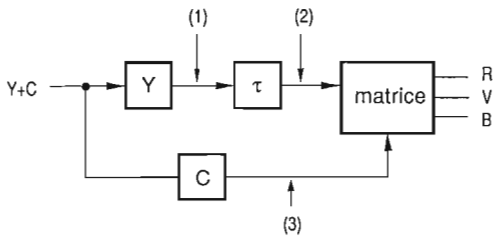


Fig. 3.32 - A causa della banda più stretta del segnale di crominanza, il colore si troverà più a destra dell'immagine (a). Ritardando il segnale di luminanza (b), si otterrà un risultato migliore, pur rimanendo irrisolto il problema della diffusione del colore in corrispondenza della transizione.

tempo di salita dei segnali RVB è comunque determinato dal più lento dei segnali che concorrono a formarli: nel caso specifico i segnali (R–Y) e/o (B–Y). Ogni transizione cromatica, richiedendo circa 300ns per essere completata, verrà riprodotta sullo schermo come una fascia di colore alterato, rispetto alle zone adiacenti, che si estende in senso orizzontale per circa 3-4mm, nel caso di cinescopi di grandi dimensioni. Questo "inquinamento" cromatico può essere considerevolmente ridotto con l'impiego della tecnica di *accentuazione dei transienti cromatici* (in inglese Color Transient Improvement) realizzabile con l'integrato TDA 4560. Con l'aiuto della Fig. 3.33, descriviamo il principio di funzionamento del CTI, facendo riferimento al canale (R–Y).

Il segnale (R–Y) viene preamplificato e quindi inoltrato a un commutatore e ad un filtro passa-alto che, associato ad un rivelatore, evidenzia solamente le brusche variazioni di ampiezza del segnale (ad esempio il passaggio tra i colori complementari verde e magenta). L'uscita del rivelatore (B) è rappresentata da impulsi positivi e negativi, corrispondenti ai tratti ascendenti e discendenti del segnale (R–Y), i quali vengono inoltrati ad un circuito formatore di impulsi che provvede a squadrarli (C). Così formati, gli impulsi determinano l'apertura dell'interruttore e la conseguente memorizzazione (entro la capacità C_M) del livello raggiunto un istante prima, che in tal modo si mantiene all'uscita per tutta la durata degli impulsi (circa 500ns).

Il risultato è una ripidizzazione considerevole dei segnali differenza di colore, che ora presentano un tempo di salita pari a quello del segnale di luminanza Y, associato ad un ritardo di circa 500ns determinato dal processo descritto. Naturalmente prima dell'inoltro nella matrice RVB, il segnale di luminanza deve venir ritardato ul-

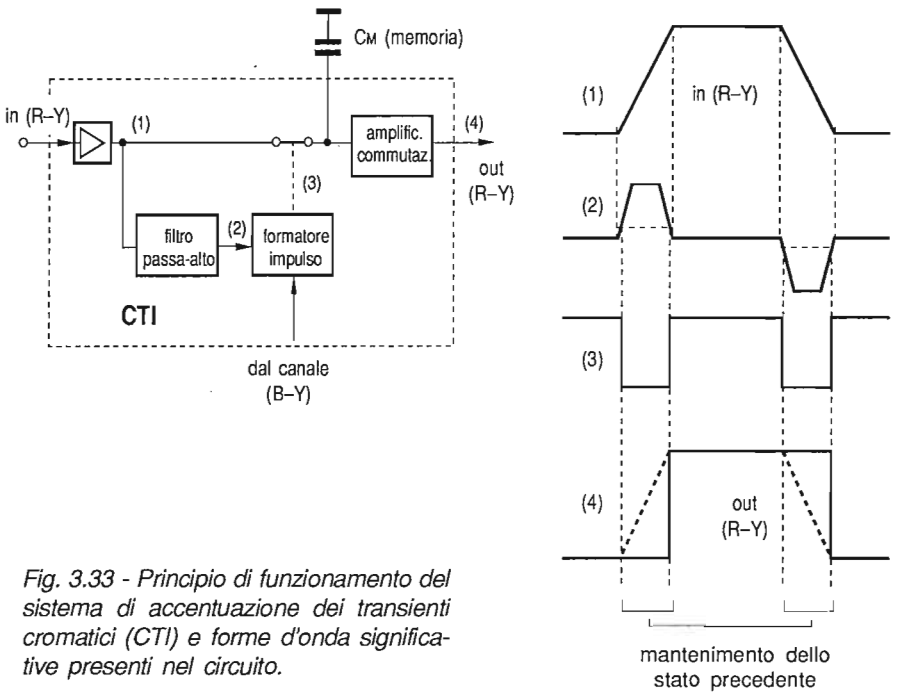


Fig. 3.33 - Principio di funzionamento del sistema di accentuazione dei transienti cromatici (CTI) e forme d'onda significative presenti nel circuito.

teriormente per un totale di circa 800ns. A ciò provvede lo stesso TDA4560 che al suo interno comprende degli stadi ritardatori commutabili, disposti in cascata, in grado di produrre ritardi fino a 1035ns.

3 - 7 - 1 Il TDA 4560

Il TDA4560 è costituito da due sezioni indipendenti (Fig. 3.34) che elaborano separatamente i segnali di crominanza, accentuandone la rapidità dei fianchi, e di luminanza, introducendo elettronicamente il ritardo richiesto per la migliore sovrapposizione entro gli stadi matrice.

La prima è formata da due canali identici (Fig. 3.35), ciascuno composto da un adattatore d'impedenza d'entrata, da un interruttore analogico, da un adattatore d'impedenza d'uscita e da una capacità di memoria situata subito dopo l'interruttore. Si tratta in sostanza di un circuito di campionamento e tenuta *(sample-hold)* comandato dallo stesso segnale.

Il rivelatore di rampa è formato da una rete differenziatrice seguita da un rivelatore di picco bipolare, la cui uscita è rappresentata da impulsi sempre positivi, di durata pari a quella dei fianchi e ampiezza dipendente dalla loro pendenza. Troviamo quindi un filtro passa-alto seguito da un comparatore a soglia variabile, tramite i quali è possibile ottenere impulsi di durata pressochè costante sia nel caso di variazioni brusche che lente. Questo modo di funzionare del formatore è necessario per mantenere immutata l'estensione delle aree colorate. Il diodo DH assicura la rapida

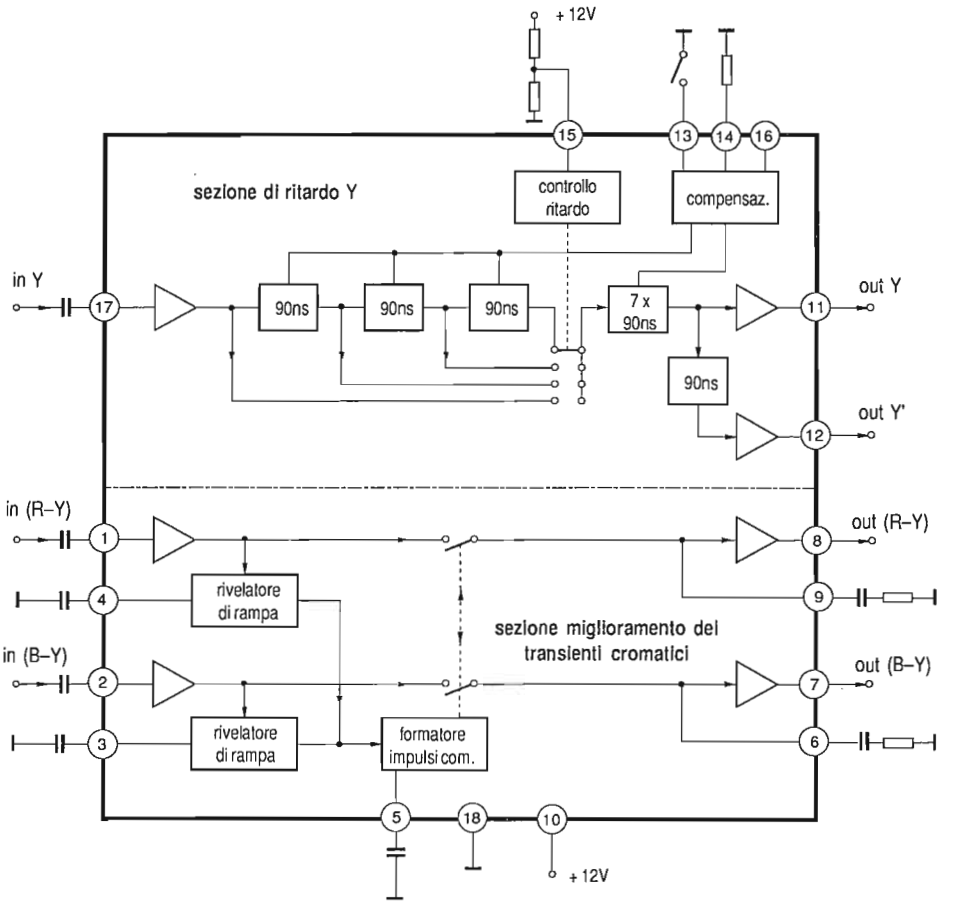


Fig. 3.34 - Schema a blocchi del TDA 4560. La parte superiore comprende i circuiti per il ritardo del segnale Y. Quella inferiore opera l'accentuazione dei transienti cromatici.

scarica del filtro differenziatore durante la fase negativa degli impulsi, così da predisporlo velocemente alla successiva fase di funzionamento.

Quando la tensione d'uscita del filtro presenta un valore inferiore alla soglia di commutazione, l'uscita del comparatore si porta al livello H e l'interruttore analogico viene aperto. Al di sotto di una determinata pendenza del segnale d'ingresso, la tensione d'uscita del differenziatore è insufficiente per far funzionare il comparatore, e quindi il circuito descritto opera solamente in presenza di fianchi ripidi.

Veniamo ora alla sezione di luminaza, nella quale l'integrato introduce il richiesto ritardo per il segnale in transito, ricorrendo a celle di ritardo realizzate con *giratori* e capacità integrate, eliminando in tal modo la tradizionale linea di ritardo Y avvolta.

La sezione di ritardo è formata da 11 celle a larga banda, identiche, disposte in cascata, ciascuna delle quali introduce un ritardo sul segnale in transito di 90ns, più uno di 45ns. La tecnologia costruttiva fa uso di giratori, vale a dire filtri attivi nei quali la particolare configurazione ha l'effetto di "ruotare" la reattanza capacitiva presente di 180°, manifestando un comportamento equivalente a quello a quello di un'induttanza. Essi permettono quindi la realizzazione, in forma integrata, di linee di ritardo LC senza dover ricorrere a componenti avvolti.

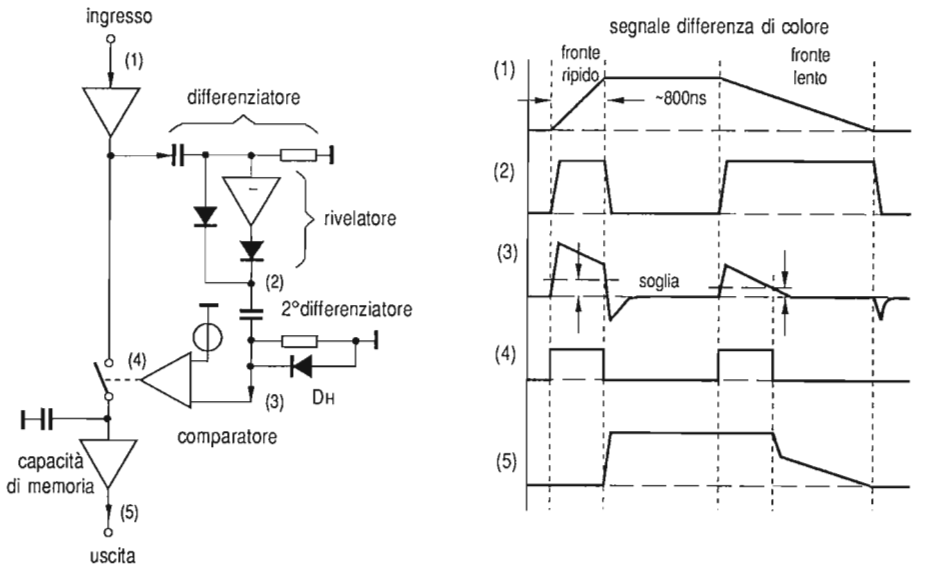


Fig. 3.35 - Circuito dettagliato di uno dei tre canali per l'accentuazione dei transienti cromatici contenuti nel TDA 4560 e relative forme d'onda.

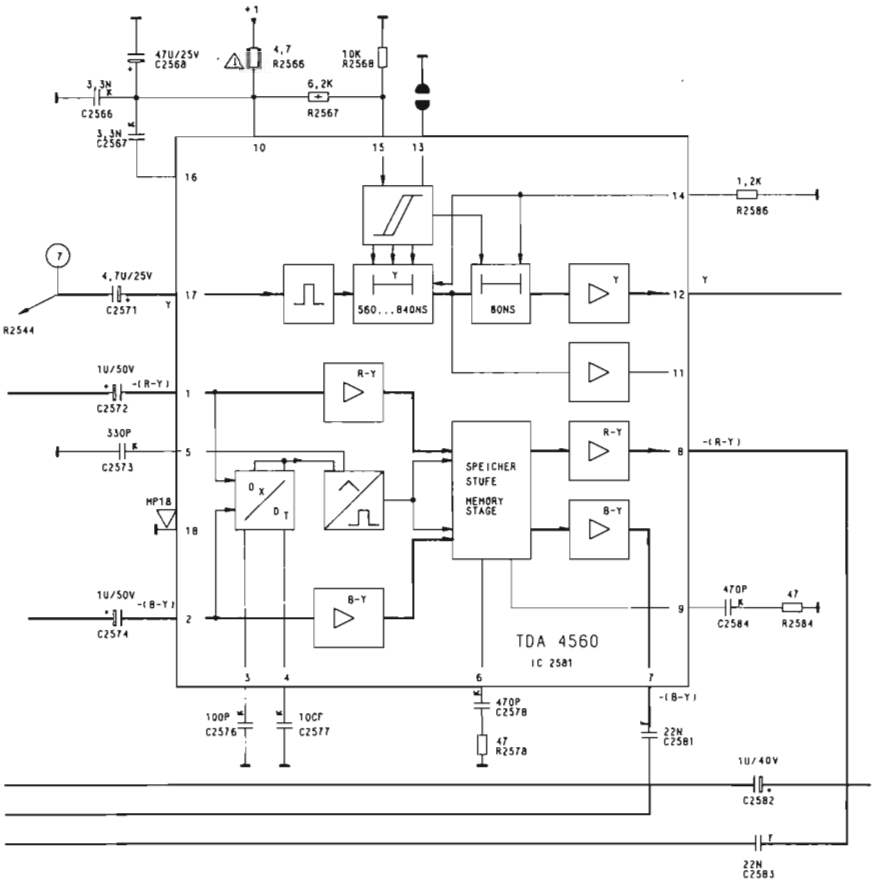


Fig. 3.36 - Scheda di crominanza Grundig equipaggiata con l'integrato TDA 4560.

Onde permettere una regolazione ottimale del ritardo sul segnale Y in transito, è possibile ridurre il ritardo totale massimo di 1035ns (11 · 90ns + 45ns) a gradini di 90ns, by-passando 1, 2 o 3 celle per mezzo della tensione applicata al pin 15, secondo la Tab. 3.1. Il ritardo totale può essere incrementato di altri 45ns connettendo a massa il pin 13. Il segnale Y è accoppiato capacitivamente al pin 17. Un circuito di clarrıp fissa il livello di sincronismo del segnale, rendendo il funzionamento del sistema indipendente dal livello della componente continua del segnale Y in arrivo.

V15 (V)	td (ns)
0-2.5	720
3.5-5.5	810
6.5-8.5	900
9.5-12	990

Tab. 3.1 - Relazione tra la tensione applicata al pin 15 del TDA4560 ed il ritardo di transito presentato dal segnale Y nell'attraversamento del circuito.

Nel transitare entro la sezione, il segnale di luminanza subisce un'attenuazione di circa 7dB pari a quella di una linea di ritardo Y tradizionale. In tal modo il circuito può sostituire il componente senza richiedere alcuna modifica.

In Fig. 3.36 è riportato lo schema elettrico d'impiego del TDA4560 nella scheda luminanza-crominanza del telaio Grundig CUC2600.

3 - 8 STADI FINALI DI COLORE

L'uso ormai generalizzato di cinescopi a colori con collo sottile (diametro 29,1mm), equipaggiati con cannoni a tre fasci in linea, con griglie controllo e schermo comuni, e la disponibilità di circuiti integrati dotati di sofisticati sistemi di stabilizzazione, ha indotto i progettisti a preferire il pilotaggio RVB dei cinescopi in luogo di quello tradizionale con i segnali differenza di colore. Naturalmente, il fatto che le griglie siano comuni rende impossibile il raggiungimento della coincidenza del punto d'interdizione dei tre fasci tramite regolazione dei loro potenziali e perciò questa condizione può raggiungersi solamente modificando separatamente i potenziali dei tre catodi. D'altra parte, come si è già visto in precedenza, per la messa a punto del bianco, è necessario regolare separatamente l'ampiezza dei segnali RVB applicati ai catodi. In conclusione, ai circuiti di pilotaggio del cinescopio si impone quindi un dimensionamento che garantisca un funzionamento lineare dei tre stadi entro l'intervallo di valori determinato dalle regolazioni sia di ampiezza del segnale che del livello in continua.

3 - 8 - 1 Limiti statici di funzionamento

Per evitare intervalli di regolazione troppo ampi, i costruttori dei cinescopi assicurano tolleranze abbastanza ristrette tra le tensioni di interdizione (cut-off) dei tre fasci. In generale, il rapporto tra il valore più alto e quello più basso, nello stesso tubo, non supera 1,5 per qualunque valore di tensione permesso applicato alla g2. Co-

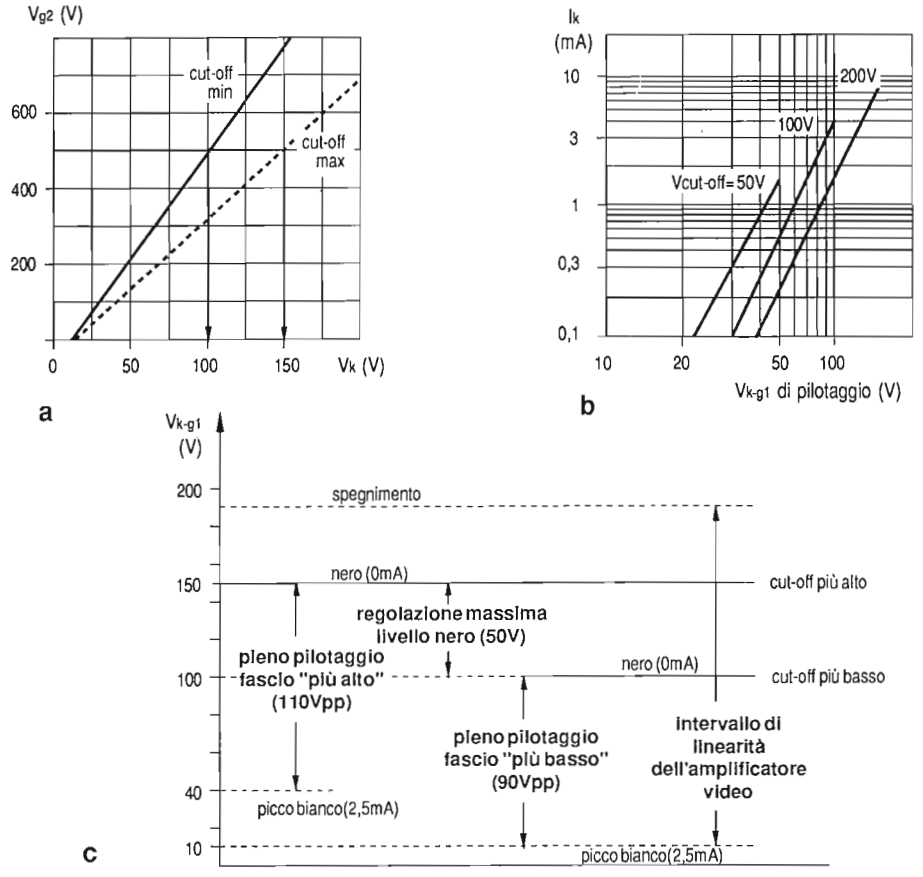


Fig. 3.37 - Caratteristiche di cut-off (a) e di pilotaggio (b) di un cinescopio a colori di medie dimensioni. In (c) è riportata l'escursione possibile del segnale di pilotaggio del cinescopio, che rappresenta anche l'intervallo di linearità richiesto allo stadio finale di colore.

sicchè, per il tubo le cui caratteristiche di cut-off sono riportate in Fig. 3.37a, se immaginiamo di regolare V_{g2} per avere il cut-off più alto a 150V, nella peggiore delle ipotesi quello più basso si avrà a 100V.

Dalle caratteristiche di pilotaggio riportate in Fig. 3.37b, assumendo un valore di corrente di picco per ciascun fascio di 2,5mA, troviamo che il segnale richiesto per la transizione nero-bianco dei due fasci con tensioni di cut-oftt estreme è di 90Vpp

e 110Vpp. Riportando questi valori nel diagramma di Fig. 3.37c, ricaviamo l'intervallo di linearità richiesto agli stadi finali in accordo con le caratteristiche dei cinescopi. Riassumendo:

- livello massimo del nero	150V
- campo di regolazione del livello del nero	100-150V
- ampiezza p-p massima del segnale (b/n)	90-110V
- campo di linearità	10-150V

Dobbiamo tener conto inoltre del livello di spegnimento che innalza il limite superiore raggiungibile dal segnale di altri 18V circa, portandolo complessivamente a 168V. Osserviamo infine che i limiti di 10-15V della linearità verso il basso degli amplificatori dovuti: alla tensione di polarizzazione richiesta per l'interfacciamento con l'integrato pilota, alla tensione di ginocchio presentata in alta frequenza dai transistor finali, alle cadute di tensione nelle resistenze limitatrici, inducono a spostare verso l'alto le tensioni misurate tra catodo e massa di circa 20V. Affinchè però il diagramma di Fig. 3.37c rimanga valido, è necessario rendere positiva la g1 del cinescopio verso massa dello stesso valore.

In conclusione, lo stadio finale richiederà per il suo funzionamento una tensione di alimentazione di almeno 200V.

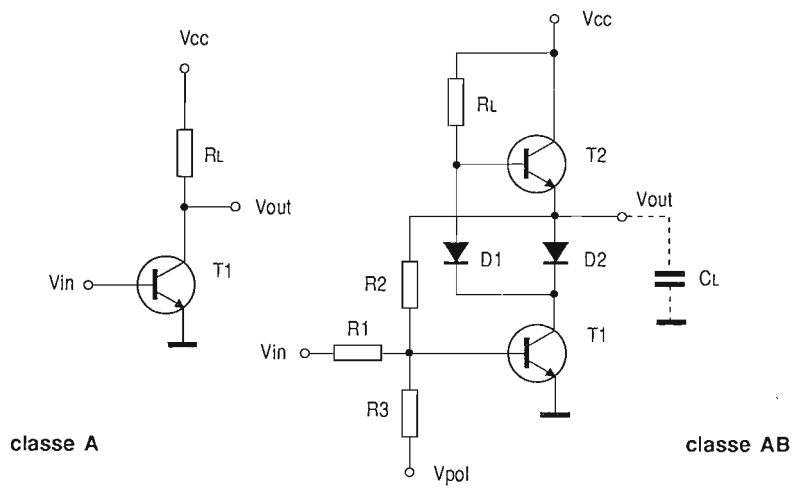


Fig. 3.38 - Schemi di principio di stadi finali di colore operanti in classe A e con carico attivo (classe AB).

3 - 8 - 2 Amplificatore video con carico attivo

La schematizzazione di base di un tale circuito è riportata in Fig. 3.38. Si tratta di un transistor ad emettitore comune (T1) al cui collettore è presente una resistenza di carico di valore molto più alto (18kohm) rispetto a quello tradizionale (di qualche kohm), by-passata temporaneamente da un secondo transistor (T2) durante le transizioni positive del segnale d'uscita. Con ciò si ottiene una risposta caratterizzata da rapidi transienti, associata ad un'ampia larghezza di banda, mentre la corrente di riposo si mantiene molto limitata. In assenza di segnale, la corrente assorbita è la somma di quella di emettitore di T1, proviene da RL-D1, con quella debole di emettitore di T2 che fluisce attraverso R2-R1. In questa situazione D2 è interdetto perchè anodo e catodo si trovano allo stesso potenziale.

In presenza di una brusca variazione in senso negativo del segnale d'entrata (Fig. 3.39), si ha una rapida diminuzione della corrente in T1, con conseguente crescita della sua tensione di collettore e quindi di quella di base di T2. Questo aumento avviene in modo molto rapido, poichè in questa fase D2 è bloccato e quindi T1 risulta separato dalla capacità di carico. Non appena però la tensione di base di T2 cresce sopra la soglia, si ha il trasferimento del segnale a CL che così ha modo di caricarsi molto rapidamente attraverso la bassa resistenza di emettitore di T2. La tensione d'uscita presenta allora un andamento praticamente coincidente con quello della tensione di collettore di T1, quasi indipendente dal valore di CL. La rapidità di crescita della tensione d'uscita (*slew-rate,* letteralmente velocità di variazione) è allora determinata dai valori di RL e dalle capacità d'uscita di T1 e di base di T2, piuttosto che da quella del carico CL.

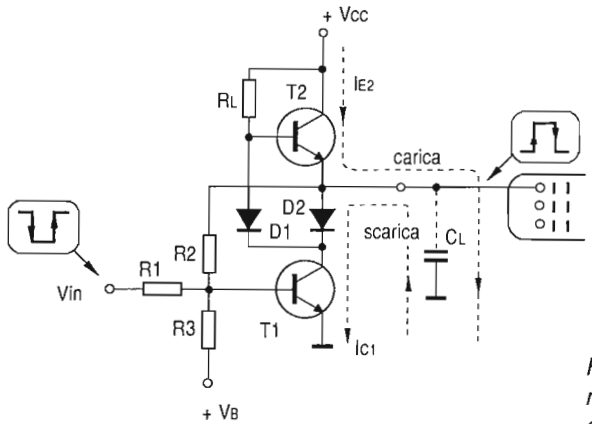


Fig. 3.39 - Principio di funzionamento dello stadio finale di colore a carico attivo.

Esaurito il transitorio, il circuito si riporta nelle condizioni iniziali caratterizzate da una modesta corrente assorbita, che circola quasi del tutto in R_L e T1. Nel caso di brusche variazioni in senso positivo del segnale d'entrata, T1 viene portato in forte conduzione e la conseguente diminuzione della tensione di collettore di T1, riportata in base di T2 dal diodo D1, decreta l'interdizione di quest'ultimo transistor. Conseguentemente C_L si scarica in modo rapido attraverso D2 e T1, grazie alla intensa corrente di collettore incrementata anche dalla reazione dovuta ad R2.

Ogni volta che il segnale d'entrata si inverte rapidamente, il diodo D2 passa dalla conduzione all'interdizione, determinando una *distorsione di cross-over* di modesta ampiezza, peraltro minimizzata dalla forte controreazione dovuta al collegamento uscita-entrata tramite R2.

Con segnali a variazione lenta, vale a dire di frequenza inferiore a 500kHz, la distorsione non ha luogo poichè D2 risulta permanentemente bloccato e T2 opera come normale emitter-follower. Normalmente, tra collettore di T2 e sorgente di alimentazione, viene inserita una resistenza del valore di 1-2kohm per proteggere il transistor in caso di cortocircuito all'uscita e nel contempo limitare i picchi di corrente durante le transizioni positive del segnale d'entrata.

3 - 8 - 3 Amplificatore cascode con carico attivo

In molte soluzioni pratiche, il transistor T1 viene sostituito con due transistor connessi in cascode, dove il primo (T1) lavora a bassa tensione ed il secondo (T2) opera in configurazione a base comune (Fig. 3.40). Questa soluzione presenta una serie di vantaggi che si possono così riassumere:

- il transistor T1 opera a bassa tensione e con segnali di modesta ampiezza, quindi possiede un guadagno di corrente considerevolmente più elevato di un transistor-video: ciò porta ad un considerevole aumento di guadagno e di stabilità in continua;
- il transistor T2 nella configurazione a base comune può essere a basso beta e con bassa frequenza di transizione, quindi di costo modesto;
- l'effetto Miller in T1 è ridotto al minimo. Si ottiene così una buona larghezza di banda anche se si usano valori alti per le resistenze di controreazione (R2) e d'ingresso (R1): con ciò si riduce ulteriormente il consumo di potenza dello stadio, che scende a 1,3-1,5W rispetto a circa 6W della soluzione in classe A.

In Fig. 3.41 è riportato un esempio pratico di stadi finali video del tipo appena descritto, impiegati nel telaio Seleco BS 500. Per adattare gli stadi finali al livello di continua presente alle uscite dell'integrato di decodifica TDA 3560, gli emettitori dei transistor di bassa tensione sono collegati ad una sorgente di tensione costante realizzata con T111, al cui emettitore è presente la tensione determinata dal parti-

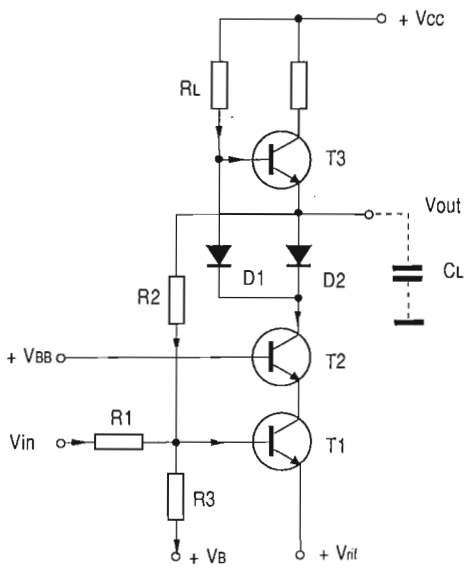


Fig. 3.40 - Schema di principio di finale di colore cascode con carico attivo.

tore R165 - R166 e ridotta di 0,6V. Essendo i transistor dello stesso tipo, le variazioni di temperatura non hanno influenza sul livello in continua risultante sulla base dei transistor amplificatori.

Facendo riferimento al canale del blu, la controreazione in continua ed in alternata è determinata da R156 in serie con R157: perciò il guadagno dello stadio risulta pari a:

$$G_B = \frac{R156 + R157}{R135 + P102}$$

ed è indipendente dal livello del nero, la cui regolazione avviene tramite P103. La compensazione alle alte frequenze della banda video è affidata al gruppo R134 - C128.

3 - 8 - 4 Prestazioni dinamiche degli amplificatori finali

Valutiamo ora le esigenze in termini di comportamento dinamico degli amplificatori. Incominciamo dal tempo di salita: se la differenza tra i tempi di salita di due segnali d'uscita supera i 30-40ns, i contorni delle immagini appariranno colorati come se ci si trovasse di fronte a errori di convergenza. Per limitare questo inconveniente, si

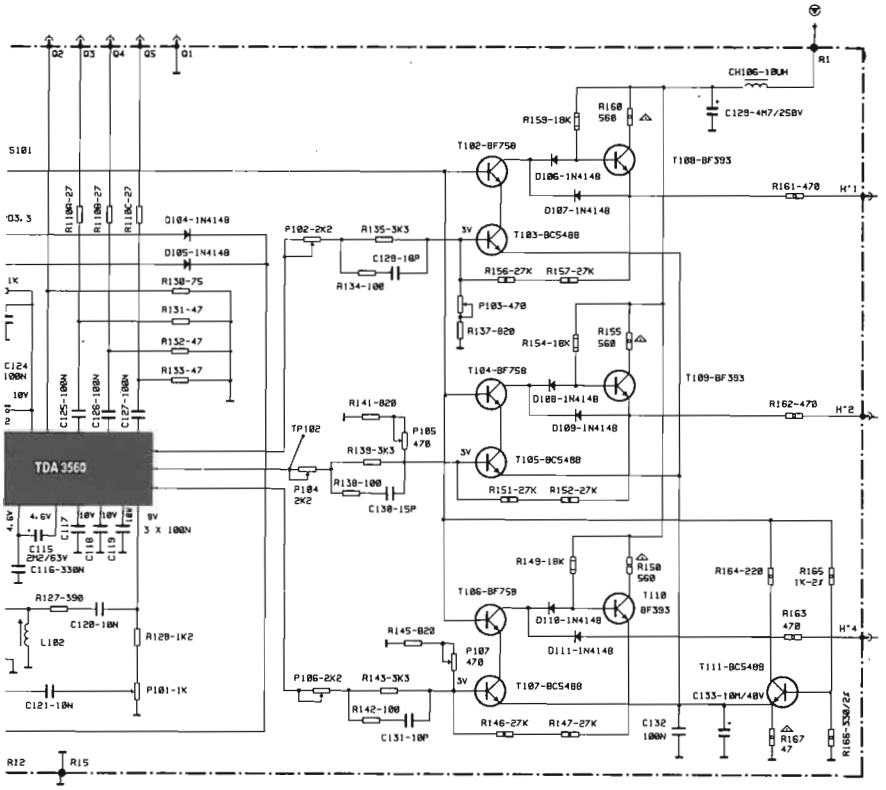


Fig. 3.41 - Particolare della scheda di crominanza equipaggiata con finali di colore cascode con carico attivo (Seleco).

progettano i circuiti stampati in modo che le tracce risultino identiche per i tre canali. Eventuali differenze nelle caratteristiche dei transistor impiegati possono causare differenti tempi di salita nei segnali applicati ai catodi. Per evitare che la differenza tra questi tempi assuma valori eccessivi, è indispensabile assicurare una banda passante di almeno 4MHz, a cui corrisponde un tempo di salita:

$$t_{S-A\,max} = \frac{0{,}35}{f_t} = 87{,}5\ \text{ns}$$

A causa delle inevitabili tolleranze dei componenti, potrà accadere che uno dei tre amplificatori risulti più veloce, presentando un tempo di salita $t_{S\text{-}A\,min}$ = 60ns.

Se si immagina di pilotare contemporaneamente i tre amplificatori con segnali video aventi un tempo di salita $t_{S\text{-}in}$ = 100ns, si otterranno all'uscita segnali con tempi di salita risultanti pari a:

$$t_{S\,max-out} = \sqrt{t^2_{S-A\,max} + t^2_{S-in}} = 133 \text{ ns} \qquad \text{per l'amplificatore più lento}$$

$$t_{S\,max-out} = \sqrt{t^2_{S-A\,min} + t^2_{S-in}} = 117 \text{ ns} \qquad \text{per l'amplificatore più veloce}$$

quindi con una differenza di 16ns, che su uno schermo di 67cm di diagonale corrispondono ad una distanza di 0,15mm, praticamente non apprezzabile.

In genere i tempi di salita dei segnali provenienti dal decodificatore sono compresi tra 120 e 150ns e perciò l'errore differenziale è ancora più contenuto, mantenendosi sempre inferiore ai 10ns.

Quanto appena detto è valido per segnali d'uscita con ampiezze limitate a 50-60Vpp, per i quali il comportamento in frequenza degli amplificatori è indipendente dall'ampiezza.

Per ampiezze superiori, la risposta in frequenza, e quindi il tempo di salita, dipendono dall'ampiezza del segnale d'uscita. Il parametro che definisce questo comportamento è lo slew-rate S della tensione d'uscita, definito come:

$$S = \left(\frac{dV_u}{dt}\right)_{max} \qquad \text{misurato in V/}\mu\text{s}$$

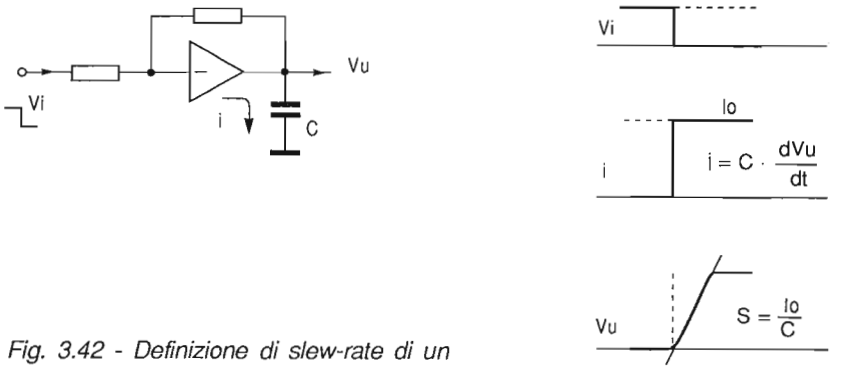


Fig. 3.42 - Definizione di slew-rate di un amplificatore.

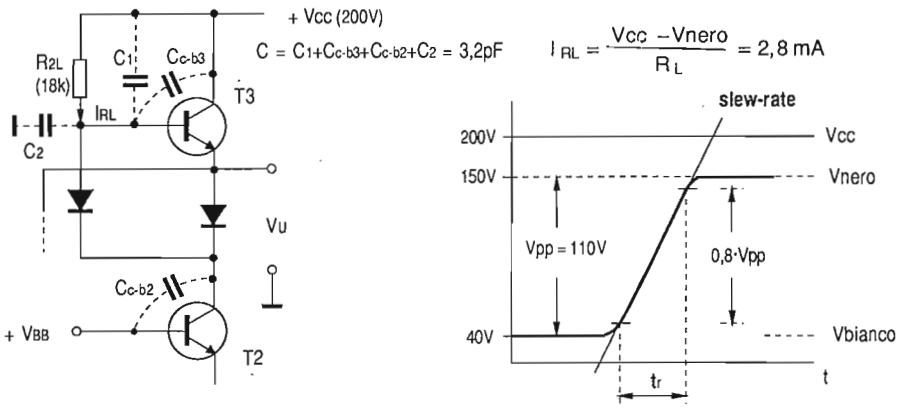


Fig. 3.43 - Andamento della tensione d'uscita per una transizione limitata dallo slew-rate.

Questo parametro indica il limite massimo della pendenza del segnale d'uscita, per cui se un amplificatore si trova in slew-rate, il segnale d'uscita cresce o cala con pendenza costante (pari a S), indipendentemente dall'andamento del segnale d'ingresso.

Facendo riferimento alla Fig. 3.42 osserviamo che la relazione tra tensione Vu sul carico C e la corrente erogata dall'amplificatore è:

$$i = C \cdot \frac{dVu}{dt}$$

per cui, se il pilotaggio è rappresentato da un gradino di tensione, tale sarà l'andamento della corrente d'uscita che, dopo la transizione, assumerà un valore costante I_0. La tensione d'uscita Vu crescerà invece con una pendenza $S = I_0/C$, proporzionale alla corrente massima erogabile dall'amplificatore. Dato che questa è limitata, in regime di slew-rate, il tempo di salita del segnale d'uscita risulterà proporzionale all'ampiezza dello stesso segnale.

In questa situazione è importante che il tempo di salita massimo determinato dall'amplificatore, combinato con quello del segnale d'entrata, misurato nei 3 canali, non dia luogo a differenze di entità superiore a quelle appena visibili.

Nell'amplificatore cascode a carico attivo, lo slew-rate è determinato da R_L (che limita la corrente massima erogabile) e dalla capacità complessiva verso massa C,

piuttosto che dalla capacità del cinescopio, in quanto come si è già visto in precedenza la carica e la scarica di quest'ultima avvengono a corrente elevata per mezzo di T3 e T2.

Con i valori indicati in Fig. 3.43, si trova che la corrente massima erogabile al livello del nero è di 2,8mA con uno slew-rate:

$$S = \frac{I_o}{C} = 875\,V/\mu s$$

Quindi il tempo di salita misurato tra il 10% ed il 90% della escursione bianco-nero massima (110V) sarà:

$$t_S = \frac{0,8 \cdot V_{pp}}{S} = 100\,ns$$

a cui corrisponde una frequenza limite superiore $f_S = 3,5/t_S = 3,5MHz$ (Fig. 3.44). In pratica ciò non costituisce un problema, poichè le immagini normalmente riprodotte non contengono componenti di segnale di grandi ampiezza e frequenza: ciò in conseguenza della limitazione di banda delle sezioni di FI video e del demodulatore, e principalmente per la presenza di trappole a 4,43MHz nel canale di luminanza.

3 - 8 - 5 Dissipazione statica e dinamica

I convenzionali amplificatori in classe A, che impiegano un solo transistor, richiedono una notevole corrente di riposo onde assicurare la necessaria larghezza di banda in presenza di segnali ampi. Ritenendo che a riposo la tensione di collettore

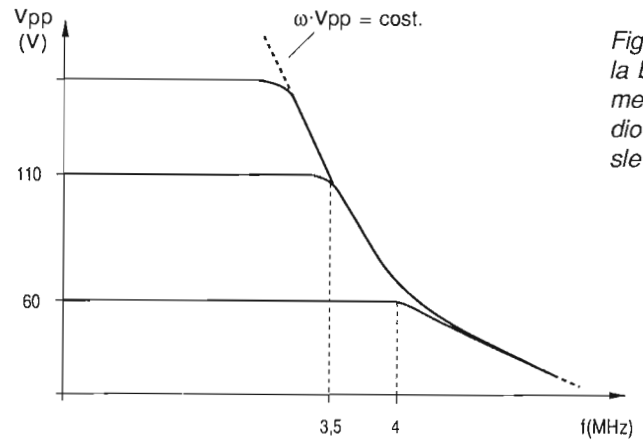


Fig. 3.44 - Limitazione della banda passante a regime sinusoidale di uno stadio finale, per effetto dello slew-rate.

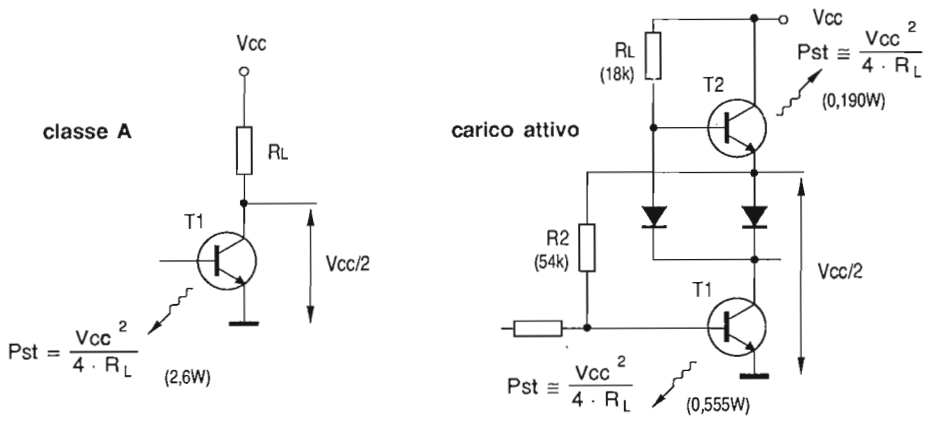


Fig. 3.45 - Confronto tra le potenze dissipate negli stadi finali in classe A e a carico attivo.

coincida con la metà di quella di alimentazione (Vcc), la dissipazione in condizioni statiche risulterà:

$$P_{st} = \frac{V_{cc}^2}{4 \cdot R_L}$$

Con valori tipici per Vcc (200V) ed R_L (3,9kohm), si trova che il transistor finale dissipa a riposo circa 2,6W.

L'aggiunta del transistor T2 nella soluzione a carico attivo (Fig. 3.45), permette di aumentare considerevolmente R_L e quindi di ridurre a valori molto bassi la potenza dissipata a riposo da T1. Con R_L = 18kohm si trova P_{st} = 555mW, che si riduce ulteriormente nella versione cascode. Se effettuiamo i calcoli per la potenza dissipata da T2 troviamo un valore di 190mW.

Tenendo conto che gli stadi finali sono 3, il risparmio energetico a regime statico risulta evidente. In presenza di segnale, alla dissipazione statica di cui si è detto sopra bisogna aggiungere quella conseguente all'energia trasferita dall'amplificatore al carico capacitivo C_L e da questo resa allo stesso amplificatore nella fase successiva.

La capacità di carico C_L è la somma di quella intrinseca del cinescopio, misurata tra il terminale di catodo e tutti gli altri elettrodi (circa 4pF), con quelle dello zoccolo e dei collegamenti, misurate verso massa, che complessivamente ammontano a circa 12pF.

In regime sinusoidale, l'alimentatore fornisce energia per il primo mezzo periodo, durante la semionda positiva del segnale, cui corrisponde una potenza istantanea:

$$p(t) = Vcc \cdot \omega \cdot C_L \cdot \frac{Vpp}{2} \cdot \text{sen}\ \omega t$$

Calcolando il valore medio di questa funzione sull'intero periodo otteniamo la potenza media dissipata dal circuito in regime dinamico, in aggiunta a quella statica già calcolata, che possiamo ritenere equamente divisa tra i due transistors. A conti fatti si trova:

$$Pass = f \cdot Vcc \cdot C_L \cdot \frac{Vpp}{2}$$

con f = frequenza

Vcc = tensione di alimentazione

C_L = capacità complessiva del carico

Vpp = escursione picco-picco della tensione d'uscita.

Per f=3MHz, Vcc=200V, C_L=12pF, Vpp=110V, risulta Pass=0,8W, pari a 0,4W per ciascun transistor.

Naturalmente questa condizione operativa è estremamente improbabile in pratica, per cui la potenza totale dissipata da ciascun transistor (statica+dinamica), si manterrà molto al di sotto 1W, rendendo senz'altro appropriato l'appellativo di "finale freddo" attribuito a questo circuito.

capitolo quarto

LA SEZIONE SINCRONISMI

In questo capitolo ci occuperemo della sincronizzazione dei sistemi di scansione. Notevoli progressi si sono osservati in questa sezione del ricevitore, in special modo per l'introduzione di dispositivi ad alta integrazione che fanno uso di sofisticate tecniche digitali di elaborazione. Così, dall'evoluzione dei primi integrati, si è giunti a quelli più recenti in grado di riconoscere lo standard di trasmissione e di assicurare una notevole stabilità di funzionamento anche in assenza momentanea di sincronismi.

Esamineremo nel seguito questa evoluzione facendo riferimento ai circuiti integrati più rappresentativi e più diffusi.

4 - 1 LA SERIE TDA 259..

Il TDA 2590 rappresenta il primo di una nota e diffusa serie di integrati per l'elaborazione dei sincronismi, al quale sono seguiti il TDA 2591 ed il TDA 2593, che rappresentano successivi miglioramenti, ed il TDA 2594 ed il TDA 2595 che sono invece delle evoluzioni vere e proprie e comprendono funzioni aggiuntive.

Iniziamo la descrizione partendo dal capostipite, il TDA 2590. L'integrato riceve sui suoi ingressi il segnale video di fase negativa assieme agli impulsi positivi di flyback, e fornisce alle sue uscite il segnale di pilotaggio dello stadio pilota di riga, gli impulsi di sincronismo verticale e gli impulsi di sand-castle a due livelli. Facendo riferimento alle Figg. 4.1 e 4.2, che rappresentano lo schema a blocchi e un esempio pratico d'impiego del TDA 2590, analizziamone il funzionamento.

Il segnale video, con gli impulsi di sincronismo positivi, giunge al pin 9 del TDA 2590 dopo aver attraversato un filtro passa-basso che elimina eventuali disturbi a frequenza elevata. Contemporaneamente, attraverso il pin 10, lo stesso segnale viene inoltrato ad uno stadio antidisturbo che ha il compito di inibire il *separatore* in presenza di disturbi molto intensi. Entrambi i circuiti sono dotati di stadi d'entrata che limitano a 100μA il valore massimo della corrente ai pin 9 e 10, impedendo in tal modo una carica eccessiva dei condensatori di accoppiamento in presenza di forti disturbi. Il livello di taglio del circuito separatore è situato a circa 0,3V sotto il livello dei sincronismi, che corrisponde a circa il 50% dell'ampiezza degli impulsi di sincronismo per un segnale video di 3Vpp.

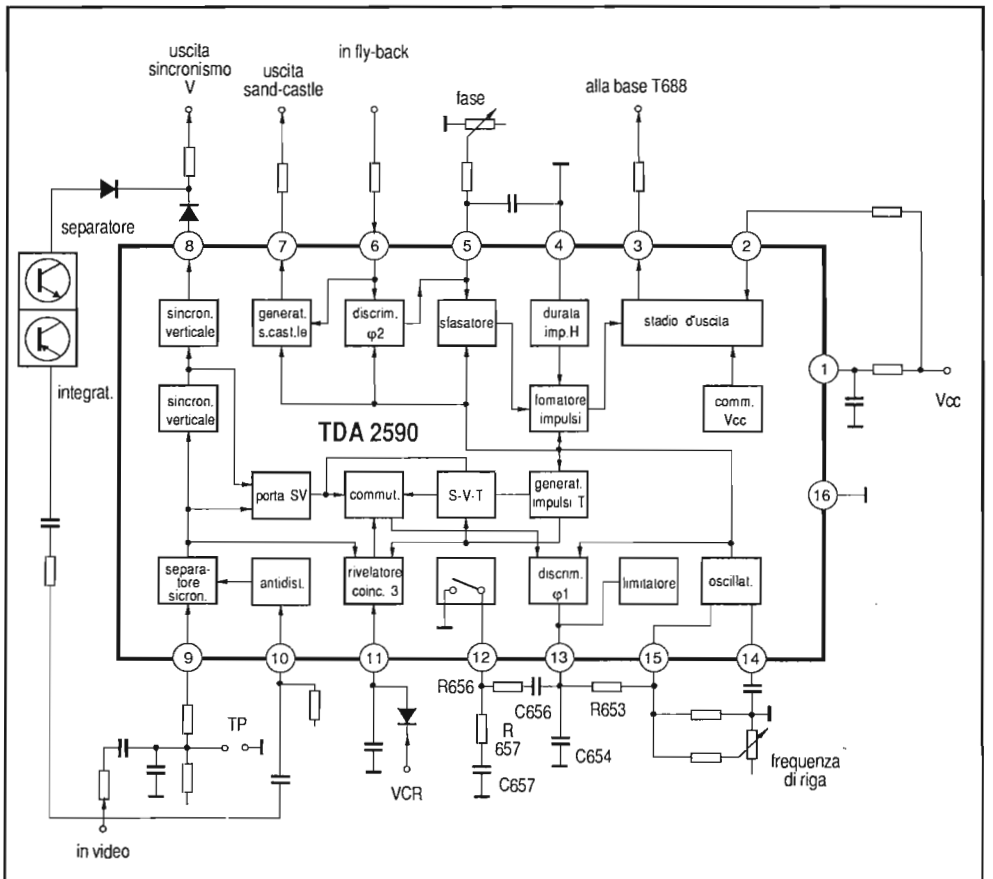


Fig. 4.1 - Schema a blocchi dettagliato dell'integrato TDA 2590 di elaborazione sincronismi.

Il segnale d'uscita del separatore (S) viene inoltrato internamente: al separatore di sincronismo verticale (V), alla porta S-V e al rivelatore di coincidenza 3.

Il *separatore di sincronismo* verticale opera dapprima un'integrazione dei segnali presenti al suo ingresso (per mezzo di capacità integrate), quindi la separazione per mezzo di un circuito a soglia e la successiva formazione, fornendo all'uscita (pin 8) impulsi dell'ampiezza di 11Vpp e della durata di circa 0,16ms. Questi impulsi (V), assieme a quelli di sincronismo (S), sono inoltrati alla porta S-V nella quale avviene la soppressione degli impulsi di sincronismo verticali, al fine di evitare una loro negativa influenza sulla sincronizzazione di riga.

Gli impulsi S vengono applicati anche ad un circuito di coincidenza, che li confronta con gli impulsi T, della durata di 8μs, ottenuti a partire dal segnale dell'oscillatore di riga la cui uscita pilota il commutatore. Quest'ultimo inoltra al discriminatore di fase φ1 o i segnali S-V, provenienti dall'omonima porta, oppure i segnali S-V-T ottenuti dai precedenti aggiungendo gli impulsi T da 8ms, a seconda che esso verifichi o meno la coincidenza tra gli impulsi di sincronismo (S) e di gate (T). Nel caso di mancanza di coincidenza, inoltre, il rivelatore attiva il commutatore della costante di tempo, aprendo l'interruttore che connette internamente a massa il pin 12 dell'integrato.

Il filtro RC posto all'uscita del discriminatore di fase φ1 (pin 13) viene a presentare una più bassa costante di tempo, aumentando così la rapidità della risposta ed il campo di agganciamento. In queste condizioni, il circuito presenta un campo di agganciamento dell'oscillatore di riga che ammonta a ±750Hz attorno al valore nominale, ed è così in grado di compensare velocemente le fluttuazioni caratteristiche dei VCR. Questa condizione di funzionamento può essere imposta al circuito dall'esterno, portanto al livello L il pin 11 (segnale VCR=0V).

Il *primo discriminatore di fase* (φ1) compara il segnale S-V o S-V-T con quello a dente di sega prodotto dall'oscillatore. La corrente di errore esce dal piedino 13, ove viene filtrata dal circuito RC con costante di tempo dipendente dallo stato del rivelatore di coincidenza 3, e va poi a sommarsi con quella proveniente dal regolatore della frequenza in corrispondenza del piedino 15. L'effetto è quello di accelerare o rallentare la carica del condensatore posto tra il piedino 14 e massa, con conseguente correzione della frequenza del segnale a dente di sega generato.

L'impulso di pilotaggio della stadio finale di riga, prodotto entro il formatore di impulsi, ha una durata che può essere modificata applicando un'adeguata tensione continua al piedino 4. Nel caso in esame, gli impulsi di 24μs, richiesti per il pilotaggio dello stadio finale di riga a transistor, si ottengono connettendo a massa il piedino 4 dell'integrato.

Per far sì che l'informazione video sia in fase con il raster, il segnale di pilotaggio viene generato con la corretta fase tramite il secondo discriminatore (φ2) che confronta l'impulso di fly-back con il segnale dell'oscillatore. La tensione di controllo co-

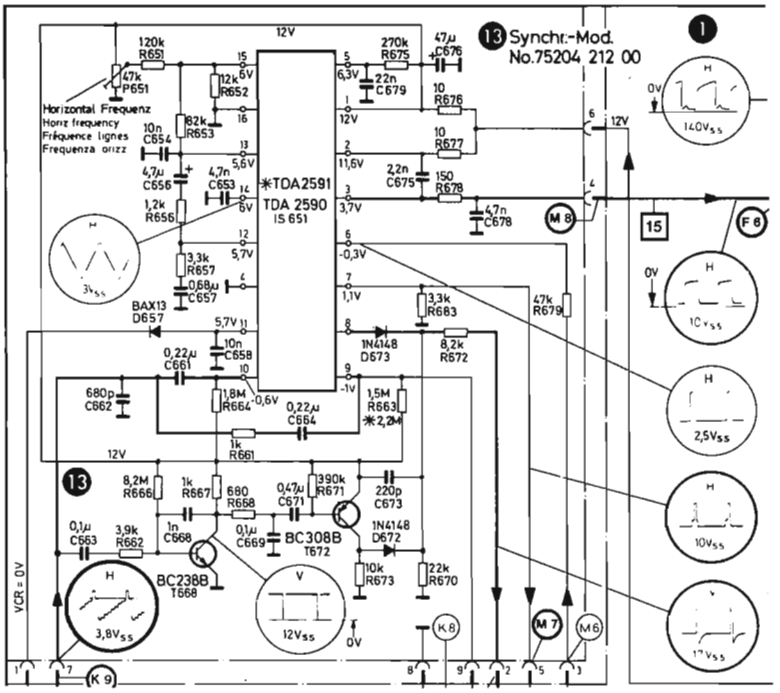


Fig. 4.2 - Schema elettrico della scheda sincronismi equipaggiata con il TDA 2590 (Saba CM).

sì prodotta, elaborata dal circuito sfasatore e modificata staticamente dalla tensione continua in arrivo al piedino 5, viene inoltrata al *formatore d'impulsi.*

Il circuito formatore degli impulsi di sand-castle riceve i segnali dell'oscillatore e di fly-back e fornisce, al piedino 7, il segnale a due livelli per l'estrazione del burst e per lo spegnimento delle ritracce orizzontali.

Per evitare un funzionamento irregolare del CI nella fase di accensione del televisore, un circuito di protezione "sente" la tensione di alimentazione, bloccando lo stadio d'uscita quand'essa è inferiore a 4V.

L'integrato è dotato di due *anelli di controllo* (Fig. 4.3) che provvedono a controllare la frequenza dell'oscillatore di riga (primo loop) e la fase del segnale di pilotaggio dello stadio finale (secondo loop).

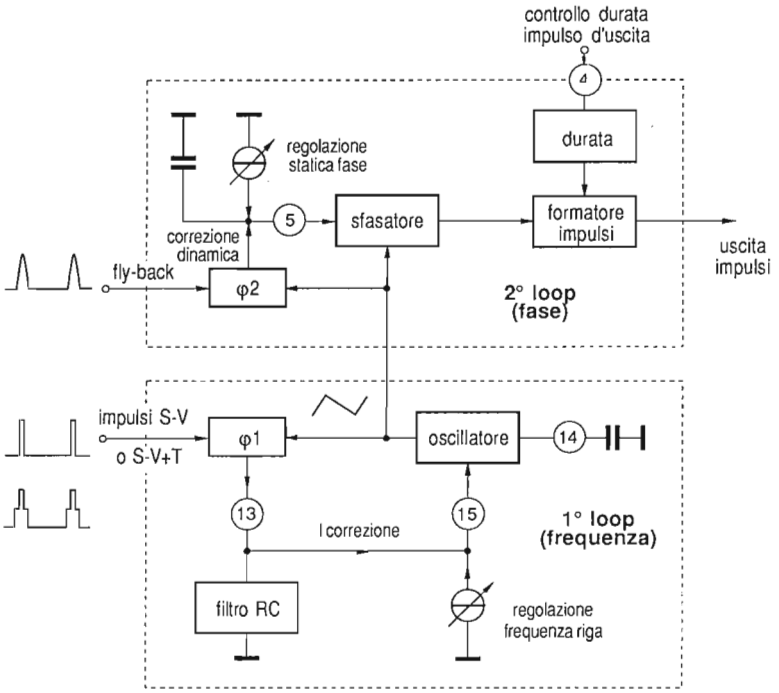


Fig. 4.3 - Nel TDA 2590 la frequenza di riga e la fase del segnale di pilotaggio dello stadio finale sono regolati dinamicamente da due anelli di controllo.

Nello schema d'impiego proposto, è presente uno stadio separatore di sincronismo verticale esterno che opera in parallelo con quello interno all'integrato. Il circuito comprende il transistor T668 che opera come separatore di sincronismi (essendo normalmente interdetto e portato in conduzione solo dalla parte positiva degli impulsi di sincronismo) e come integratore di Miller, per effetto della capacità C668 connessa tra collettore e base. Segue il transistor T672, con funzione di formatore, che provvede a squadrare il segnale in arrivo dall'integratore, proponendolo all'uscita in alternativa a quello proveniente dal pin 8 dell'integrato tramite la selezione operata dai diodi D672 e D673, connessi in modo da formare un circuito "OR".

La presenza del separatore esterno si rende particolarmente utile quando nel segnale captato dall'antenna sono presenti riflessioni che determinano una parziale cancellazione degli impulsi di sincronismo verticale. In questa situazione, la modesta costante di tempo presentata dal separatore interno potrebbe dar luogo ad impulsi di durata eccessivamente limitata e, in taluni casi, di presenza incerta.

4 - 1 - 1 Il TDA 2594

Questo integrato differisce dai precedenti della serie solo per possedere una sezione aggiuntiva di identificazione delle trasmissioni televisive, la cui uscita è utilizzata per bloccare il canale audio in fase di ricerca, anche quando il sistema di sintonia si blocca in corrispondenza di emittenti non televisive. Questa condizione di funzionamento è imposta dalla Norme tedesche, per evitare che nei televisori equipaggiati con sintonizzatori a copertura continua di banda si possano ascoltare le comunicazioni radio di polizia, militari ecc., che avvengono sulle frequenze esplorate in fase di ricerca.

La sezione di identificazione comprende uno stadio comparatore nel quale vengono messi a confronto gli impulsi provenienti dall'oscillatore di riga, aventi una durata di circa 8μs (impulsi T), con quelli di sincronismo provenienti dall'uscita del separatore e presenti ovviamente solo nel caso di ricezione di un segnale televisivo.

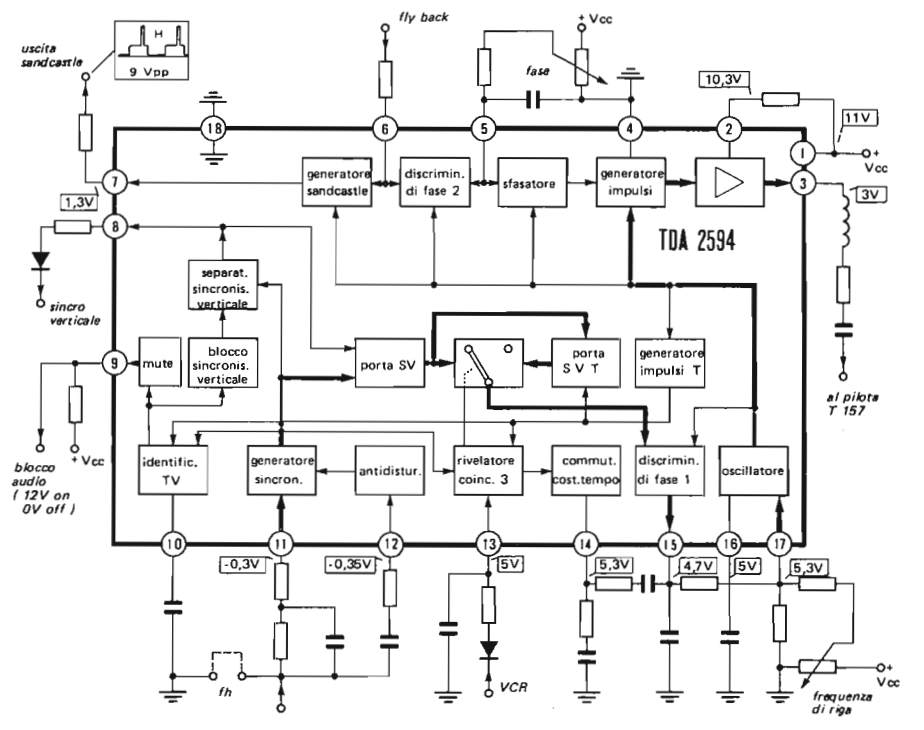


Fig. 4.4 - Schema a blocchi dettagliato dell'integrato TDA 2594.

Durante la fase di ricerca, se viene ricevuto un segnale non televisivo o semplicemente del rumore, non essendo verificata alcuna coincidenza stabile, l'uscita dell'amplificatore TV (pin 10) si mantiene ad un livello di tensione inferiore a 1V. Quando invece viene sintonizzata una stazione televisiva, l'uscita dello stesso circuito si porta ad un livello di tensione superiore a 7V. Il cambiamento della tensione al pin 10 determina la commutazione di un trigger, la cui uscita al pin 9 (del tipo a collettore aperto) dal livello basso si porta al livello alto nel caso di ricezione di segnale televisivo.

Questo segnale viene utilizzato per bloccare l'audio *(muting)* in fase di ricerca, per mezzo del controllo operato su un apposito piedino dell'integrato di FI audio; a volte all'azione di muting viene associata quella di spegnimento del quadro, ottenuta tramite opportuna inversione di fase del segnale e sua sovrapposizione al segnale di sand-castle presente al pin 7.

Altre volte, infine, nei televisori dotati di ricerca automatica, la tensione al pin 9 viene utilizzata per fornire al sistema di sintonia l'informazione di avvenuto aggancio di un'emittente televisiva, determinando in questo modo lo stop della ricerca veloce.

L'uscita dello stadio identificatore viene utilizzata internamente anche per pilotare un circuito di commutazione, che determina il blocco della sincronizzazione verticale in fase di ricerca: con ciò si evita la formazione di falsi impulsi di sincronismo verticale, che costringerebbero l'oscillatore verticale a funzionare in condizioni di incerta sincronizzazione.

4 - 2 IL TDA 2595

E' l'integrato più evoluto della serie. Tra l'altro, rispetto al precedente, esso include un separatore di sincronismi che adatta automaticamente il proprio livello di taglio in modo da farlo coincidere con il 50% dell'ampiezza degli impulsi di sincronismo di riga. Questo stadio (Fig. 4.5) comprende un circuito rivelatore del livello del nero che, per effetto dell'operazione di clamp, memorizza tale valore entro la capacità di accoppiamento del segnale video al pin 11. In questo modo, indipendentemente dalle caratteristiche del segnale ricevuto, si ottiene l'allineamento di tutti i piedistalli, durante l'intervallo di cancellazione di riga, su un predeterminato livello. Un altro circuito provvede, nello stesso intervallo, a misurare il livello degli impulsi di sincronismo: a questo punto, sommando al livello del nero prestabilito la metà dell'escursione nero-sincronismi, si ottiene un valore di tensione che coincide con la metà dell'ampiezza degli impulsi di sincronismo. Questo valore rappresenta il riferimento per un circuito comparatore, al cui secondo ingresso viene applicato il segnale video presente al pin 11.

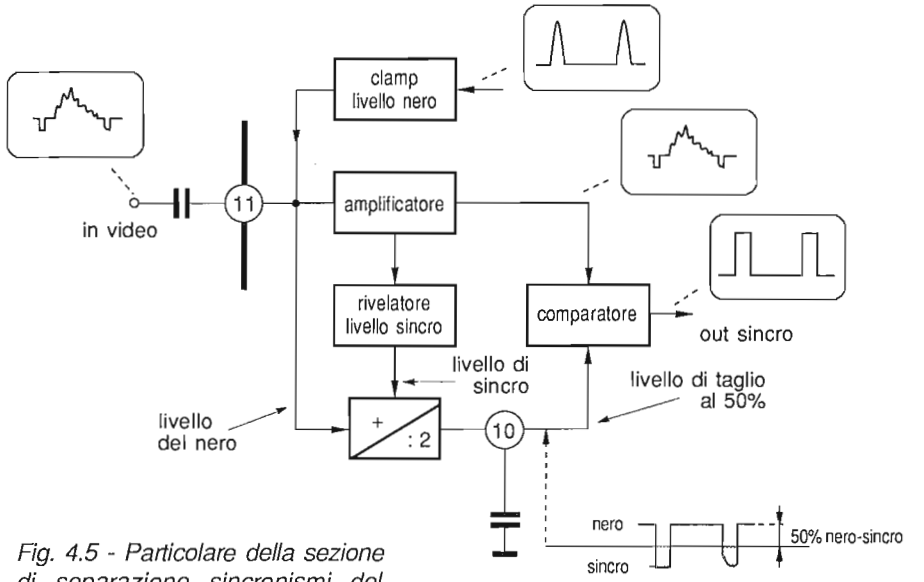


Fig. 4.5 - Particolare della sezione di separazione sincronismi del TDA 2595 che adatta automaticamente il livello di taglio al 50%.

Si ottiene in questa maniera un taglio esattamente al 50% dell'ampiezza dell'impulso di sincronismo e ciò per segnali video compresi tra 0,2 e 3Vpp, fino ad un contenuto minimo di sincronismo di 50mV. Si raggiunge così un ottimo stato di sincronizzazione dell'immagine, anche in presenza di segnali video fortemente disturbati da fruscio, riflessioni, cross-modulazione, oppure con impulsi di sincronismo fortemente compressi.

In Figg. 4.6 e 4.7 sono riportati lo schema a blocchi dettagliato ed uno schema tipico d'impiego del TDA 2595, che si riferisce al telaio Grundig CUC2401, del quale daremo ora una dettagliata descrizione.

Il segnale video, proveniente dalla sezione di FI video e con un'ampiezza di 1Vpp, entra al pin 11 dell'integrato dove incontra un amplificatore e quindi il separatore di sincronismi che, come si è detto più sopra, adatta automaticamente il livello di taglio al 50% dell'escursione nero-livello dei sincronismi, tramite agganciamento all'ingresso del livello del nero e rivelazione di quello dei sincronismi. Il livello di taglio viene memorizzato entro il condensatore collegato al pin 10. La separazione dei sincronismi verticali avviene in modo analogo, ma questa volta il livello di taglio è più basso e pari al 25%. Mediante integrazione interna, e tramite un circuito a so-

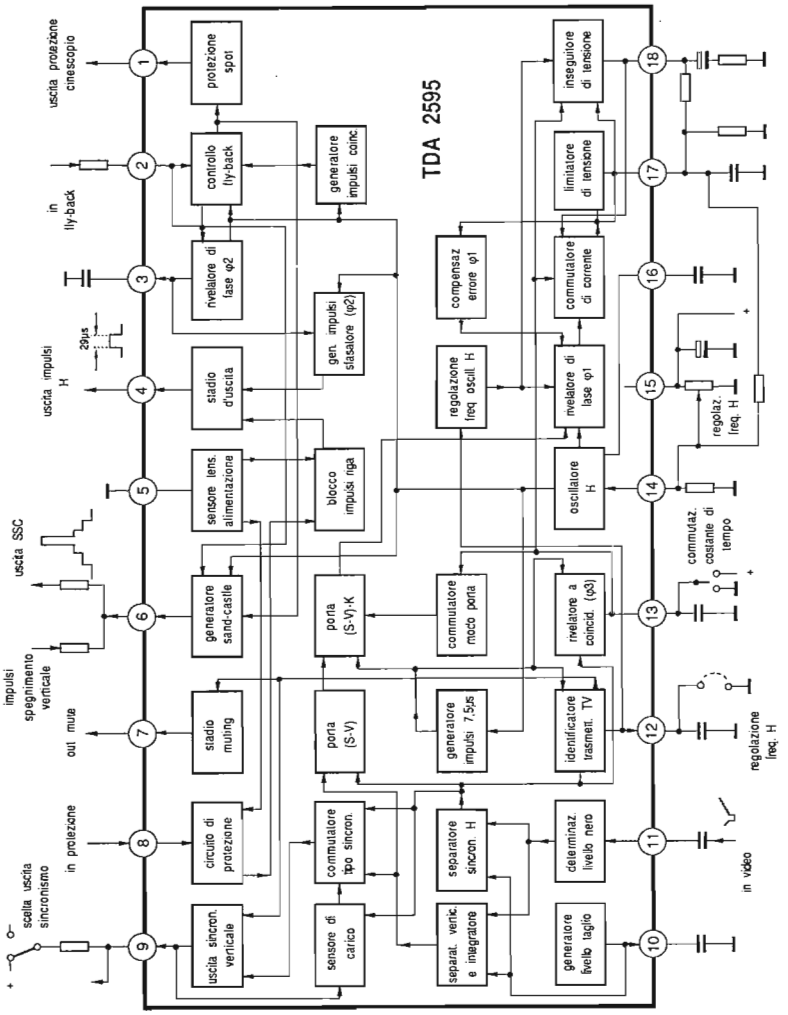


Fig. 4.6 - Schema a blocchi dettagliato dell'integrato TDA 2595.

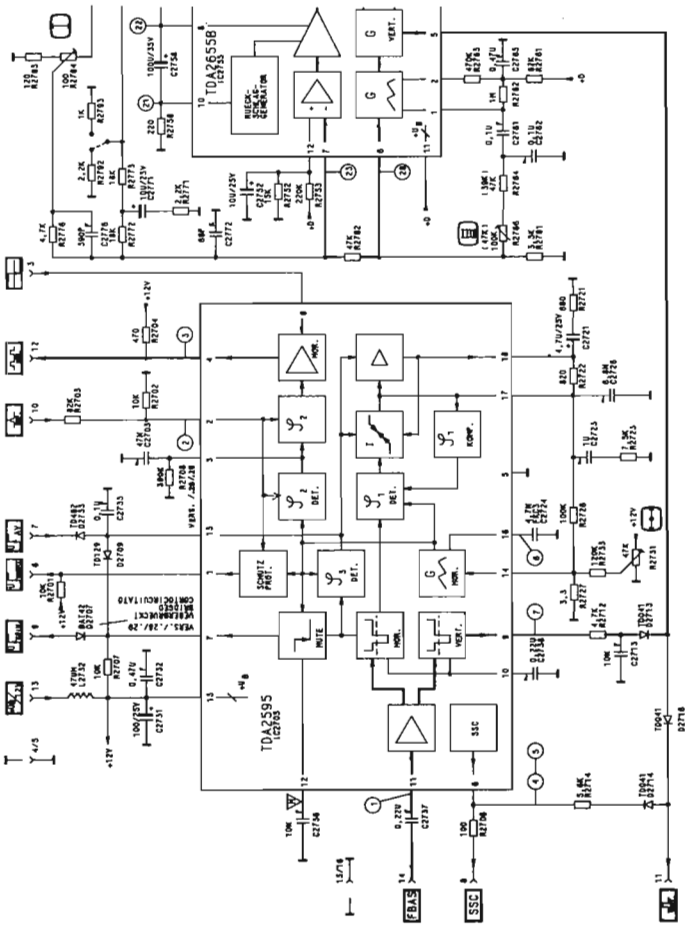


Fig. 4.7 - Scheda sincronismi equipaggiata con in TDA 2595 (Grundig CUC 2401).

glia, vengono estratti gli impulsi di sincronismo verticale che risultano così disponibili al pin 9. A seconda del carico presente su questo pin è possibile selezionare due modi diversi di funzionamento:

- nessun carico = uscita dei soli impulsi verticali (come nel caso in esame);
- 15kohm tra pin 9 e Vcc = uscita degli impulsi orizzontali e verticali non integrati.

Questi impulsi vengono inoltrati al pin 5 del TDA 2655 per la sincronizzazione dell'oscillatore verticale e al pin 6 dello stesso TDA 2595 per la formazione dell'impulso di super sand-castle (SSC).

Gli impulsi di sincronismo di riga vengono inviati direttamente o ad intervalli (funzionamento gated) al primo discriminatore di fase (φ1) che li confronta con i fianchi negativi della tensione a dente di sega prodotta dall'oscillatore di riga. Il discriminatore è controllato da un rivelatore a coincidenza che mette a confronto gli impulsi di sincronismo di riga con gli impulsi ricavati dall'oscillatore orizzontale.

In caso di coincidenza, il circuito riduce la "finestra" di funzionamento del primo discriminatore e mantiene alta la costante di tempo del filtro presente al pin 17, presentando tra il pin 18 e massa un alto valore di impedenza. Al contrario, in caso di assenza di coincidenza, viene ampliata la finestra del primo discriminatore e ridotta a pochi ohm la resistenza d'uscita al pin 18: ciò determina una riduzione considerevole della costante di tempo dell'anello di CAF e quindi una sua maggiore rapidità di intervento. Questa condizione può essere imposta dall'esterno portando a livello L il pin 13, ad esempio quando viene riprodotto un segnale da videoregistratore (AV).

L'oscillatore orizzontale è del tipo RC con commutatore a valore di soglia. La sua frequenza di libera oscillazione è determinata dal valore di resistenza al pin 14 e dalla capacità al pin 16. La regolazione della frequenza di riga viene effettuata agendo su R2731 dopo aver collegato a massa il pin 12.

In un secondo discriminatore di fase (φ2) avviene il confronto tra gli impulsi di flyback di riga, introdotti tramite il pin 2, e una tensione di riferimento prodotta dall'oscillatore orizzontale. La tensione d'uscita viene filtrata al pin 3 e inoltrata al circuito generatore dell'impulso orizzontale che, amplificato, risulta disponibile al pin 4.

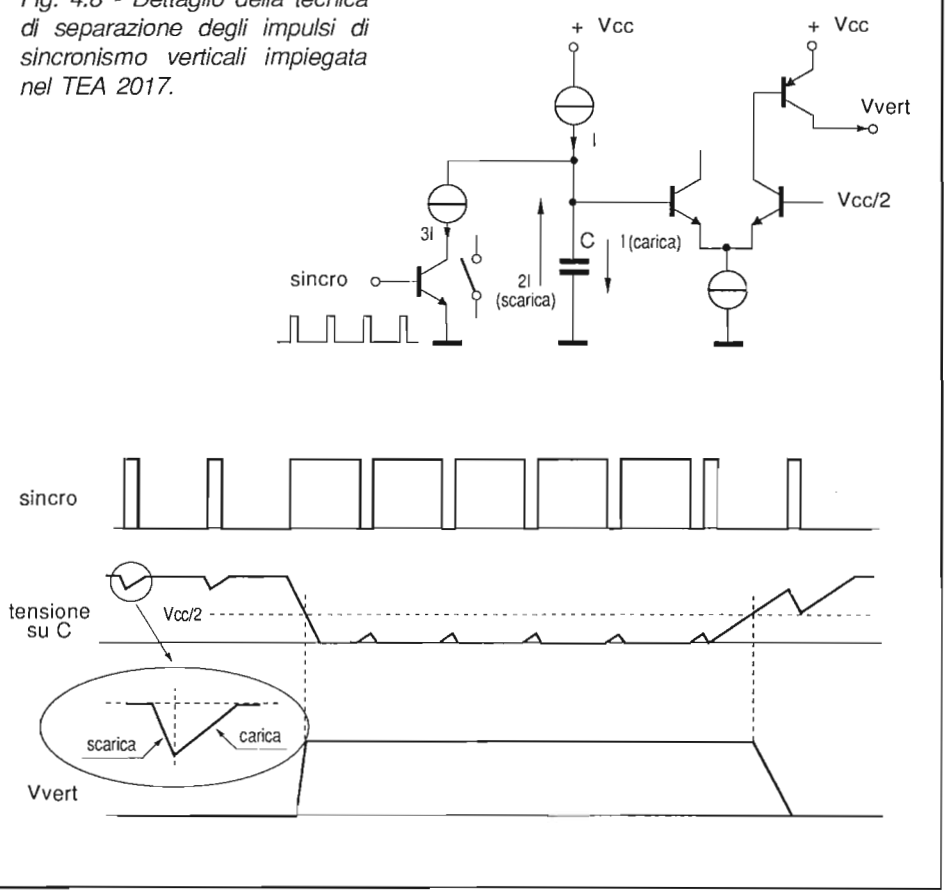
Nel caso in cui al pin 8 pervenga un livello L, dovuto ad esempio ad un eccesso della corrente catodica del cinescopio, si ha il blocco dell'impulso di pilotaggio orizzontale e quindi della relativa deflessione. Analogamente, si ha il blocco anche nella prima fase di funzionamento dell'apparecchio, quando la tensione di alimentazione non ha raggiunto un livello tale da assicurare il regolare funzionamento.

L'integrato è dotato pure di un circuito che verifica la presenza dell'impulso di flyback. In caso di assenza, ad esempio in fase di spegnimento del televisore, viene portato a livello H il pin 1, con conseguente spegnimento del punto luminoso del cinescopio.

Al pin 6 è presente l'impulso di sand-castle a 3 livelli, utilizzato nella scheda di crominanza per l'estrazione del burst e per lo spegnimento di riga e di quadro.

Il TDA 2595 dispone anche di una sezione circuitale per l'*identificazione di segnali televisivi*. Essa opera in modo analogo al rivelatore di coincidenza, verificando la contemporaneità degli impulsi provenienti dal separatore di sincronismi e di quelli ottenuti dall'oscillatore di riga. In caso di coincidenza, il pin 12 si porta a circa 7V mentre si mantiene al di sotto di 1V in caso contrario. Questa variazione produce la commutazione dello stadio di "mute", che presenta un'alta impedenza nel primo caso ed un valore basso nel secondo. Il relativo segnale, inoltrato nella scheda audio, produce il blocco (o l'attivazione) del suono ed in quella di sintonia la ricerca (o l'arresto).

Fig. 4.8 - Dettaglio della tecnica di separazione degli impulsi di sincronismo verticali impiegata nel TEA 2017.



4 - 3 LA SINCRONIZZAZIONE VERTICALE

Nella maggior parte dei circuiti integrati utilizzati per l'elaborazione dei sincronismi, lo stadio separatore degli impulsi di sincronismo verticale si compone di un circuito integratore, operante sul principio della carica e scarica a correnti costanti, ma differenti, di una capacità integrata. In Fig. 4.8 è indicato lo schema di principio dell'integratore verticale contenuto nel TEA 2017.

Il condensatore C viene caricato a corrente costante da un generatore di corrente I nell'intervallo di separazione tra gli impulsi di sincronismo, e scaricato da un secondo generatore d'intensità tripla (3I) connesso ai capi di C tramite un transistor reso conduttore dagli impulsi di sincronismo applicati alla sua base.

Ai capi di C viene così a localizzarsi una tensione caratterizzata da una successione di tratti lineari di scarica e carica che presentano pendenze una doppia dell'altra, a causa del rapporto 2 a1 esistente tra i valori delle corrispondenti correnti risultanti. Come si vede dalla Fig. 4.8, solo durante gli impulsi di sincronismo di quadro, però, la tensione risultante su C scende sotto il valore di soglia Vcc/2 del successivo comparatore, determinandone la commutazione. All'uscita Vvert è così disponibile un impulso della durata di circa 190μs, con un ritardo tipico, rispetto al fronte del primo impulso di quadro, di circa 10μs.

Questa tecnica è però efficace solo nei casi di ricezione di segnali di buona qualità; purtroppo, in presenza di disturbi intensi, cross-modulazione, riflessioni, ecc., il segnale d'uscita risulta incerto, saltellante e, in certi casi, addirittura assente.

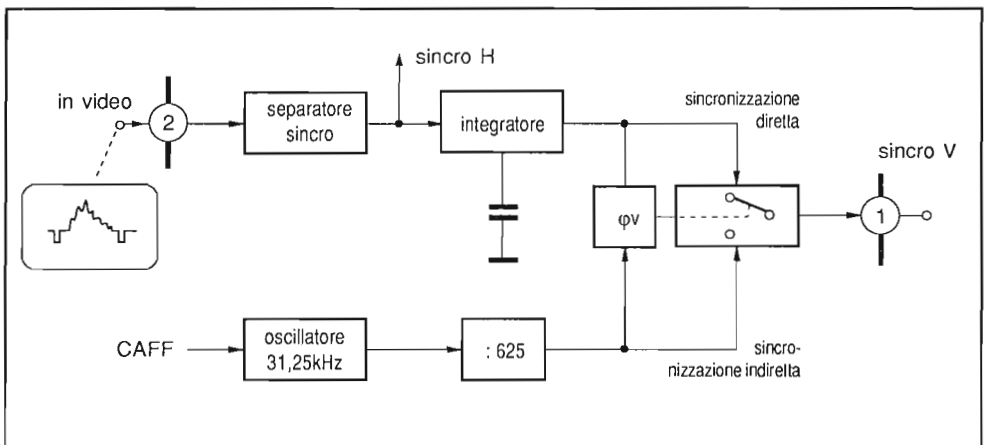


Fig. 4.9 - Tecnica di sincronizzazione diretta e indiretta adottata nel TDA 2571.

La situazione viene migliorata adottando al separatore di sincronismi un livello di taglio più vicino a quello del nero, come si è detto nel paragrafo precedente, oppure ricorrendo a una doppia integrazione dell'impulso verticale. Una tecnica completamente diversa, e per certi versi innovativa, è invece quella adottata nel TDA 2571, il cui principio può essere facilmente compreso con l'aiuto della Fig. 4.9. L'integrato contiene un'oscillatore che opera ad una frequenza di 31,25kHz, pari a due volte quella di riga, agganciato in fase agli impulsi di sincronismo di riga tramite un adeguato comparatore di fase. Per mezzo di un divisore per 625 si ottiene un segnale impulsivo a 50Hz che, nel caso di segnali a norma, coincide con l'impulso di sincronismo verticale. Un circuito comparatore di fase (φ_V) mette a confronto i segnali d'uscita del comparatore e del divisore e, nel caso verifichi la coincidenza temporale dei due segnali, forza il commutatore in modo che al pin 1 sia presente l'impulso d'uscita del contatore. Si attua in questa maniera la sincronizzazione indiretta dell'oscillatore verticale, caratterizzata da alta stabilità e insensibilità ai disturbi.

Se invece gli impulsi di quadro non sono in fase con quelli provenienti dal divisore, il commutatore invia all'oscillatore verticale gli impulsi prodotti dall'integratore, attuando in questa maniera la *sincronizzazione diretta* dell'oscillatore verticale.

4 - 4 IL TDA 2579 ED IL RICONOSCIMENTO AUTOMATICO DELLO STANDARD 50/60Hz

Il TDA 2579 è un integrato di recente produzione, nel quale sono compendiate le tecniche più sofisticate per la sincronizzazione di riga e di quadro, e quella per il riconoscimento automatico della frequenza di scansione verticale, come richiesto dai moderni televisori multistandard.

In Fig. 4.10 è riportato lo schema a blocchi del TDA 2579. Il circuito realizza le funzioni di:

- separatore di sincronismi con invertitore di disturbi;
- separatore di sincronismo verticale;
- identificatore di segnali TV a 50/60Hz, combinata con la funzione di muting;
- oscillatore di riga;
- rivelatore di fase tra gli impulsi di sincronismo di riga ed il segnale dell'oscillatore, con commutazione automatica della rapidità di risposta;
- comparatore di fase tra gli impulsi di fly-back ed il segnale dell'oscillatore;

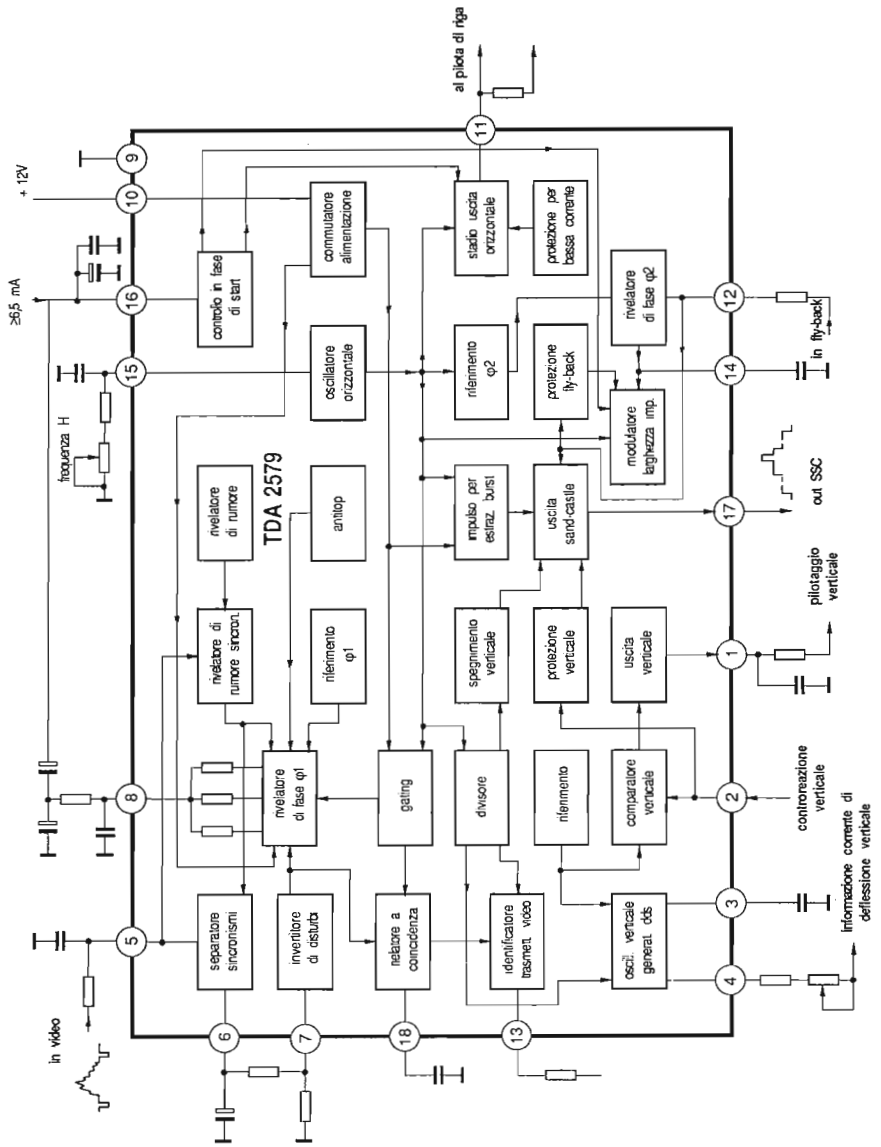


Fig. 4.10 - Schema a blocchi dettagliato dell'integrato TDA 2579.

- generatore degli impulsi di pilotaggio del driver di riga con duty-cycle costante;
- generatore di impulsi di sand-castle a 3 livelli;
- generatore di frequenza verticale a 50 o 60Hz per divisione della frequenza di riga, con commutazione automatica.

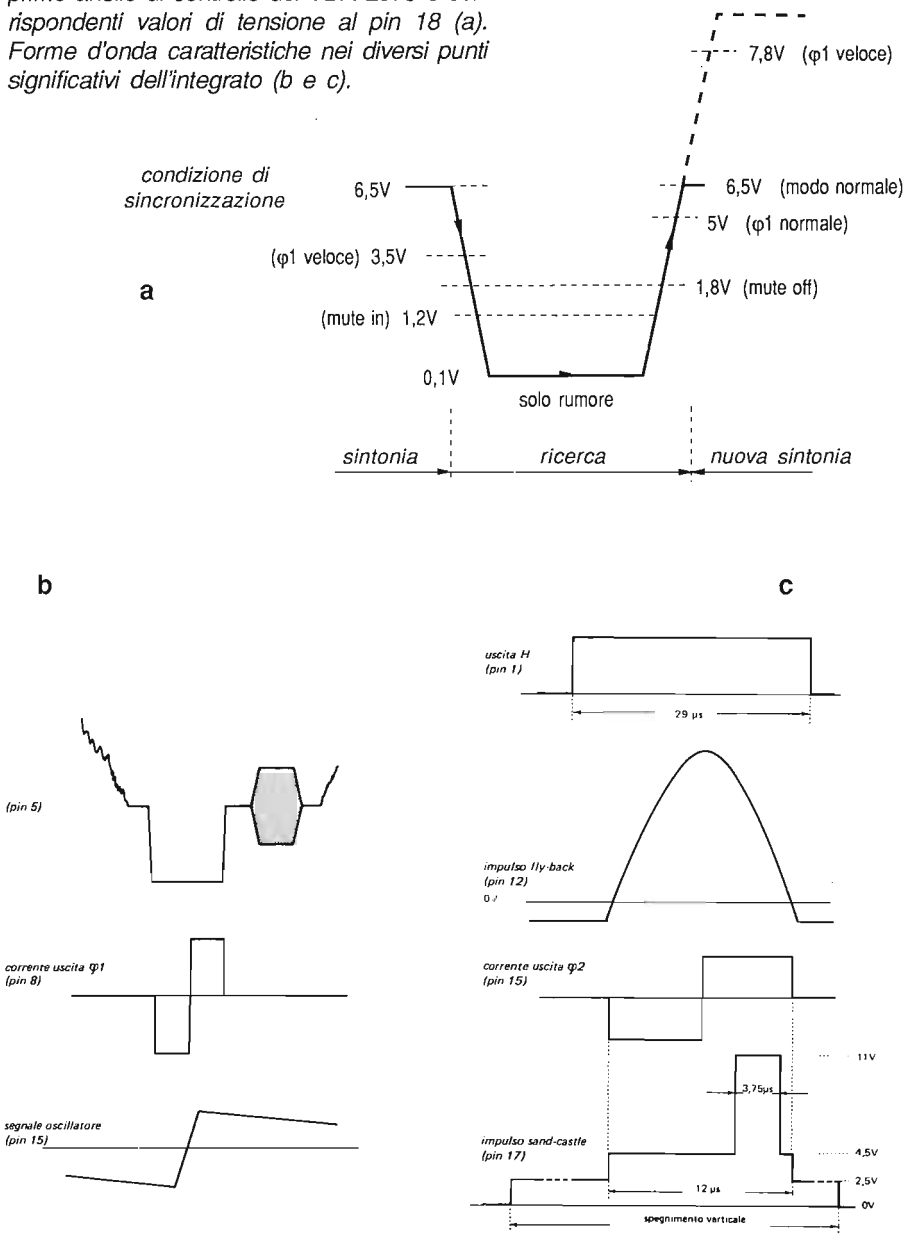
Il segnale video composito proveniente dalla sezione FI video giunge al pin 5 dell'integrato dopo aver attraversato un filtro passa-basso che elimina eventuali disturbi a frequenza elevata. Da qui il segnale entra nel separatore di sincronismi, di tipo analogo a quello descritto in dettaglio per il TDA 2595, che adatta automaticamente il livello di taglio a circa il 50% dell'escursione tra il picco dei sincronismi ed il livello del nero, quest'ultimo rivelato con un circuito gated e "memorizzato" entro il condensatore facente capo al pin 7. In tal modo è assicurata la migliore separazione dei sincronismi dal segnale video, praticamente in qualunque condizione di ricezione. Durante l'intervallo di ritorno di quadro, il livello di taglio viene ridotto, migliorando sensibilmente la separazione dei relativi impulsi di sincronismo.

Il *separatore* opera in associazione con un invertitore di disturbi che entra in azione quando il livello al pin 5 scende sotto 0,7V. L'integrato è dotato inoltre di un rivelatore che misura l'ampiezza del segnale di disturbo (rumore) al centro dell'impulso di sincronismo di riga. Quando il livello del disturbo supera i 600mVpp, viene attivato un contatore: se almeno 12 impulsi su 16 presentano un disturbo inferiore a 600mVpp, per due quadri successivi, il segnale ricevuto viene classificato "accettabile". In caso contrario viene generato un segnale che produce, tramite un circuito di gate, la diminuzione della rapidità di risposta del primo rivelatore di fase della sezione di riga ed il contemporaneo adattamento della costante di tempo del circuito integratore di quadro.

La stabilità del circuito di deflessione di riga viene assicurata da *due anelli* (loops) di controllo. Il primo comprende un rivelatore di fase nel quale vengono confrontati gli impulsi di sincronismo provenienti dal separatore con un segnale di riferimento ottenuto dall'oscillatore di riga. La rapidità di risposta del sistema è determinata automaticamente, sia dal valore di tensione presente al pin 18 (quindi dallo stato del circuito di identificazione), che dallo stato del circuito di rivelazione di disturbo di cui si è detto sopra.

Valutiamo con un esempio pratico il modo di operare del primo loop. Se il televisore è correttamente sintonizzato su un segnale televisivo, al pin 18 è presente una tensione di 6,5V. In queste condizioni sarà operativo il secondo comparatore di fase ($\varphi 2$), mentre risulterà disattivato il circuito di mute. Quando viene avviata la ricerca, oppure si opera un cambiamento di canale, la tensione al pin 18 (Fig. 4.11a) incomincia a diminuire: al passaggio per 3,5V, il comparatore $\varphi 1$ viene commutato su una costante di tempo più bassa, risultando così più veloce la sua reazione, mentre al raggiungimento di 1,2V si ha l'attivazione del circuito di muting. Se poi non viene incontrata alcuna stazione, la tensione scende a circa 0,1V ed a questo livello si

Fig. 4.11 - Condizioni di funzionamento del primo anello di controllo del TDA 2579 e corrispondenti valori di tensione al pin 18 (a). Forme d'onda caratteristiche nei diversi punti significativi dell'integrato (b e c).



mantiene fino a quando viene incontrato un nuovo segnale televisivo. In questa fase, la tensione al pin 18 riprende a salire fino a portarsi al precedente valore di 6,5V. Al raggiungimento di 1,8V viene disattivato il circuito di mute e l'uscita al pin 13 si porta al livello L, interdicendo il transistor ivi collegato il cui effetto è di far ricomparire l'audio e di bloccare la ricerca veloce per attivare invece la sintonia fine automatica.

Contemporaneamente, *il contatore verticale*, di cui si dirà tra breve, si dispone su una finestra di reset più ampia. Al raggiungimento di 5V, al pin 18 (all'incirca dopo 15ms) il contatore di quadro viene bloccato e la costante di tempo del primo loop di controllo commutata da bassa (sistema veloce) a normale. Nel caso in cui il segnale ricevuto sia debole e quindi rumoroso, viene attivato il rivelatore di rumore e così la tensione al pin 18 sale a circa 10V. Al superamento della soglia di 7,8V, il rivelatore di fase viene reso più lento, aumentandone la costante di tempo. Queste condizioni possono, naturalmente, essere imposte dall'esterno forzando la tensione al pin 18.

L'*oscillatore orizzontale* opera ad una frequenza determinata dai valori della rete RC connessa al pin 15, e fornisce una rampa che viene tradotta in un'onda rettangolare tramite un circuito a soglia. Questo è controllato dal secondo rivelatore di fase, che mette a confronto il segnale dell'oscillatore di riga con quello di fly-back in arrivo al pin 12. La tensione di errore modifica la fase dell'onda rettangolare d'uscita, compensando le fluttuazioni del tempo di immagazzinamento dello stadio finale di riga. Regolando la tensione al pin 14 è così possibile modificare la posizione dell'immagine in senso orizzontale.

L'integrato è dotato di un *circuito di start* che assicura il funzionamento dell'oscillatore di riga e dello stadio d'uscita applicando una tensione al pin 16 con un modesto assorbimento di corrente (5,5mA). Ciò permette l'avvio dello stadio di deflessione di riga e la successiva alimentazione delle parti rimanenti dell'integrato, tramite questo stadio, attraverso il pin 10.

Veniamo ora alla sezione verticale. Il TDA 2579 impiega un circuito divisore sincrono per produrre il dente di sega verticale. La frequenza del segnale di riga viene dapprima raddoppiata e quindi divisa con un rapporto compreso entro un certo intervallo *(finestra)*, producendo l'impulso a 50 o 60Hz per il pilotaggio del generatore di rampa. In questo modo non è richiesta alcuna regolazione della sincronizzazione verticale.

In condizioni di funzionamento stazionario, quando il televisore è correttamente sincronizzato, ciascun impulso di sincronismo verticale produce il reset del contatore (dopo 16,67ms per segnali a 60Hz e 20ms per quelli a 50Hz). La logica di decodifica compresa nel contatore genera gli impulsi per la scarica della rampa e per la cancellazione verticale, a partire dagli istanti richiesti (linea 0 nel diagramma di Fig. 4.12).

Per incrementare l'immunità ai disturbi, gli impulsi di sincronismo vengono accettati dal contatore se risultano presenti all'interno di una prestabilita "finestra". All'inizio, quando solo l'oscillatore orizzontale è agganciato, tali impulsi hanno a disposizione un'ampia finestra che si estende all'incirca da 15 a 23ms. Quando un impulso di sincronismo verticale viene a cadere all'interno di questa finestra, determina il reset del contatore (Fig. 4.13a); se poi anche i successivi impulsi cadono entro la finestra, si ottiene la sincronizzazione della scansione verticale. Al contrario, se l'impulso non è presente o cade al di fuori della finestra, si ha l'auto-reset del contatore in corrispondenza della 361ª riga e la deflessione verticale verrà così ad operare ad una frequenza di circa 43,5Hz.

All'interno della finestra di cui si è appena detto, sono presenti altre due finestre molto più ristrette che servono al riconoscimento dello standard. La prima copre l'intervallo 16,5÷16,7ms, entro il quale cadranno gli impulsi di sincronismo verticali dello standard a 60Hz; la seconda si estende da 19,9 a 20,1ms ed è adattata allo standard a 50Hz.

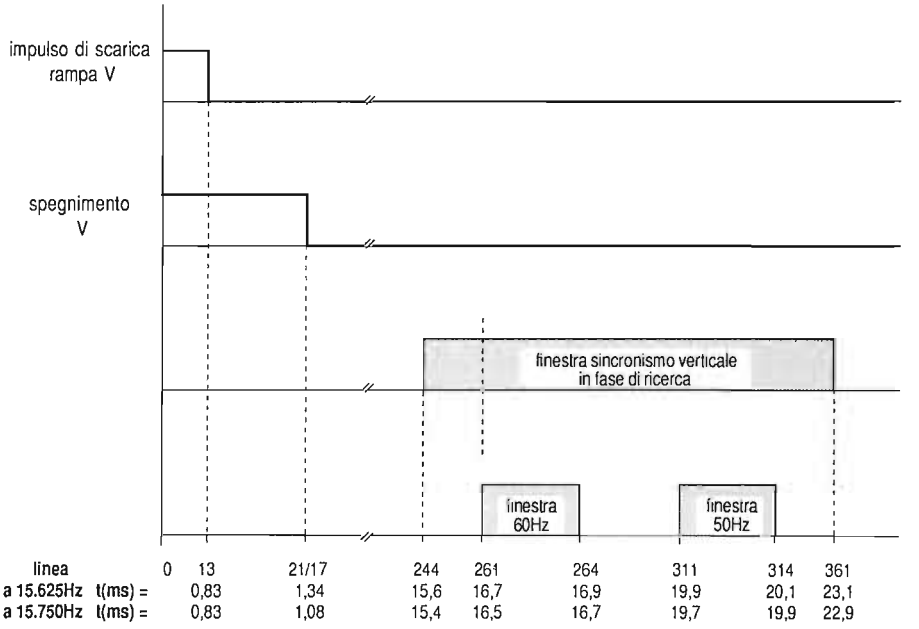


Fig. 4.12 - Funzionamento a "finestre" della sezione di riconoscimento della frequenza verticale presente nel TDA 2579.

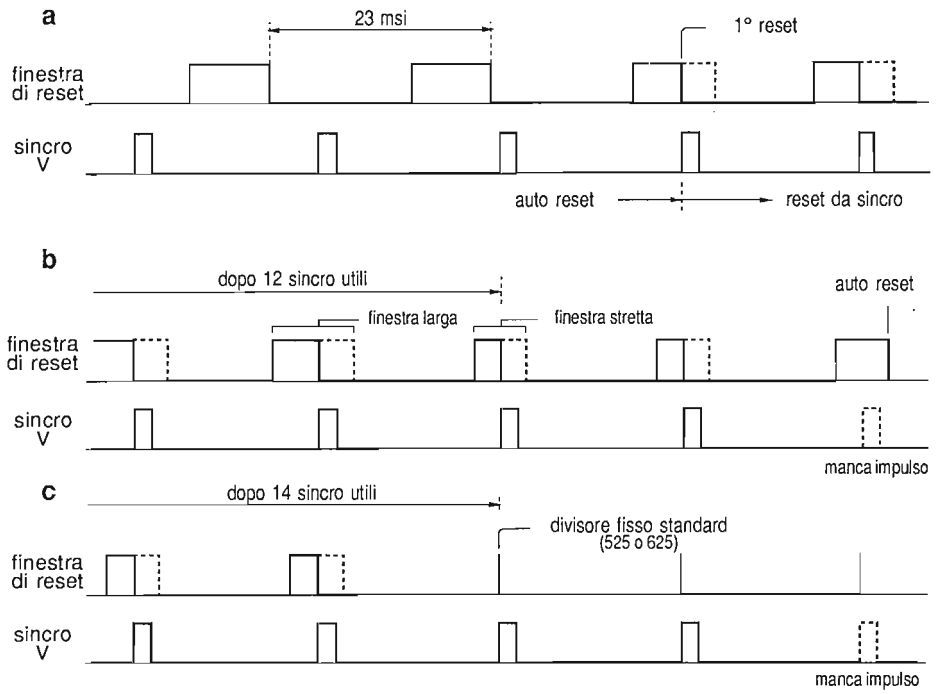


Fig. 4.13 - L'ampiezza della finestra di reset del contatore viene progressivamente ridotta, fino al raggiungimento del rapporto fisso, in presenza di impulsi di sincronismo verticali stabili.

Se il segnale video ricevuto è a Norma, il corrispondente impulso verticale cadrà entro la finestra più ampia, determinando il reset del contatore, e anche all'interno di una delle due finestre di riconoscimento, determinando la produzione di un impulso di clock che incrementa il conteggio di un contatore avanti-indietro.

Al raggiungimento del 12° conteggio utile consecutivo (Fig. 4.13b), viene riconosciuta la frequenza ed il sistema si dispone automaticamente sulla finestra stretta di reset corrispondente. Se in questa situazione viene a mancare un impulso di sincronismo, il reset del contatore ha luogo in corrispondenza del limite superiore della finestra ristretta; contemporaneamente il contatore avanti-indietro viene decrementato di un'unità. Questo modo di operare continua fino a che il contenuto del contatore avanti-indietro scende al di sotto di 1, nel qual caso il sistema commuta portandosi a lavorare sulla finestra più ampia.

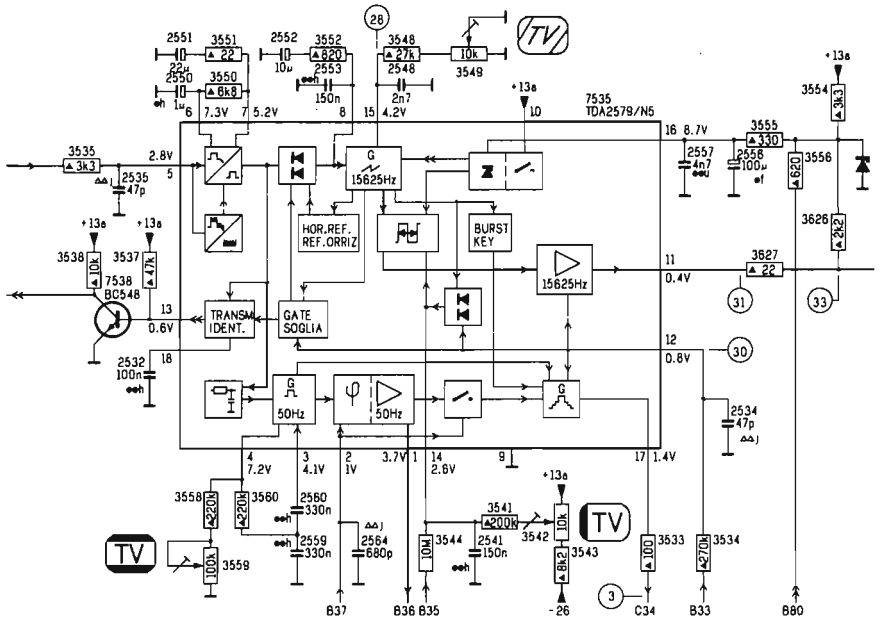


Fig. 4.14 - Impiego del TDA 2579 nella sezione sincronismi di un televisore Philips - A2. L'integrato, tra l'altro, riconosce lo standard di trasmissione e provvede automaticamente alle commutazioni necessarie.

Se poi il contenuto del contatore raggiunge il valore di 14 (Fig. 4.13c), il sistema si predispone sul rapporto di divisione standard (625 per i sistemi a 50Hz e 525 per quelli a 60Hz). Questo modo di operare viene mantenuto anche se dovesse mancare qualche impulso di sincronismo, e comunque fino a quando il contenuto del contatore avanti-indietro non scende sotto le 10 unità, nel qual caso il sistema si dispone automaticamente ad operare sulla finestra più ampia.

La produzione del dente di sega verticale è ottenuta caricando velocemente, a corrente costante, la capacità collegata al pin 3 a partire dall'istante di reset del divisore e per un tempo determinato dalla logica di controllo dello stesso divisore. La tensione del condensatore viene inoltrata ad un comparatore, anch'esso attivato nell'istante di reset. Quando questa tensione raggiunge 5,5V (50Hz) o 4,7V (60Hz) la carica viene bloccata fino all'istante in cui ha inizio la scarica lenta tramite un transi-

stor npn, il cui valore di corrente è determinato dalla resistenza connessa tra il pin 4 e massa. Modificando il valore di questo componente è in tal modo possibile regolare l'ampiezza della deflessione verticale.

Al pin 2 viene riportata la tensione di feed-back dallo stadio finale per la linearizzazione della deflessione e la stabilizzazione in continua del funzionamento dell'intero stadio verticale. L'integrato è dotato di un circuito di sicurezza che interviene quando la tensione di feed-back al pin 2 scende sotto i 0,4V o supera 1,9V, inserendo una tensione continua di 2,5V all'uscita 17 del segnale di sand-castle che determina lo spegnimento del cinescopio.

In condizioni normali, l'impulso di sand-castle è caratterizzato da 3 livelli (Fig. 4.11c), precisamente:

- 11V utilizzato per l'estrazione del burst e per il clamp del nero;
- 4,5V per lo spegnimento di riga;
- 2,5V per lo spegnimento di quadro.

In Fig. 4.14 è proposto uno schema pratico d'impiego del TDA 2579 nel telaio Philips - A2.

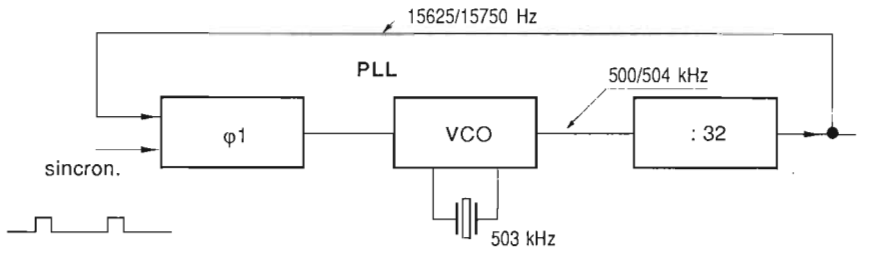


Fig. 4.15 - Schema a blocchi del PLL, con risuonatore ceramico come riferimento, per la sincronizzazione dell'oscillatore di riga nel TDA 3586.

4 - 5 IL TDA3586

Un integrato simile a quello appena descritto, ma dotato di caratteristiche di stabilità notevolmente migliorate è il TDA 3586.

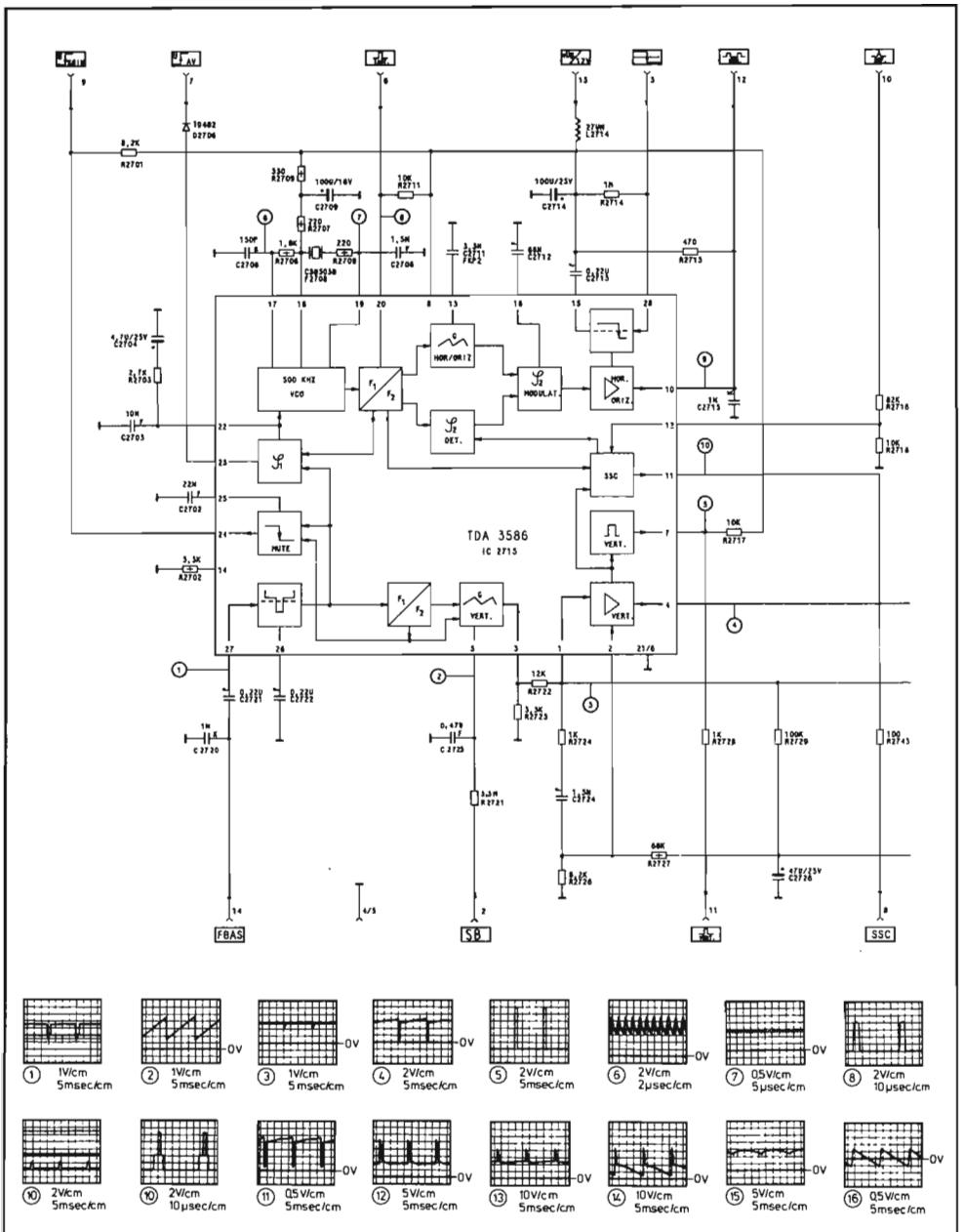


Fig. 4.16 - Schema a blocchi e circuito d'impiego del TDA 3586 nella scheda sincronismi del televisore Grundig CUC2800.

In questo, per assicurare una maggiore stabilità di funzionamento, viene utilizzato un oscillatore principale, controllato da un anello PLL, avente un risuonatore piezoceramico a 503kHz come elemento di riferimento. Con l'impiego di stadi digitali di conteggio e di temporizzazione, vengono completamente eliminate le regolazioni di frequenza e fase delle sezioni orizzontale e verticale. Il circuito è in grado di adeguarsi automaticamente agli standars europei a 625 linee (15625Hz/50Hz) ed americano a 525 linee (15750Hz/60Hz), ed è quindi adatto all'impiego nella sezione sincronismi dei televisori multistandard.

La frequenza dell'oscillatore risulta di 504kHz per i segnali a 525 linee e di 500kHz per quelli a 625 linee, ed è agganciata in frequenza e fase agli impulsi di sincronismo di riga del segnale ricevuto (Fig. 4.15), tramite il comparatore $\varphi 1$. Essa viene portata al valore corretto per mezzo di un divisore per 32 (contatore a 5 bit), che provvede pure alla formazione dei segnali impulsivi di temporizzazione. Per la generazione dei segnali di sincronizzazione verticale viene utilizzata la tecnica di reset di un contatore a 9 bit con finestre di conteggio prestabilite, già descritta in dettaglio nel paragrafo precedente.

In Fig. 4.16 è riportato lo schema d'impiego del TDA 3586 nel telaio Grundig CUC2800.

capitolo quinto

LA SEZIONE DI DEFLESSIONE VERTICALE

5 - 1 INTRODUZIONE

Lo stadio di deflessione verticale ha il compito di generare una corrente a dente di sega di andamento opportuno, tale da assicurare una deflessione lineare in senso verticale dei tre fascetti del cannone elettronico. L'entità dell'escursione picco a picco della corrente di deflessione è determinata dall'esigenza di produrre un campo magnetico, all'interno di una certa superficie, di intensità sufficiente a garantire la completa deflessione dei fascetti.

L'evoluzione dei cinescopi, in particolar modo per quanto riguarda il diametro del collo (sceso dai 36,5mm del 20AX e 30AX ai 29,1mm dei 45AXe dei tipi "flat-square" a grande schermo e a 22,5mm per quelli a piccolo schermo), ha portato ad una riduzione progressiva dell'entità dell'energia richiesta per la completa deflessione, come è indicato in Tab. 5.1 relativamente ad alcuni gioghi di produzione Philips. Tale riduzione è di circa il 35% per i cinescopi a piccolo schermo e superiore al 20% per quelli a grande schermo.

Parallelamente, si è ridotta anche l'escursione picco a picco della corrente richiesta per la completa deflessione, rendendo più semplice la realizzazione di stadi finali integrati e più affidabile il loro funzionamento. L'uso generalizzato del "fly-back booster", all'interno dei circuiti integrati utilizzati per la deflessione verticale, ha per-

Tab. 5.1 - La riduzione del diametro del collo del cinescopio porta ad una sensibile diminuzione dell'energia richiesta per la deflessione.

cinescopio	collo (mm)	giogo	Lv (mH)	Rv (Ω)	τ=L/R (ms)	Ipp (A)	energia (mJ)
16"	29.1	AT 1206/20	29.1	11	2.64	0.97	3.40
	22.5	AT 6060/00	26.2	12.2	2.14	0.82	2.20
26"	36.5	AT 1870	9.7	5.85	1.65	2.0	4.85
	29.1	AT 6000/01	11	6.5	1.69	1.7	3.97

messo di controllare in modo estremamente preciso la durata del ritorno verticale, riducendo altresì la dissipazione di potenza nello stadio finale rispetto al caso di alimentazione costante.

Con riferimento alla Fig. 5.1, osserviamo infatti che la tensione ai capi delle bobine verticali nel periodo di ritraccia presenta un valore rilevante in conseguenza della relativamente brusca variazione della corrente di deflessione che si manifesta durante i ritorni. L'ampiezza minima di questa tensione (di ritraccia) si presenta nel caso di andamento lineare e, in base alla legge di Lenz, vale:

$$V_{RV} = L \cdot \frac{I_{pp}}{t_R}$$

Prendendo ad esempio il giogo AT 1870 utilizzato nei cinescopi 30AX, se riteniamo di esaurire la fase di ritorno in 1ms, otteniamo per V_{RV} un valore di 19,4V. A questa tensione va sovrapposta quella richiesta durante la scansione per sopperire alle perdite resistive delle bobine:

$$V_{TV} = R_V \cdot I_{pp} + L \cdot \frac{I_{pp}}{t_T}$$

circa 12V nel caso esaminato.

Questa tensione di forma trapezoidale deve essere applicata al giogo tramite lo stadio finale contenuto nell'integrato, operante in classe B e del tipo a simmetria complementare o single-ended. Come si nota dalla figura, durante la fase di ritraccia T1 risulta saturo e quindi la potenza dissipata, in prima approssimazione, è trascurabile. Nella prima fase della scansione è sempre T1 a condurre, ma ora la po-

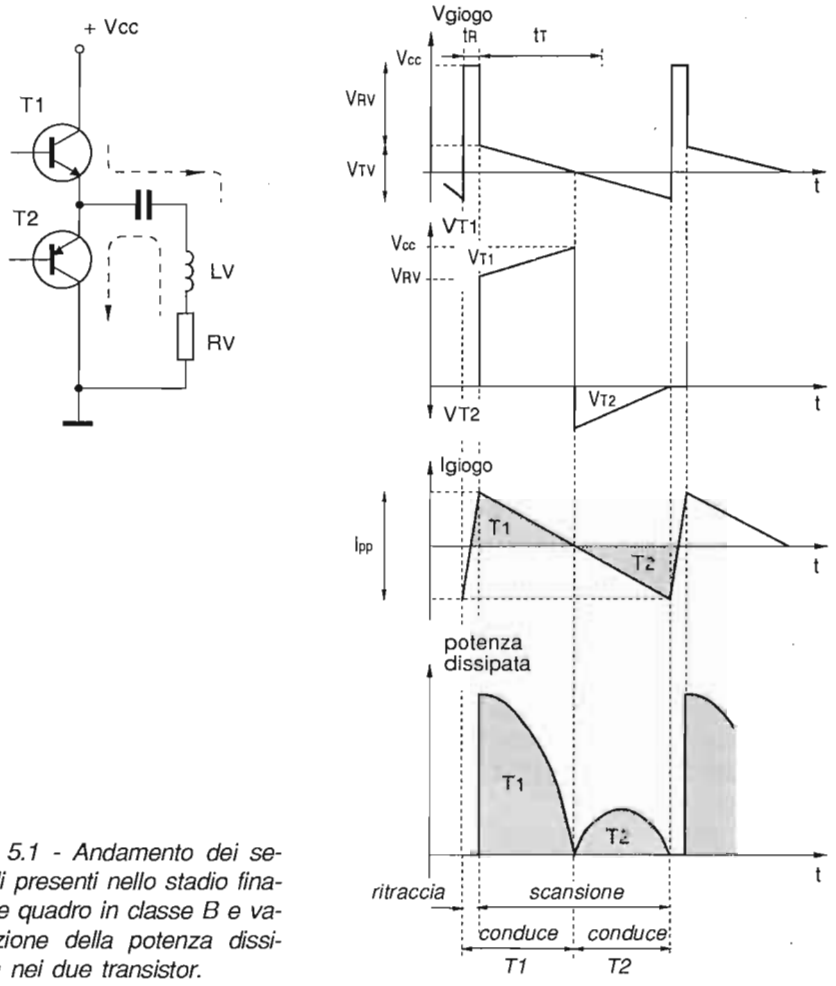


Fig. 5.1 - Andamento dei segnali presenti nello stadio finale de quadro in classe B e valutazione della potenza dissipata nei due transistor.

tenza dissipata è considerevole, in quanto buona parte della tensione di alimentazione viene a cadere ai capi del transistor T1. Tale potenza decresce con andamento parabolico fino ad annullarsi al centro della scansione, quando la corrente passa per lo zero. Nella successiva metà scansione, T1 è interdetto mentre in T2 la corrente cresce progressivamente. La potenza dissipata su questo transistor è, istante per istante, definita dal prodotto dei valori della tensione e della corrente di deflessione e presenta un andamento ancora parabolico, con massimo a metà del periodo di conduzione di T2.

Naturalmente, dal confronto delle entità in gioco, risulta che T1 è costretto a dissipare una quantità di energia notevolmente superiore a quella di T2 e ciò perchè il transistor è sottoposto, durante tutto il ciclo di conduzione, a una tensione eccedente quella strettamente necessaria di una quantità pari alla tensione richiesta dal giogo durante i ritorni. La situazione può venir modificata radicalmente ricorrendo all'impiego del *fly-back booster,* ovverosia di un circuito che provvede ad innalzare, all'incirca raddoppiandola, la tensione di alimentazione dello stadio finale, in coincidenza dell'intervallo di ritraccia.

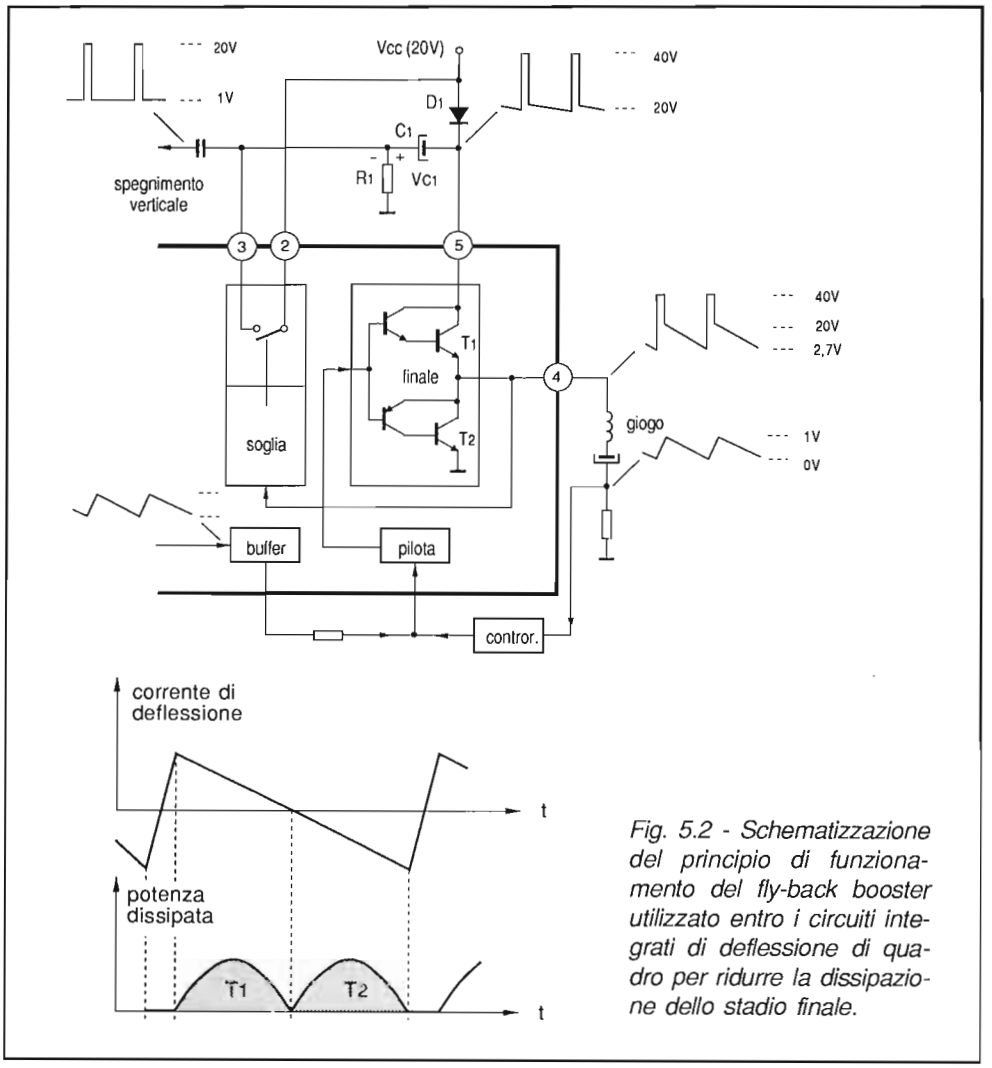


Fig. 5.2 - Schematizzazione del principio di funzionamento del fly-back booster utilizzato entro i circuiti integrati di deflessione di quadro per ridurre la dissipazione dello stadio finale.

5 - 2 PILOTAGGIO DIRETTO DEL GIOGO

In Fig. 5.2 è riportato lo schema di principio del generatore di fly-back, il cui funzionamento è il seguente. Durante il periodo di scansione, della durata di circa 19ms, lo stadio d'uscita riceve la tensione di alimentazione di 20V tramite il diodo D1. Nello stesso periodo il condensatore C1 si carica attraverso la resistenza R1, portandosi a circa 20V. Alla fine del periodo di scansione, la tensione al pin 4 dell'integrato risulta di circa 2,7V, di poco superiore a quella di saturazione di T2. All'inizio del ritorno, T2 viene portato rapidamente in interdizione, mentre contemporaneamente T1 viene reso conduttore.

Quando la tensione al pin 4 raggiunge i 20V, entra in funzione il generatore di fly-back, che opera come interruttore connettendo tra loro i pin 2 e 3. In questa maniera C1 viene a trovarsi in parallelo al diodo D1 e, per effetto della polarità delle cariche presenti sulle armature, il pin 5 si vede alimentato da una tensione $V_{C1}+V_{CC}$, di valore quasi doppio rispetto a quello di alimentazione. Naturalmente, il diodo D1 in questo intervallo risulta interdetto, essendo polarizzato inversamente dalla tensione presente ai capi di C1.

Durante il periodo di ritraccia verticale, al giogo viene quindi applicata una tensione sufficiente ad assicurare la rapida inversione della corrente di deflessione.

La capacità di C1 deve essere sufficientemente alta per garantire una modesta diminuzione della tensione ai suoi capi durante la ritraccia: la ricarica, ovverosia il ripristino delle cariche perdute dal condensatore durante i ritorni, ha luogo nel periodo di scansione, quando l'armatura negativa risulta connessa a massa attraverso la resistenza R1.

In quest'ultimo intervallo, lo stadio finale viene alimentato con la tensione Vcc (20V nel caso di figura), più che sufficiente a garantire un funzionamento lineare dello stadio finale e nel contempo una dissipazione all'incirca "simmetrica" dei due transistor T1 e T2. Con l'impiego di questa tecnica, si riesce a ridurre la potenza dissipata in T1 di oltre il 65%, con evidenti vantaggi in termini di affidabilità di funzionamento del circuito.

Un'altra tecnica

Prima di chiudere il paragrafo, ci pare utile ricordare un'altra soluzione per limitare la potenza dissipata entro lo stadio finale, adottata in alcuni integrati privi di generatore di fly-back. Uno di questi è il TDA 2562, sviluppato dalla Philips all'inizio del 1980 per il pilotaggio diretto dell'unità di deflessione AT1080 associata al cinescopio 20AX: in condizioni normali di funzionamento (V_{CC}=33V, I_{pp}=3,6A, T_{RV}=0,85ms) l'integrato dissipa 8,5W. Se il circuito viene associato all'unità

AT1270 per cinescopi 30AX (che richiede la stessa energia di deflessione), con la disposizione circuitale di Fig. 5.3 la potenza dissipata dall'integrato scende a soli 4,4W.

Durante la prima metà del ritorno di quadro, quando la corrente di deflessione dal valore negativo massimo raggiunto sale a zero, al pin 9 dell'integrato la tensione inizia a crescere, superando ben presto quella di alimentazione applicata tramite D1 al pin 7. In questa fase, il diodo D1 risulta interdetto e la corrente di deflessione si chiude attraverso D, C2 e C1, con quest'ultimo che equivale praticamente ad un cortocircuito. L'induttanza del giogo (10mH) con C2 viene a formare un circuito risonante-serie accordato su 650Hz, la cui semi-oscillazione libera, della durata di 0,8ms, assicura un tempo di ritorno adeguato alle esigenze della deflessione.

In questa maniera l'integrato è alimentato con la tensione continua richiesta dalla fase di scansione, quindi in condizioni di minima dissipazione di potenza da parte dei finali. La fase di ritorno ha luogo invece isolando l'integrato dal circuito di deflessione, lasciandolo in questo modo libero di oscillare per mezzo periodo, senza richiesta alcuna di energia all'alimentatore.

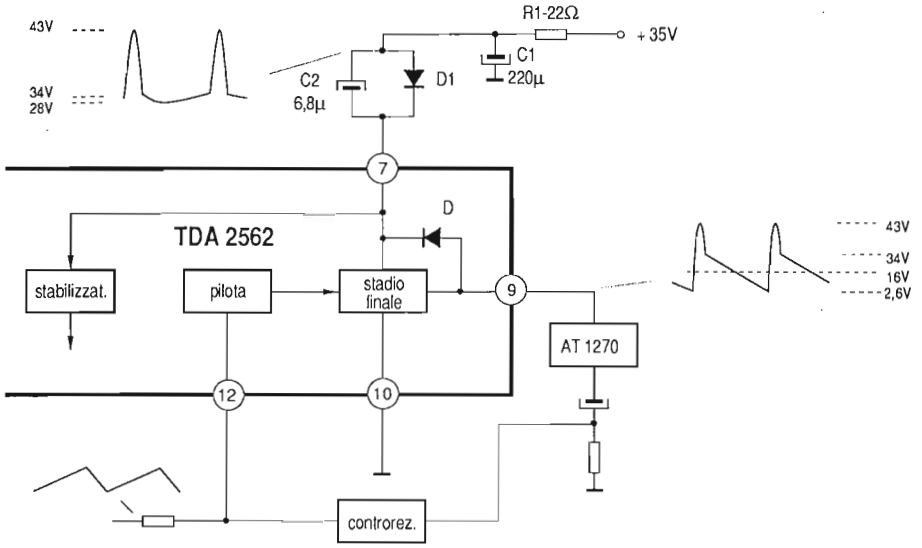


Fig. 5.3 - Particolare del circuito di alimentazione del circuito integrato TDA 2562, privo del fly-back booster, che riduce a metà la dissipazione dello stadio finale.

Un'ulteriore riduzione della potenza dissipata si ottiene adottando per la rete R1-C1 una costante di tempo relativamente breve, così da produrre all'anodo di D1 una forte ondulazione a frequenza di quadro. All'inizio della scansione la tensione presenta il valore più alto, per poi decrescere progressivamente fino a raggiungere il suo minimo al centro e crescere successivamente nella seconda metà della scansione, quando C1 riprende a caricarsi attraverso R1. In questo modo il valore medio della tensione che alimenta l'integrato al pin 7 si riduce e di conseguenza la sua dissipazione, senza che ciò influisca negativamente sulle caratteristiche di funzionamento del circuito.

E' interessante notare che con la tecnica appena descritta, la potenza totale dissipata dall'integrato ammonta a 4,4W, con una tensione di alimentazione di 35V, mentre per pilotare lo stesso giogo con un integrato dotato di generatore di fly-back, la potenza dissipata sarebbe stata di 4W a 26V.

5 - 3 CIRCUITI INTEGRATI PER LA DEFLESSIONE VERTICALE

I circuiti integrati attualmente impiegati per la deflessione verticale possono essere suddivisi in due categorie fondamentali: quelli che contengono solo gli stadi finali con i relativi circuiti accessori e ricevono perciò da un'altro integrato il segnale di pilotaggio già opportunamente conformato, e quelli che contengono anche il generatore a dente di sega, formando in tal modo una base dei tempi completa. Nel seguito esamineremo il funzionamento di alcuni integrati appartenenti ad entrambe le categorie.

5 - 3 - 1 Il TDA 3654

Il TDA 3654 è un integrato in contenitore SIL a 9 piedini, prodotto dalla Philips, che contiene i circuiti necessari per la realizzazione dello stadio finale di deflessione verticale nei televisori a colori equipaggiati con gioghi richiedenti fino a 2App (cinescopio a grande schermo di 110°). L'integrato realizza le funzioni di: pilota finale, stadio d'uscita, protezione tecnica ed elettrica dello stadio d'uscita, generatore di fly-back, stabilizzatore di tensione e protezione del cinescopio in assenza di deflessione.

Facendo riferimento alle Figg. 5.4 e 5.5, che indicano lo schema a blocchi dettagliato ed uno schema tipico d'impiego del TDA 3654 nel telaio Grundig CUC 2800, descriviamone il funzionamento.

Il segnale di forma trapezoidale, proveniente dal pin 4 dell'integrato di elaborazione sincronismi TDA 3586A, giunge al pin 1 a cui fa capo l'ingresso dello stadio pilota. Lo stesso segnale è applicato anche al pin 3 che è l'ingresso di un circuito di commutazione il quale diviene attivo all'inizio della ritraccia, determinando la rapida interdizione della parte inferiore dello stadio finale, limitandone in questo modo la dissipazione. Esso produce inoltre la rapida partenza del generatore di fly-back.

Lo stadio finale opera in classe B e ciascuno dei due transistor finali di potenza, in connessione Darlington, è in grado di erogare una corrente massima di 1,5A. L'integrato contiene, per ogni finale, un circuito che protegge il transistor contro eventuali cortocircuiti verso massa, misurando la caduta di tensione provocata dalla corrente nell'attraversamento dei collegamenti in alluminio posti tra l'uscita dei finali ed il pin 9.

Quando questa corrente supera un valore limite ben definito, la corrispondente caduta di tensione mette in conduzione un transistor che sottrae corrente di base al Darlington interessato, impedendo crescite pericolose della corrente d'uscita. Analogamente, un altro circuito provvede a limitare la corrente massima di cortocircuito al crescere della tensione emettitore-collettore di ciascun finale. Con queste prote-

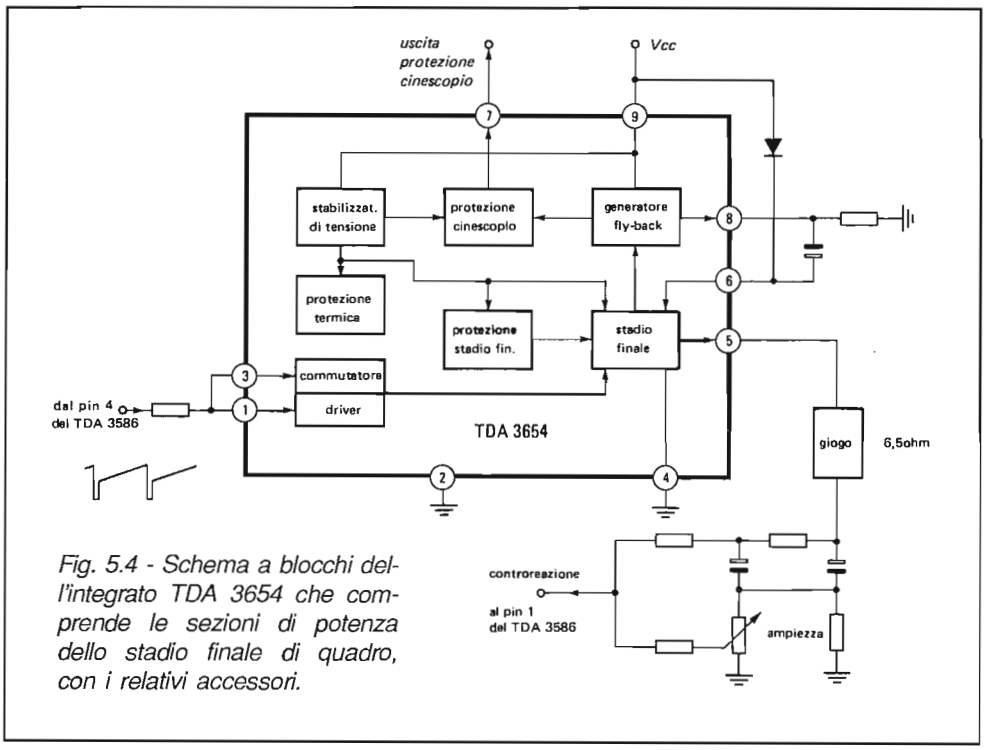


Fig. 5.4 - Schema a blocchi dell'integrato TDA 3654 che comprende le sezioni di potenza dello stadio finale di quadro, con i relativi accessori.

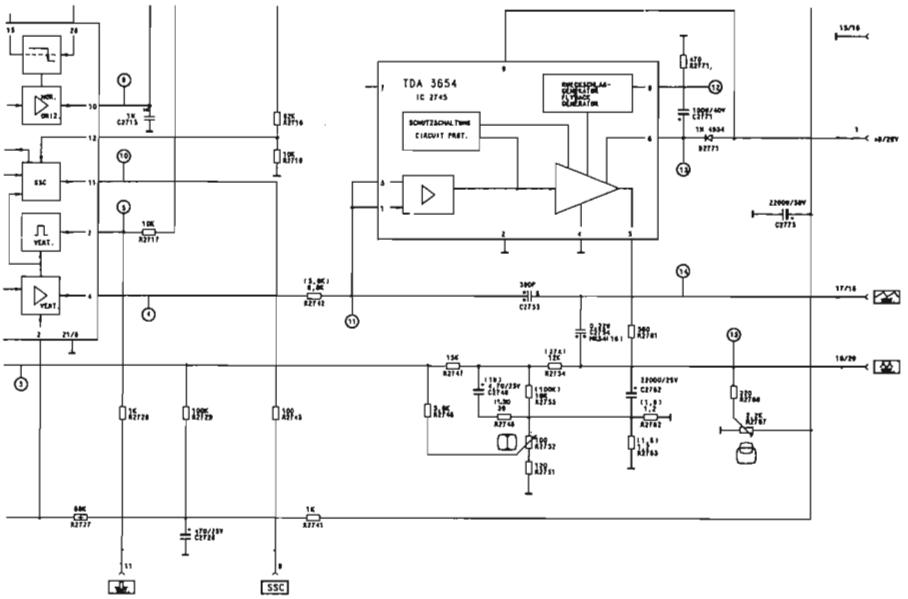


Fig. 5.5 - Schema elettrico d'impiego del TDA 3654 nello stadio finale di quadro del telaio Grundig CUC 2800.

zioni, il punto di lavoro dei finali è mantenuto sempre all'interno dell'*area operativa di sicurezza* (SOAR).

La Philips produce altri integrati, con struttura e funzionamento identici a quelli del TDA 3654 appena descritto, ma con caratteristiche differenti, e per questo adatti a pilotare direttamente gioghi con esigenze diverse. In Tab. 5.2 sono riassunte le caratteristiche più importanti di questa serie di integrati.

5 - 3 - 2 Il TDA 8170

Un altro esempio di "boster" per stadio finale di quadro è rappresentato dal TDA 8170 prodotto dall SGS. L'integrato, in contenitore Heptawatt (7 pin), è in grado di pilotare direttamente le bobine di deflessione verticale di gioghi, fornendo correnti fino a 3App con una tensione di alimentazione massima di 35V.

Tab. 5.2 - Prestazioni tipiche di una serie di integrati Philips per la deflessione verticale.

parametro \ integrato	TDA 3651A	TDA 3652	TDA 3653	TDA 3654
corrente massima di deflessione (pin 5)	1.5A	3A	1.5A	3A
tensione max alimentazione stadio finale (pin 6)	55V	55V	60V	60V
corrente di riposo tipica (pin 4)	38mA	40mA	25mA	55mA
contenitore	SIL a 9 piedini			

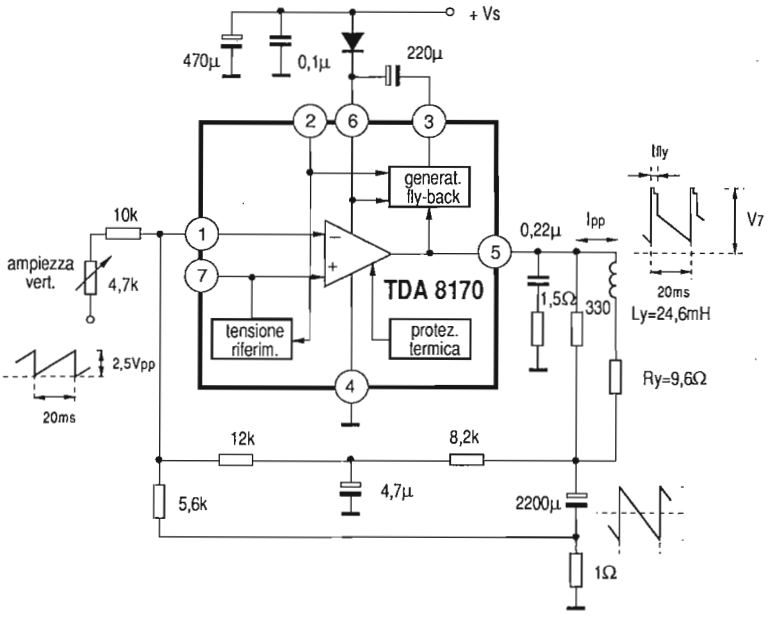


Fig. 5.6 - Schema a blocchi e d'impiego del "booster" TDA 8170, le cui caratteristiche elettriche sono riassunte in Tab. 5.3.

Il dispositivo comprende uno stadio di potenza con ingressi invertente e non-invertente, il generatore di fly-back, un riferimento interno di tensione molto stabile, utilizzato per la polarizzazione dell'ingresso non invertente dello stadio finale (2,2V), ed infine un dispositivo di protezione termica che limita a 140° la temperatura massima raggiungibile dalle giunzioni dei transistor finali.

In Fig. 5.6 è riportato lo schema a blocchi del TDA 8170 assieme ad un circuito d'impiego tipico. La Tab. 5.3, infine, indica le prestazioni elettriche fornite dall'integrato nel caso di pilotaggio di gioghi di caratteristiche diverse.

5 - 3 - 3 Il TDA 2653A

Un primo esempio di integrato che incorpora tutte le funzioni richieste per realizzare una completa base dei tempi verticale è rappresentato dal TDA 2653A. Questo dispositivo è stato sviluppato per il pilotaggio diretto dei gioghi di deflessione che equipaggiano i cinescopi a grande schermo del tipo 30AX e PIL-S4. In Fig. 5.8 è riportato lo schema a blocchi dettagliato, mentre in Fig. 5.9 viene proposto uno schema d'impiego tipico che si riferisce al telaio Grundig CUC 741. Analizziamo ora il funzionamento dei diversi blocchi.

Oscillatore e sincronizzazione. L'oscillatore verticale è un generatore di tensione a dente di sega formato da due sorgenti di corrente costante che determinano la carica e la scarica della capacità connessa tra il pin 13 e massa (Fig. 5.7). La corren-

parametro	10mH/5.9Ω (110°)	30mH/15Ω (90°)	unità
V_S=tensione aliment.	24	25	V
I_S=corrente assorbita	280	125	mA
I_{pp}=corrente deflessione	1.95	0.82	App
t_{fly}=intervallo di ritorno	0.6	0.7	ms
V_i=tensione ingresso p-p	2.5	2.5	Vpp
V_7=tensione uscita	47	49	V
P_{tot}= potenza dissipata	4.2	2.05	W

Tab. 5.3 - Prestazioni elettriche dal circuito di Fig. 5.6, equipaggiato con il TDA8170, nel caso di cinescopi a 90° e 110°.

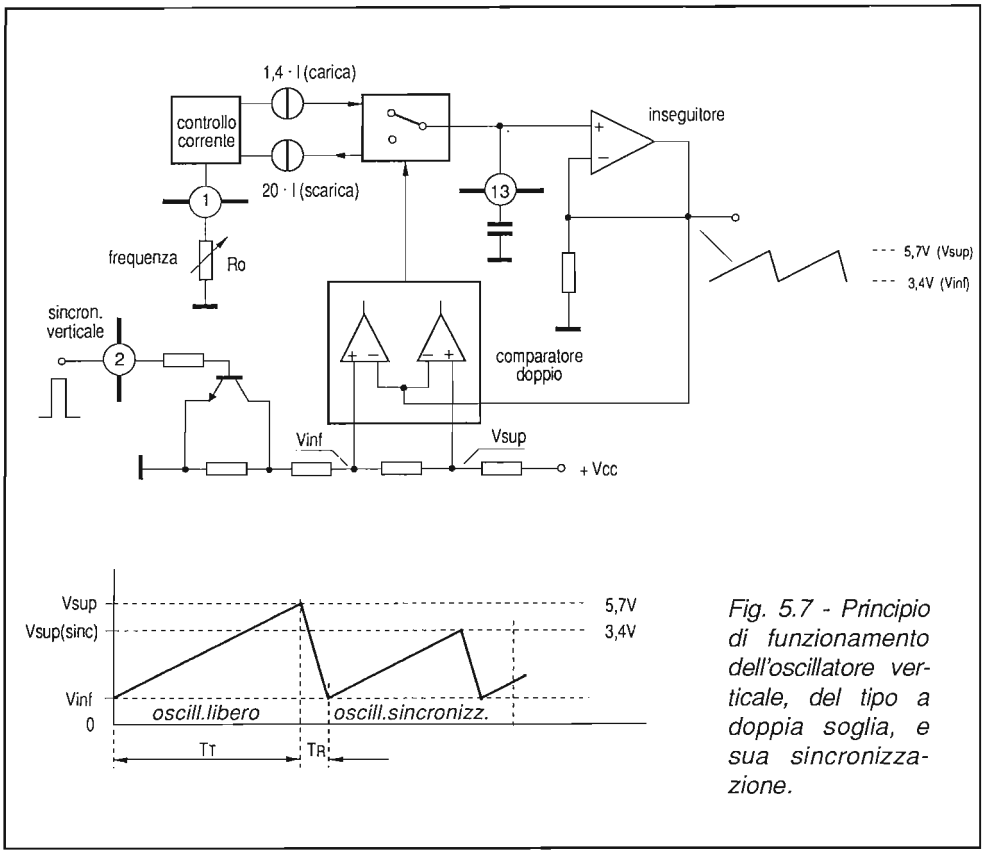


Fig. 5.7 - Principio di funzionamento dell'oscillatore verticale, del tipo a doppia soglia, e sua sincronizzazione.

te dei due generatori può venir modificata tramite il potenziometro collegato tra il pin 1 e massa, che permette quindi di regolare la frequenza dell'oscillatore, mentre il loro rapporto è costante (pari a 20:1,4) ed è stabilito dagli elementi interni al circuito. I due generatori vengono commutati tramite un comparatore a doppia soglia (V_{sup} e V_{inf}), i cui valori sono perfettamente definiti da un partitore di tensione interno a due uscite.

La sincronizzazione avviene tramite gli impulsi applicati al pin 2, che presentano un livello compreso tra 1 e 12V, e determinano l'abbassamento della soglia superiore del comparatore (V_{sup}), anticipando la commutazione dell'oscillatore. Lo stadio di sincronizzazione opera in modo che tali impulsi risultino attivi solo per il 28% del periodo di oscillazione, cosicchè per il restante periodo eventuali disturbi non hanno alcun effetto sulla sincronizzazione. E' in tal modo possibile sincronizzare l'oscillatore sia su 50 che 60Hz, a seconda delle caratteristiche del trasmettitore sintonizzato.

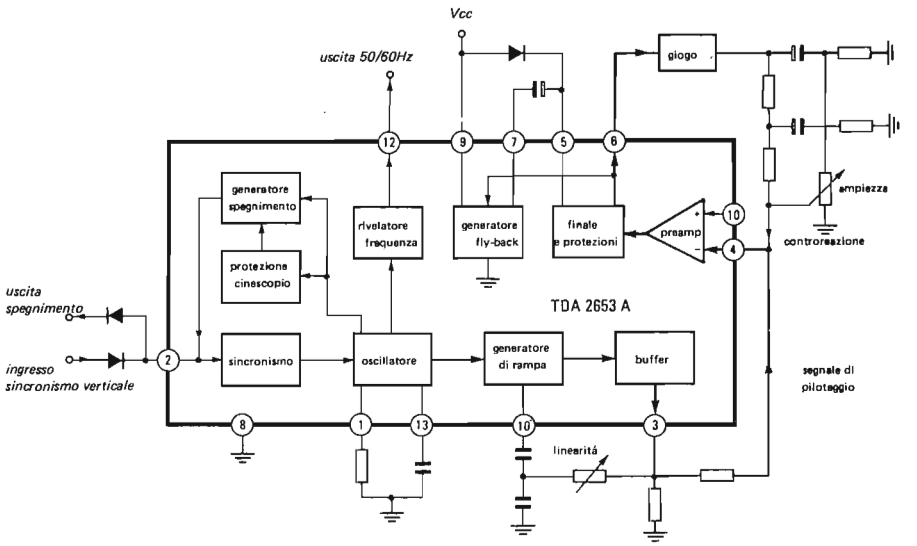


Fig. 5.8 - Schema a blocchi dettagliato dell'integrato TDA 2653A che realizza l'intero stadio di deflessione verticale.

Generatore di blanking e protezione del cinescopio. Il segnale dell'oscillatore viene inoltrato al generatore di cancellazione verticale, che produce al pin 2 un impulso della durata di 1,4ms e ampiezza di 20V. Il generatore di cancellazione è formato da un flip-flop che è fatto commutare alla fine del ciclo di funzionamento dell'oscillatore. L'impulso di reset viene prodotto alla fine del periodo di ritraccia verticale e produce il passaggio del flip-flop nello stato normale. In assenza di impulso di reset, quindi di deflessione, il flip-flop rimane stabilmente in posizione di spegnimento, mantenendo in tal modo una tensione a livello H al pin 2 che determina l'interdizione del cinescopio.

Rivelatore di frequenza. Questo stadio riconosce, alla fine del periodo di scansione, se l'oscillatore opera ad una frequenza superiore o inferiore a 55Hz. L'informazione relativa viene memorizzata entro un flip-flop, la cui uscita fa capo al pin 12. Questo segnale viene utilizzato per modificare, nei due casi, la corrente di carica della capacità presente al pin 11 (rampa), così da assicurare un'ampiezza di deflessione costante a 50Hz e a 60Hz.

Generatore di rampa. L'oscillatore sincronizza anche un generatore di rampa il cui segnale d'uscita al pin 3, dopo lo stadio separatore, presenta un'ampiezza dipendente dal valore di resistenza presente tra il pin 3 e l'alimentazione, che determina la carica della serie delle due capacità C2761 e C2762. La linearizzazione della rampa è ottenuta iniettando una corrente di controreazione nel punto comune delle due capacità tramite il potenziometro (di linearità) collegato al pin 3.

Stadi pilota e finale. La tensione d'uscita dello stadio separatore (pin 3) viene inoltrata al preamplificatore (pin 4) e da questo, internamente, allo stadio finale. Il preamplificatore ha la struttura di un amplificatore differenziale, la cui tensione di polarizzazione è ottenuta da quella di alimentazione tramite un opportuno partitore. In questo modo il punto di lavoro dello stadio finale (di tipo quasi complementare, funzionante in classe B) si modifica, adeguandosi automaticamente al livello della tensione di alimentazione, cosicchè la potenza dissipata in questo stadio viene ripartita in parti uguali nei due transistor di potenza.

Per stabilizzare il punto di funzionamento dello stadio finale, e per avere una deflessione lineare del fascetto, viene introdotta una controreazione mista in corrente continua e alternata, per mezzo di reti RC collegate tra l'estremità del giogo ed il pin 4.

Lo stadio finale è dotato di protezioni contro le sovratemperature conseguenti ad eccessiva dissipazione di potenza, e di un dispositivo limitatore della corrente che determina condizioni operative sempre all'interno dell'area di sicuro funzionamento (SOAR) dei transistor finali.

Generatore di fly-back e stabilizzatore di tensione. Per assicurare un tempo di ritorno di quadro sufficientemente breve, lo stadio finale viene alimentato in questo periodo con una tensione superiore a quella di alimentazione. Ciò è ottenuto caricando il condensatore elettrolitico C2758, durante l'andata, ad una tensione di poco inferiore a quella di alimentazione, mentre lo stadio finale risulta alimentato con tale valore per mezzo del diodo D2758. Durante la ritraccia, il generatore di fly-back

parámetro	30 AX	PIL-S4	unità
tensione aliment.	26	26	V
corrente di deflessione	2.2	1.32	App
durata ritorno	1.0	1.1	ms
tensione di ritorno	42	49	V
corrente aliment.	315	195	mA
potenza tot. assorbita	8.2	5.1	W
potenza disp. nel IC	4.1	3	W

Tab. 5.4 - Prestazioni del TDA 2653A nel caso di impiego con cinescopi 30AX e PIL-S4.

connette il pin 7 alla tensione di alimentazione presente al pin 9, cosicchè al pin 5 in questo periodo risulta presente una tensione che è di poco inferiore al doppio di quella di alimentazione. Più precisamente, uno zener contenuto nell'integrato limita a Vcc–Vz la tensione di carica del condensatore C2758, per cui durante i ritorni la tensione che alimenta il giogo vale 2·Vcc–Vz. Per esempio, se Vcc=25V questa tensione vale 42V. Se invece è richiesta una tensione più alta, quindi prossima a 2Vcc, è necessario collegare una resistenza tra il pin 7 e massa che by-passa lo zener interno.

Lo stabilizzatore di tensione, infine, provvede a fornire una tensione stabilizzata di 8V ai seguenti stadi: oscillatore, rivelatore di frequenza, e pilota.

Nel sistema 30AX, il carico totale del TDA 2653A è rappresentato dalle bobine di deflessione connesse in parallelo e shuntate dal collegamento in serie di diodi e del potenziometro di bilanciamento (R-B), dal condensatore di accoppiamento e dalla

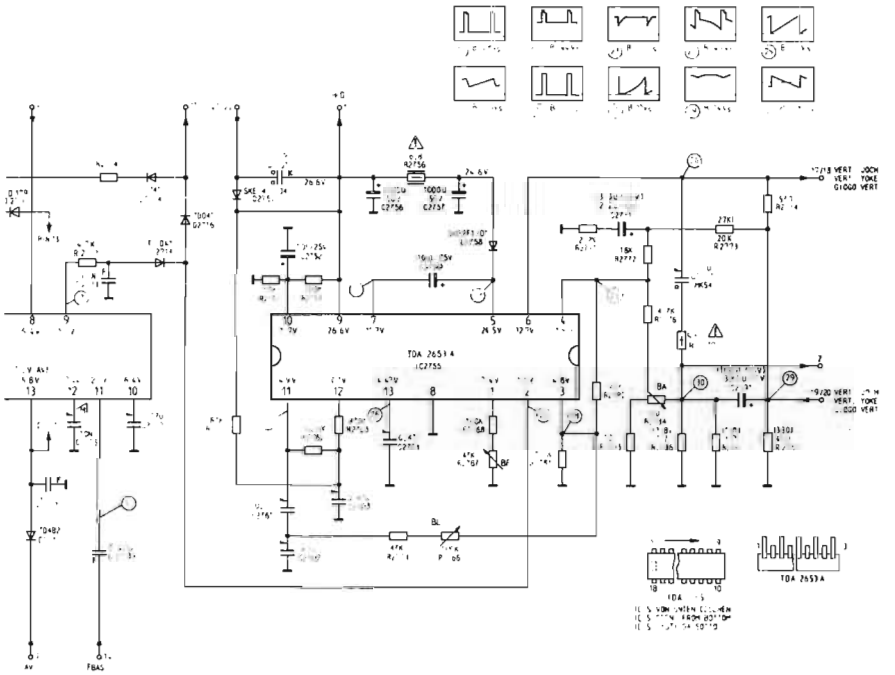


Fig. 5.9 - Schema elettrico della sezione di deflessione verticale equipaggiata con il TDA 2563A (Grundig CUC 741).

resistenza di controreazione. Il modesto spostamento in senso verticale del raster richiesto dall'andamento esponenziale (quindi asimmetrico) della corrente di deflessione durante i ritorni è ottenuto disponendo in parallelo al condensatore di accoppiamento un resistore fisso del valore di qualche centinaio di ohm: nel circuito d'impiego di Fig. 5.9, tale funzione è svolta da R2792.

In Tab. 5.4 sono riassunte le caratteristiche elettriche e le prestazioni fornite dal circuito di Fig. 5.6 nei due casi: unità di deflessione Philips AT1270 per il sistema 30AX e PIL-S4.

5 - 3 - 4 L'ESM472

La soluzione tecnica adottata in questo integrato per realizzare lo stadio finale rappresenta interessanti innovazioni rese possibili grazie all'alta integrazione permessa dalle moderne tecnologie.

Lo stadio finale, in *configurazione a ponte*, fa uso di un generatore di corrente a dente di sega che inietta nelle bobine verticali del giogo la richiesta corrente di deflessione, e di un generatore di tensione a dente di sega che pilota in tensione l'altra estremità del giogo (Fig. 5.10). In aggiunta a questi, opera un generatore di impulsi rettangolari, della durata del ritorno di riga e di ampiezza pari a quella di alimentazione, che innalza la tensione ai capi del giogo durante i ritorni (fly-back booster).

Questa tecnica permette di alimentare il circuito integrato con una tensione modesta (15V), pur risultando ai capi del giogo durante i ritorni, complessivamente, una tensione all'incirca tripla (40Vpp): tutto ciò per una modesta dissipazione. Inoltre il circuito non richiede l'uso della grossa capacità di accoppiamento, in quanto il valore medio della tensione ai capi del giogo, per effetto del pilotaggio in controfase, è nullo. Anzi, sbilanciando il pilotaggio, rendendo quindi non nullo il valore medio, è possibile spostare l'immagine in senso verticale, con la semplice regolazione del potenziometro che modifica la tensione continua del piedino 18.

Ma ritorniamo al funzionamento del CI. L'oscillatore a 50Hz provvede a caricare e a scaricare la capacità connessa al piedino 14, per mezzo di una corrente il cui valore è determinato dalla resistenza collegata al piedino 12 (tolleranza 1%). La sincronizzazione avviene attraverso il piedino 11. Il dente di sega così generato viene portato all'esterno attraverso il piedino 9. Qui ad esso viene sommata una tensione continua, che determina la posizione verticale, ed infine rientra nel CI attraverso il piedino 16 collegato al cursore del potenziometro di ampiezza. Internamente, il dente di sega lineare viene inoltrato ad un amplificatore differenziale, che opera come specchio di corrente, il quale pilota il generatore della corrente di deflessione.

Per correggere l'errore tangenziale della deflessione, dovuto alla non coincidenza tra i centri di deflessione e di curvatura del cinescopio, viene attuata una particola-

re controreazione per mezzo di due diodi BAX13 in antiparallelo e la resistenza R97. La non linearità delle rete permette di modificare l'andamento della corrente di deflessione, giacchè l'entità della controreazione aumenta alle estremità superiore e inferiore della deflessione.

Il picco di tensione, che si manifesta durante i ritorni verticali al piedino 6, è portato internamente al fly-back booster che provvede ad innalzare, durante i ritorni, la tensione di alimentazione del generatore di corrente da 15V a 30V, per mezzo di C104 e D104.

Lo stesso picco di tensione va a resettare il flip-flop contenuto entro il circuito di protezione, precedentemente commutato dall'impulso proveniente dall'oscillatore verticale. In questo modo, in condizioni normali di funzionamento, al piedino 13 è presente durante la ritraccia verticale un'impulso della durata di poco più di 1ms, che provvede alla cancellazione della ritraccia verticale per mezzo dell'impulso super sand-castle. Nel caso di mancanza di deflessione, il flip-flop non viene resettato e

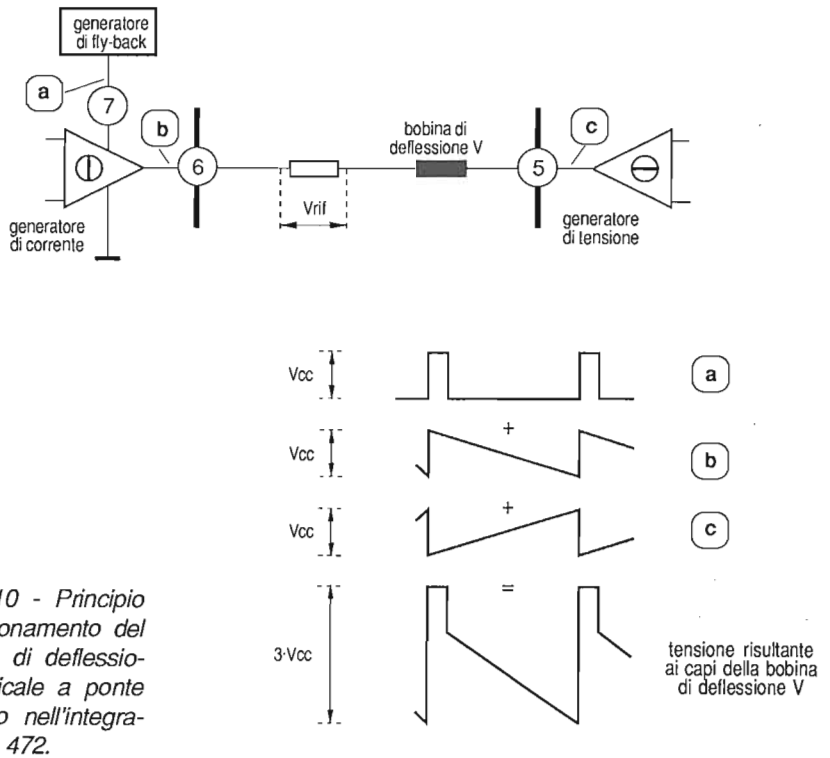


Fig. 5.10 - Principio di funzionamento del sistema di deflessione verticale a ponte utilizzato nell'integrato ESM 472.

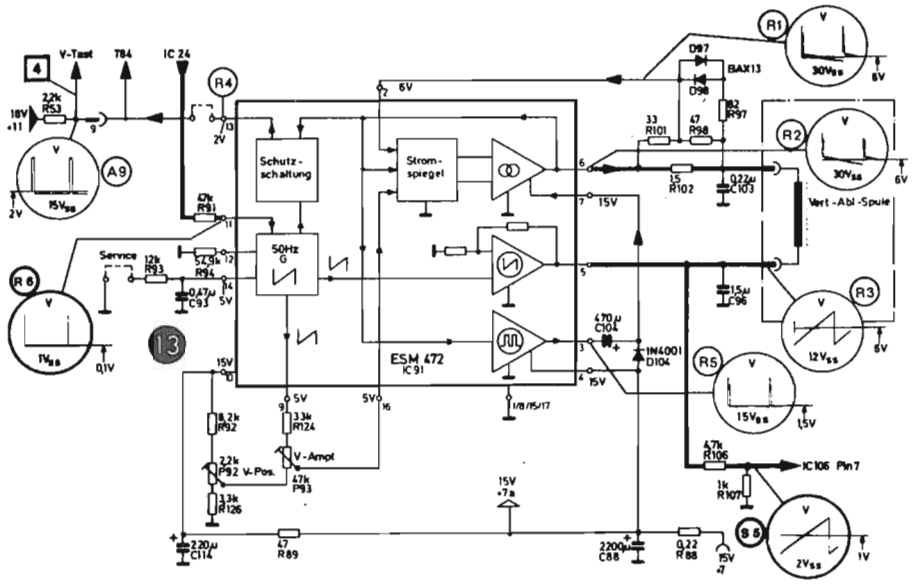


Fig. 5.11 - Schema elettrico d'impiego dell'ESM 472 nello stadio di deflessione verticale di un televisore Saba - T8612Q.

perciò il piedino 13 si porta ad un livello alto, con conseguente riduzione della luminosità che impedisce la bruciatura dello strato flurescente del cinescopio.

In Fig. 5.11 è riportato lo schema a blocchi dell'ESM 472, unitamente ad un suo schema tipico d'impiego che si riferisce al telaio Saba mod. T8612Q.

5 - 4 DEFLESSIONE VERTICALE A TIRISTORE

Una soluzione circuitale piuttosto originale per attuare la deflessione verticale è quella che ci accingiamo a descrivere, adottata in alcuni telai Saba, Nord Mende, ecc. di recente produzione. In Fig. 5.12 è riportato lo schema a blocchi semplificato del circuito, dal quale è possibile dedurre il principio di funzionamento.

Il *generatore di rampa* produce un dente di sega lineare le cui caratteristiche di ampiezza e linearità vengono modificate entro l'amplificatore differenziale successivo, al quale pervengono i segnali di controreazione dallo stadio finale. Il segnale d'uscita di questo amplificatore viene trasformato in onda rettangolare modulata in larghezza dallo stadio modulatore. La caratteristica principale di quest'ultimo segnale, il cui fronte di discesa coincide sempre con il ritorno di riga, è di possedere una larghezza crescente, che presenta il minimo valore all'inizio della deflessione verticale ed il massimo alla fine. Questi impulsi mettono in conduzione un tiristore che pertanto risulta attivato per un intervallo di tempo che è breve all'inizio della deflessione e cresce progressivamente fino alla fine della scansione.

L'interdizione del tiristore è determinata dall'inversione di polarità della sua tensione anodica che si verifica ad ogni ritorno di riga. Nello stesso istante in cui il tiristore si interdice, passa in conduzione il diodo D collegato in parallelo. In questo modo il terminale 4 del trasformatore di riga viene collegato a massa per un intervallo di tempo variabile, tramite Th, e per uno fisso per mezzo del diodo D. In conseguenza di ciò, durante ogni periodo di scansione di riga (64μs) il condensatore C è sottoposto ad un processo di carica, tramite il diodo D, e ad uno di scarica, controllato dal tiristore Th. La carica residua a fine periodo determina una tensione su C che, in condizioni normali di funzionamento, vale 30V all'inizio della deflessione (quando al gate del tiristore è applicato l'impulso rettangolare più stretto) e 10V alla fine (quando al gate è applicato l'impulso più largo). Poichè all'altro estremo della bobina ver-

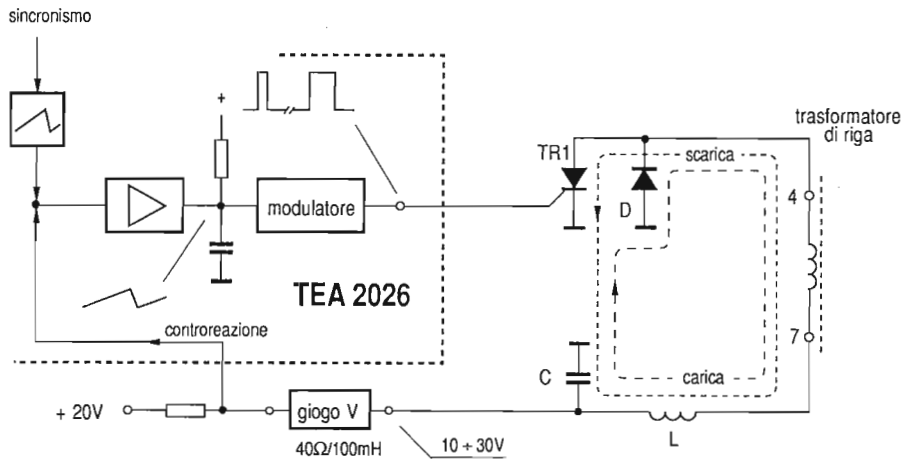


Fig. 5.12 - Schema semplificato per spiegare il principio di funzionamento dello stadio finale di quadro a tiristore, operante a frequenza di riga.

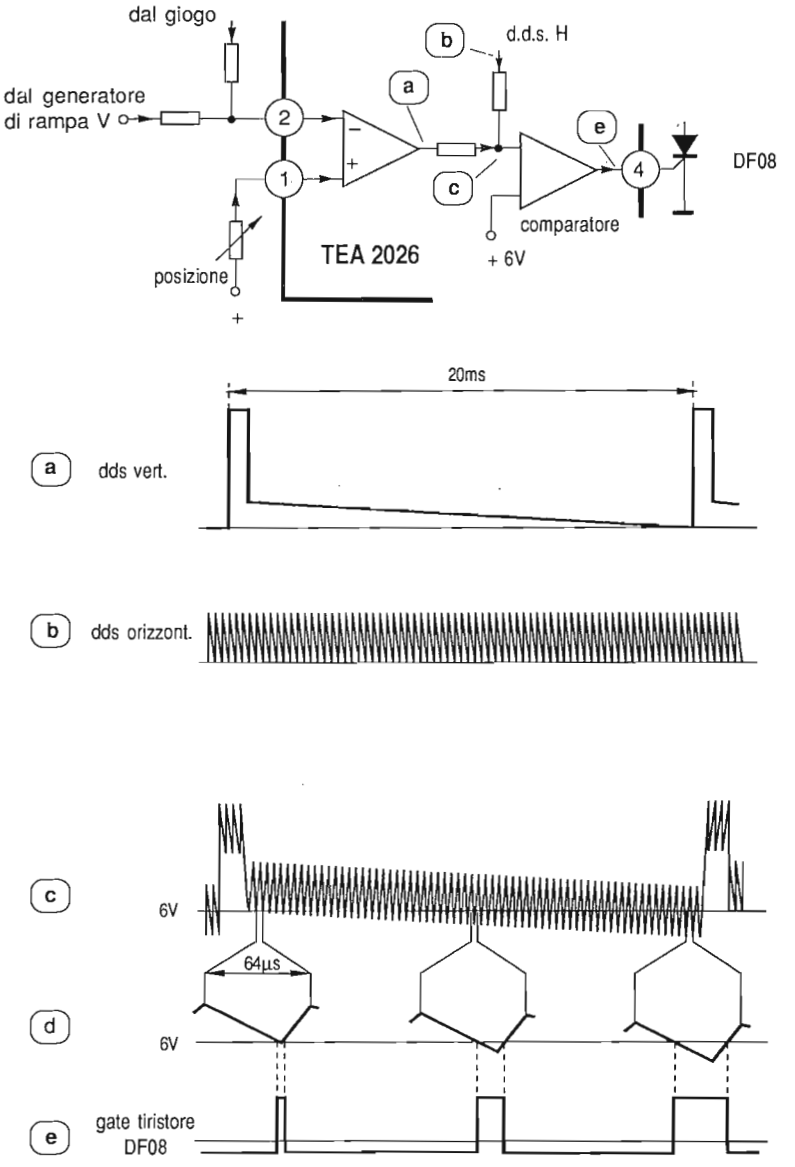


Fig. 5.13 - Funzionamento dello stadio modulatore contenuto nel TEA 2026 per la produzione degli impulsi di comando del tiristore di deflessione verticale e forme d'onda caratteristiche.

ticale del giogo è presente la tensione di alimentazione di 20V, ne consegue che l'escursione totale della tensione durante la fase di deflessione ammonta a 20Vpp (±10V).

Per pilotare la bobina durante il ritorno di quadro, fase nella quale è richiesta una tensione più alta di quella applicata durante l'andata, il tiristore viene mantenuto in stato di blocco; in questo modo nel condensatore C la tensione si porta a circa 170V, assicurando un tempo di ritraccia verticale dell'ordine di 0,7ms. Analizzeremo ora con maggiore dettaglio il funzionamento del circuito. Al pin 5 del TEA 2026 è presente il condensatore CL64 che viene caricato praticamente a corrente costante tramite la resistenza RL65-RL64 verso la tensione di alimentazione di 200V. Raggiunta la soglia di 5,5V, il condensatore viene rapidamente scaricato, cosicchè ai suoi capi è presente una tensione a dente di sega lineare, che è disponibile al pin 3, dopo uno stadio separatore, per il pilotaggio dell'integrato TDA 4950 di correzione Est-Ovest della deflessione orizzontale. La corrente di carica del condensatore CL64 viene incrementata internamente, quando uno stadio contenuto nell'integrato riconosce in 60Hz la frequenza di quadro del segnale sintonizzato, in modo da assicurare un'ampiezza di deflessione costante nei due casi di funzionamento a 50 e 60Hz.

In Fig. 5.13 sono riportati lo schema di principio e le forme d'onda significative dello stadio formatore-modulatore contenuto nel TEA 2026, alla cui uscita (pin 4) sono disponibili gli impulsi rettangolari di pilotaggio del gate del tiristore di deflessione verticale (DF08). Al pin 2 dell'integrato perviene il segnale a dente di sega prodotto dal generatore di rampa, corretto dinamicamente in ampiezza e forma dalla controreazione attuata prelevando una parte del segnale che viene a formarsi sulla resistenza RF21, disposta in serie alle bobine verticali del giogo. Al pin 1 è invece applicata la tensione continua di riferimento, variando la quale è possibile spostare la posizione dell'immagine in senso verticale.

Al segnale trapezoidale d'uscita del formatore (che presenta la configurazione di amplificatore differenziale) viene aggiunto un dente di sega a frequenza di riga generato all'interno dell'integrato, cosicchè l'onda risultante presenta l'aspetto indicato in c. Il successivo comparatore viene fatto commutare ogni volta che il livello del segnale scende al di sotto della tensione di soglia di 6V. Si ottiene in questo modo la sequenza di impulsi rettangolari di larghezza crescente indicati in e.

Veniamo ora allo stadio finale, facendo riferimento allo schema elettrico di Fig. 5.14. Come si è visto nella prima parte del paragrafo, l'unico elemento attivo dello stadio finale di deflessione verticale è rappresentato dal tiristore DF08.

Le bobine verticali del giogo (BF01) sono collegate in un circuito a ponte avente per estremi, rispettivamente, la sorgente di alimentazione a 21V ed il condensatore di accumulo CF10, che riceve energia dall'avvolgimento 4-7 del trasformatore di riga, per mezzo degli impulsi di circa 170Vpp presenti ai suoi capi. L'estremità superio-

re (terminale 4) viene messa a massa, alternativamente, dal diodo DF09 durante i ritorni di riga e del tiristore DF08 durante l'andata. Per comprendere meglio il funzionamento dello stadio conviene far riferimento alle situazioni estreme che, come indicato in Fig. 5.15, sono:

a) tiristore sempre interdetto

b) tiristore in conduzione durante tutta l'andata.

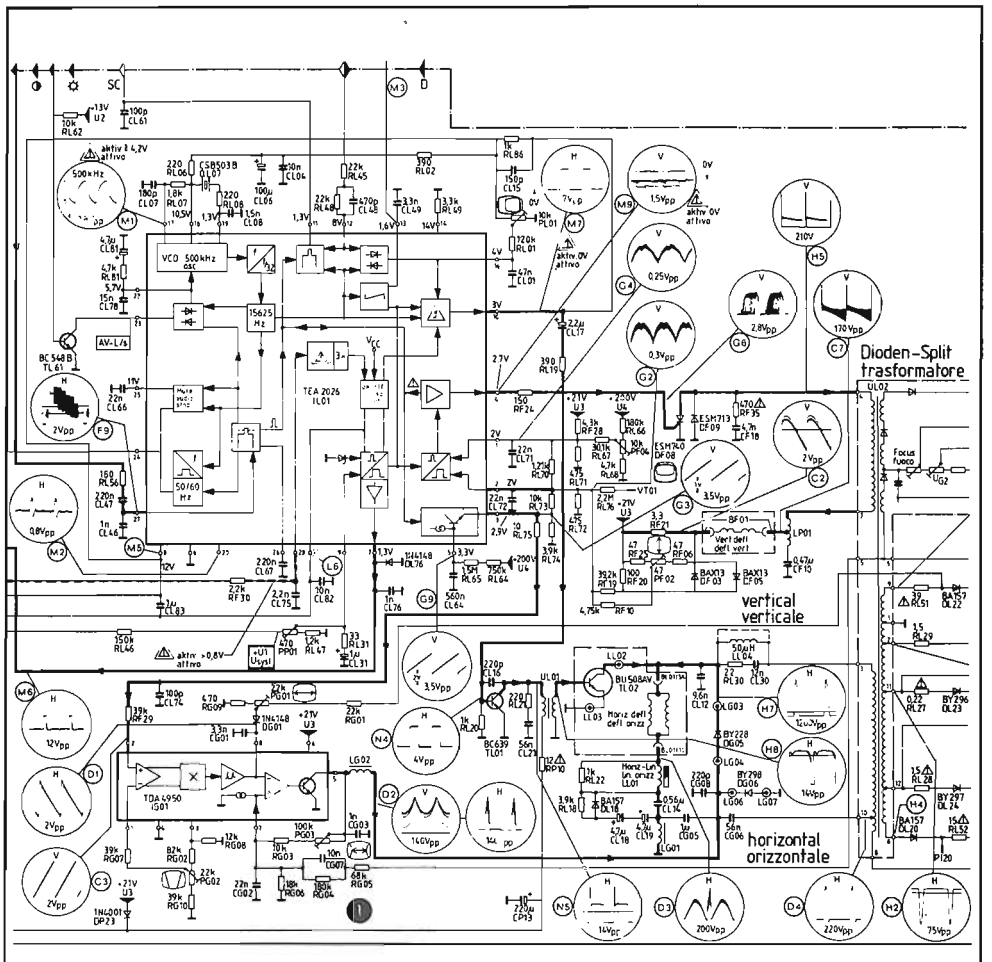


Fig. 5.14 - Schema elettrico completo della sezione di deflessione verticale a tiristori equipaggiata con l'integrato di elaborazione TEA 2026 (Saba).

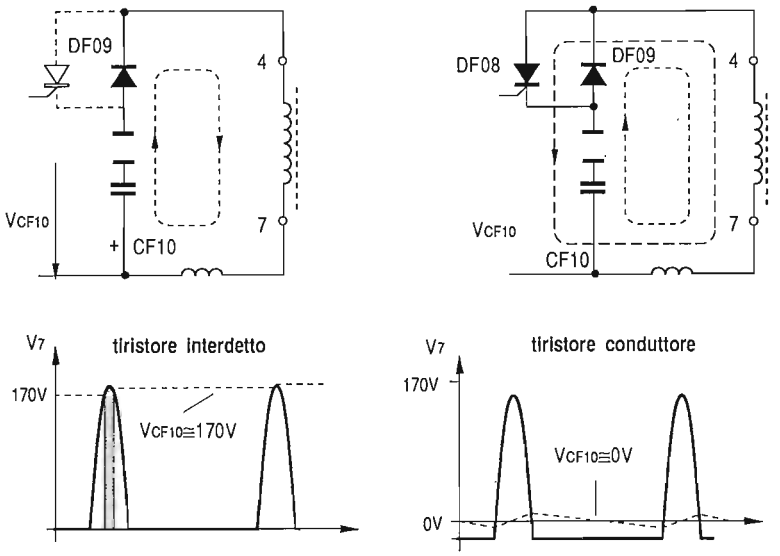


Fig. 5.15 - Rappresentazione delle situazioni estreme di interdizione e conduzione del tiristore di deflessione e andamento delle tensioni al terminale 7 e su CF10.

Nel primo caso, il circuito opera come un normale rettificatore nel quale il diodo DF09, reso conduttore durante i ritorni di riga, fissa a –0,8V(praticamente a 0V) la tensione al suo catodo, agganciando così il terminale 4 del trasformatore di riga a massa. In questo modo il condensatore CF10 si carica al valore di picco di circa 170V. Questa situazione si verifica realmente durante i ritorni di quadro, permettendo così una rapida conclusione del periodo di ritraccia verticale.

Nel secondo caso, il terminale 4 del trasformatore è sempre agganciato a massa o tramite il tiristore (durante l'andata) o il diodo (durante il ritorno). In questa situazione, gli effetti della carica e della scarica di CF10 si equivalgono e quindi la tensione media ai suoi capi è nulla. I due casi limite analizzati dismostrano come, con questa tecnica, sia possibile far assumere alla tensione VCF10 qualunque valore di tensione compreso tra 0 e 170V, semplicemente regolando in modo opportuno il tempo di conduzione del tiristore.

Nei diagrammi di Fig. 5.16 sono rappresentati gli andamenti delle tensioni ai capi della coppia tiristore-diodo e delle correnti di carica prodotte dai due dispositivi, durante il periodo di riga, in tre momenti caratteristici della fase di deflessione verticale: alto centro e basso.

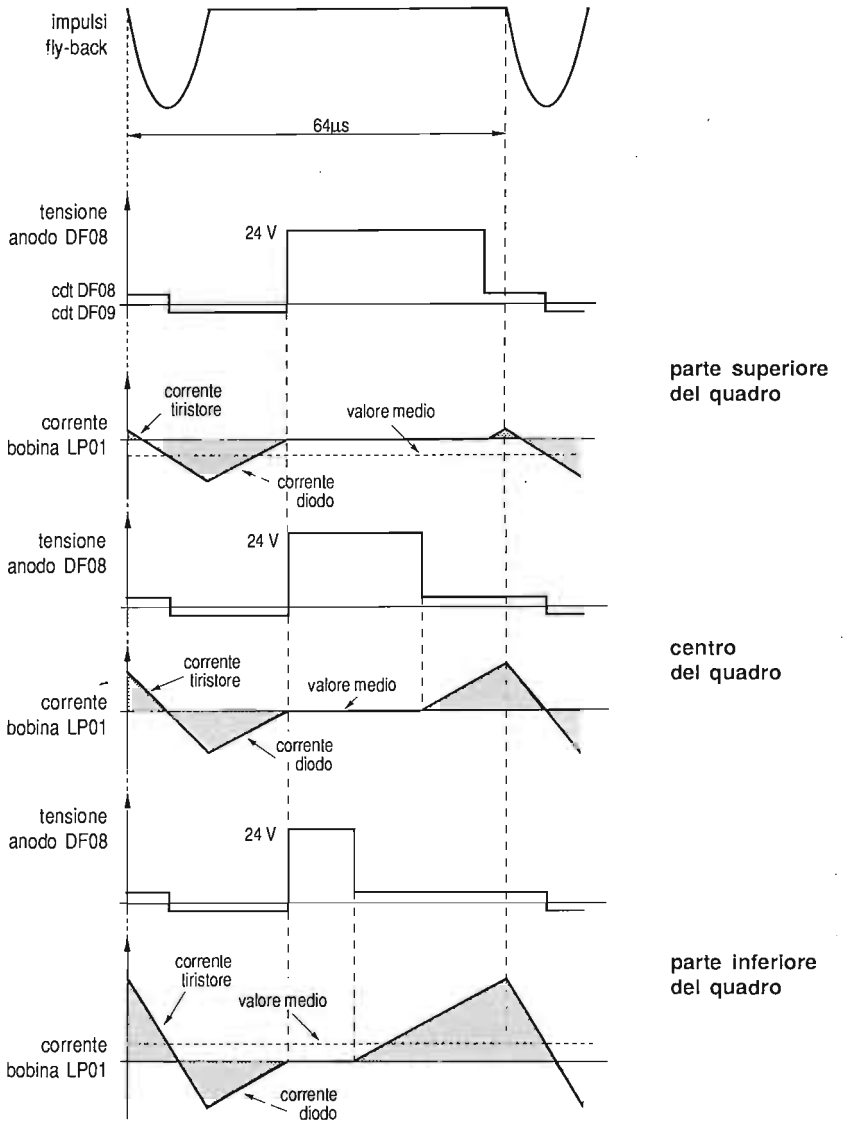


Fig. 5.16 - Andamenti della tensione all'anodo del tiristore e della corrente di carica (e scarica) del condensatore di integrazione, nell'intervallo di riga, in corrispondenza di tre punti significativi della deflessione verticale (alto-centro-basso).

Per effetto dell'induttanza di filtro LP01, posta in serie al condensatore CF10, le correnti del diodo DF09 e del tiristore DF08 presentano andamenti a lenta variazione e ritardati rispetto agli impulsi di fly-back applicati dal trasformatore di riga. Così, il periodo di conduzione del diodo presenta una durata molto maggiore dell'intervallo di ritorno di riga e risulta ritardato rispetto a questo, avendo inizio all'incirca a metà dell'impulso di fly-back. Il tiristore, invece, inizia a condurre nel momento in cui viene applicato al suo gate l'impulso rettangolare e si blocca quando inizia a condurre il diodo.

In Fig. 5.17 sono riportati gli andamenti della tensione presente sul condensatore CF10 e della corrente di deflessione circolante nelle bobine verticali del giogo. Il ripple a frequenza di riga presente su quest'ultima, dovuto alla conduzione sequenziale del diodo e del tiristore, è in realtà filtrato da LP01 e CF10 e quindi non attraversa le bobine verticali del giogo (BF01), anche a causa della loro notevole induttanza (100mH).

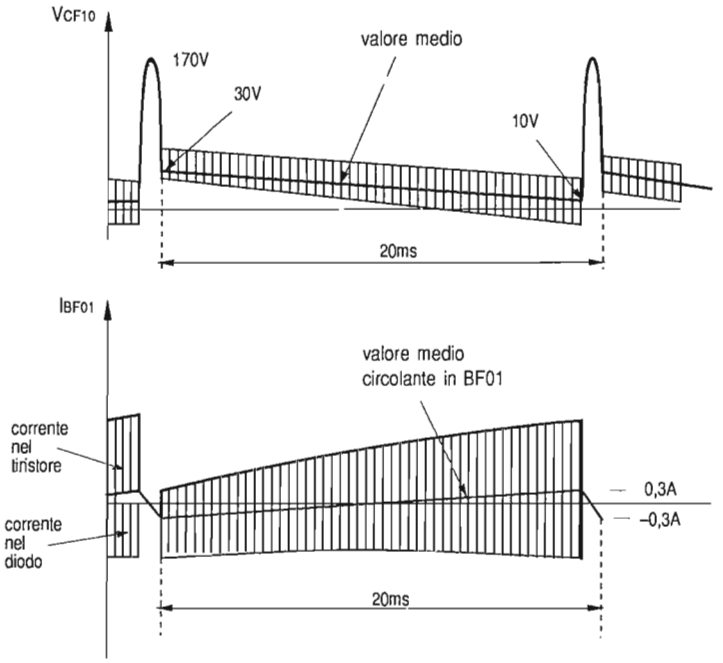


Fig. 5.17 - Andamento della tensione sul condensatore di integrazione e della corrente nelle bobine di filtro, nell'intervallo di semiquadro.

capitolo sesto

DEFLESSIONE ORIZZONTALE

6 - 1 FUNZIONAMENTO DELLO STADIO FINALE DI RIGA A TRANSISTOR

Lo spostamento dei tre fascetti in senso orizzontale è ottenuto facendo circolare entro le corrispondenti bobine del giogo una corrente a dente di sega della frequenza di 15.625Hz, con tempi di andata (T_{HT}) e di ritorno (T_{HR}) rispettivamente pari a 52,5μs e 11,5μs, per un periodo complessivo T_H di 64μs.

La potenza media, necessaria per deflettere il pennello, è data dal rapporto tra l'energia di deflessione ed il tempo di andata e cresce con l'angolo di deflessione del cinescopio. Come si è già detto nel capitolo precedente, a proposito della deflessione verticale, l'evoluzione delle tecniche costruttive dei cinescopi e la diminuzione del diametro del collo, ha portato ad una sensibile riduzione anche della potenza di deflessione orizzontale, come si può dedurre dal confronto tra le diverse situazioni riportate in Tab. 6.1. La conseguenza più evidente è stata il ritorno, nella quasi totalità dei casi, ai circuiti di deflessione tradizionali, realizzati con transistor e diodo smorzatore in parallelo, operanti con tensioni di alimentazione medio-alte.

In Fig. 6.1 è riportato il principio di funzionamento del circuito, nel quale:

- L_P rappresenta l'induttanza primaria del trasformatore di riga che opera come bobina di blocco verso l'alimentatore;
- L_H è l'induttanza delle bobine orizzontali del giogo;
- C_S è la capacità di blocco della componente continua e introduce la richiesta correzione "ad esse";

Tab. 6.1 - Energia richiesta per la deflessione orizzontale nei moderni cinescopi a colori. Si osserva una sensibile diminuzione dell'energia al diminuire del diametro del collo.

cinescopio	collo mm	giogo	L_H (mH)	R_H (ohm)	Ipp (A)	energia (mJ)	potenza (VA)
FS 10 (Videocolor) 110°/26"	29		1.5	1.33	4.6	3.96	76.2
FS 10 (Videocolor) 90°/20"	29		1.93	2.2	2.84	1.95	37.4
30 AX (Philips) 110°/26"	36.5	AT 1870	1.5	1.3	5.1	4.88	93.7
45 AX (Philips) 110°/26"	29	AT 6000/01	1.85	1.85	4.1	3.89	74.7
45 AX (Philips) 90°/20"	22.5	AT 6030/1	1.64	2.2	2.57	1.35	26.0

- C è la capacità che determina assieme all'induttanza totale del circuito la durata dell'intervallo di ritraccia;
- C_A è la capacità d'uscita del circuito di alimentazione.

Nell'analisi che segue, trascuriamo per il momento le cadute di tensione ai capi del transistor T e del diodo D. Nella fase iniziale, i condensatori C e C_S si caricano al valore E di alimentazione. Durante la traccia, il transistor T viene saturato e quindi si comporta come un cortocircuito. Lp risulta così sottoposta all'intera tensione di alimentazione presente su C_A e quindi in essa fluisce una corrente I_{Lp} crescente linearmente con pendenza E/Lp. L_H invece vede ai suoi capi una tensione V_{CS} (inizialmente di valore E) che decresce per effetto della scarica del condensatore: la corrente I_L non cresce quindi linearmente, ma con andamento sinusoidale determinato dall'oscillazione del circuito serie L_H-C_S, presentando così la richiesta curvatura ad "esse".

Durante la ritraccia, C_A e C_S possono essere considerati dei cortocircuiti di fronte alle correnti rapidamente variabili dovute alla risonanza serie di L_H ed Lp (ora risul-

tanti in parallelo) con C. Nella seconda fase della ritraccia, le correnti I_L e I_{Lp} assumono valori negativi, inferiori però a quelli positivi raggiunti nella prima fase, in conseguenza delle inevitabili perdite del circuito.

Durante la conduzione del diodo, le correnti I_L e I_{Lp} risalgono verso zero provvedendo, la prima a caricare Cs al valore E, e la seconda a scaricare sull'alimentatore l'energia in eccesso.

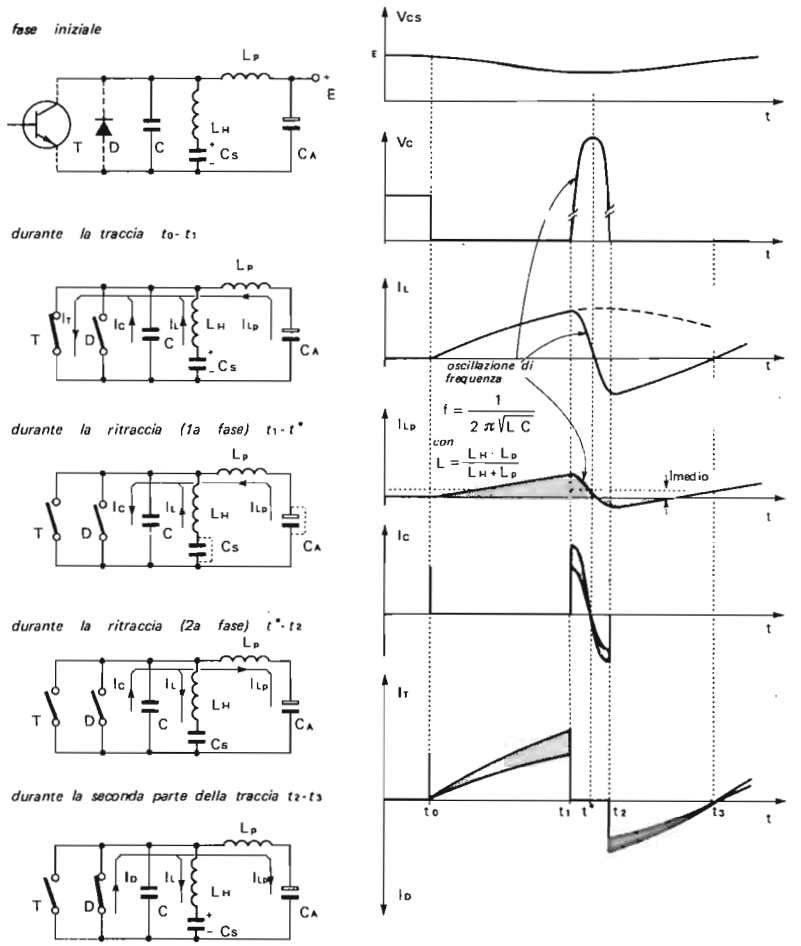


Fig. 6.1 - Funzionamento del circuito reale di deflessione di riga con diodo smorzatore in parallelo. Le zone tratteggiate rappresentano il contributo dell'alimentatore.

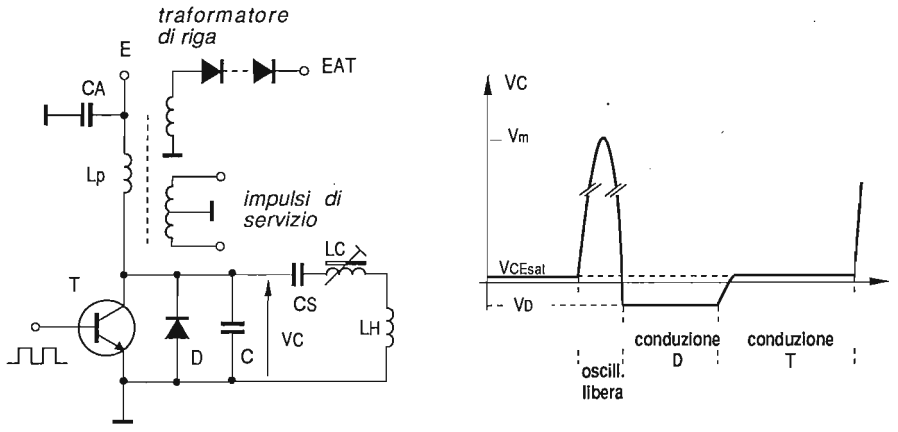


Fig. 6.2 - Per effetto della commutazione diodo-transistor la tensione Vc, durante la traccia, presenta uno scalino che causa non linearità.

Alla fine del ciclo, osserviamo che la corrente I_{Lp} ha un valore medio non nullo e perciò il prodotto $E \cdot I_{medio}$ rappresenta la potenza assorbita dal circuito di deflessione per compensare le perdite e gli assorbimenti dovuti ai diversi carichi che gravano sullo stadio.

Nei circuiti pratici, quasi sempre in serie all'induttanza L_H si trova un'induttanza L_C *(bobina di linearità)*, che ha lo scopo di compensare gli errori di linearità dovuti alla presenza di componenti resistive nel circuito. La caduta di tensione su tali componenti cresce con il crescere della corrente di deflessione. Se l'induttanza L_C viene saturata progressivamente dalla corrente di deflessione, la sua caduta di tensione decrescerà all'aumentare di quella, compensando così la caduta di tensione resistiva che, invece, come detto sopra, cresce.

In genere il valore L_C viene variato modificando l'orientazione di un magnetino posto nelle sue immediate vicinanze, che provvede alla premagnetizzazione del nucleo di ferroxcube sul quale L_C è avvolta. Al variare del campo magnetico stazionario, varia il valore della permeabilità magnetica iniziale e quindi il valore di L_C.

Ritornando al circuito (in Fig. 6.2 è indicata la sua configurazione pratica semplificata) osserviamo che per ridurre al minimo le perdite è necessario che la caduta di tensione ai capi dell'interruttore bidirezionale (coppia transistor-diodo) risulti più bassa possibile. Ciò si ottiene portando in saturazione il transistor e mantenendolo in questo stato per tutta la seconda fase dell'andata (intervallo t_2-t_3), iniettando nella base una corrente di valore superiore al rapporto I_C/h_{FEmin}. Nel seguito analizze-

remo con maggiore dettaglio gli effetti del pilotaggio sul funzionamento dello stadio finale. Per ora ci limitiamo ad osservare che, pur nelle migliori condizioni, la tensione ai capi di C durante la traccia assume i valori determinati dalle cadute di tensione su T (V_{CEsat}, positiva) e su D (V_D, negativa), come indicato nel diagramma di Fig. 6.2. Questo gradino introduce una non linearità nella corrente di deflessione che è tanto più marcata quanto più alto è il rapporto (V_{CEsat} +V_D)/E. Negli stadi alimentati con tensioni medio-alte, tale rapporto è inferiore all'1% e la conseguente distorsione di non linearità è senz'altro trascurabile. Un'altra considerazione è opportuna: l'istante di inizio della conduzione del transistor T dovrebbe coincidere esattamente con la fine della conduzione del diodo D. Poichè in pratica ciò è difficilmente raggiungibile, specialmente se si tiene conto della dispersione delle caratteristiche dei circuiti di pilotaggio, si anticipa l'istante di iniezione della corrente di base del transistor; ciò comunque non comporta l'istantanea conduzione di quest'ultimo, in quanto la tensione tra collettore ed emettitore è mantenuta negativa dalla conduzione del diodo.

6 - 2 PILOTAGGIO DEL TRANSISTOR FINALE DI RIGA

La configurazione classica del circuito pilota del transistor finale fa uso di un transistor funzionante come interruttore, il cui carico è costituito da un trasformatore (Fig. 6.3). Quando il pilota viene portato in saturazione, nel primario del trasformatore circola una corrente che cresce esponenzialmente e che induce al secondario

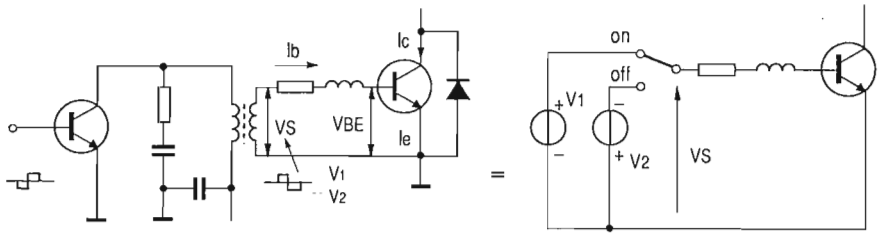


Fig. 6.3 - Accoppiamento a trasformatore tra transistor pilota e finale e suo circuito equivalente semplificato.

una tensione pressapoco costante. Il senso dell'avvolgimento secondario viene scelto in modo da determinare in questa fase l'interdizione del transistor finale. Nell'intervallo seguente, il pilota viene portato in interdizione e nel primario del trasformatore la corrente inizia a decrescere circolando nei componenti R-C disposti in parallelo. L'energia immagazzinata induce al secondario una tensione di polarità opposta alla precedente che è in grado di assicurare la saturazione del transistor finale.

Le due fasi di funzionamento appena descritte devono avvenire con modalità e tempi molto ben definiti, onde garantire al transistor finale un funzionamento sicuro ed affidabile.

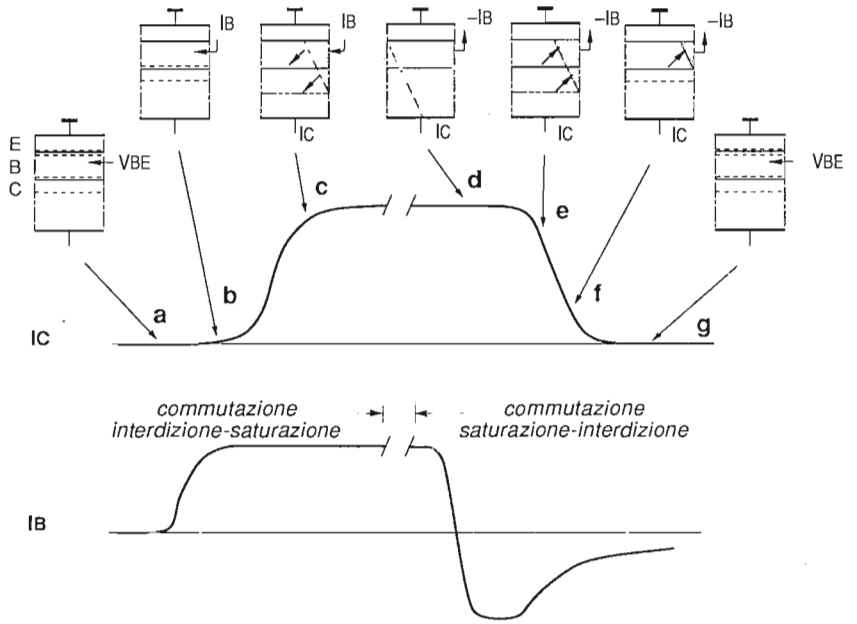


Fig. 6.4 - Diverse fasi caratterizzanti la commutazione di un transistor. Dallo stato di blocco (a e g), con l'iniezione della corrente di base si ha la progressiva carica della capacità base-emettitore (b), ancora con corrente di collettore nulla. Progressivamente, la base viene invasa da cariche in soprannumero che diffondono nella regione di collettore (c), fino a raggiungere l'elettrodo d'uscita. Il transistor è completamente saturato e I_C *non cresce più. L'inversione della* I_B *produce l'evacuazione progressiva delle cariche superflue, ma la* I_C *resta costante (d). Solo quando la regione della giunzione virtuale si allontana dal collettore, la* I_C *inizia a decrescere (e) fino ad annullarsi (g).*

6 - 2 - 1 Tempi di commutazione di un transistor interruttore

Con riferimento alla Fig. 6.4 analizziamo in dettaglio le fasi di commutazione di un transistor finale di riga costruito con la tecnologia *mesa a tripla diffusione*.

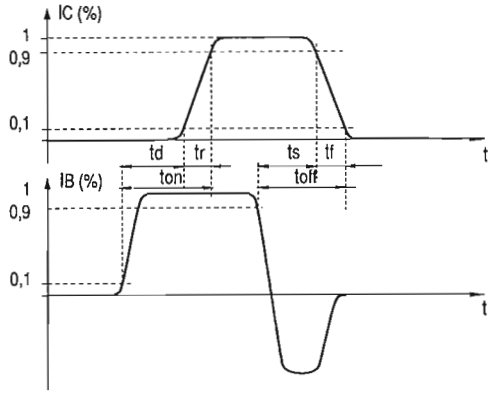
a) *Passaggio interdizione-conduzione.* Il transistor è inizialmente bloccato e le giunzioni B-E e B-C sono polarizzate inversamente: le correnti di base I_B e di collettore I_C sono entrambe nulle (Fig. 6.4a). La sorgente di corrente di base incomincia ad iniettare delle cariche che però determinano solamente la carica della capacità B-E e quindi la restrizione della zona di deplezione fino al raggiungimento della tensione di soglia della giunzione. Non essendoci iniezione di cariche dall'emettitore alla base, in questa fase (Fig. 6.4b) la corrente di collettore è ancora nulla. L'ulteriore apporto di corrente di base favorisce l'iniezione di cariche dall'emettitore e quindi la progressiva crescita della corrente di collettore fino alla saturazione (Fig. 6.4c). Contemporaneamente, la tensione di collettore scende dal valore iniziale a quello di saturazione V_{CEsat}. La corrente di base eccedente determina un'invasione di portatori di carica nella zona di collettore che si spinge fino al contatto d'uscita. In questa fase (Fig. 6.5) si individua un ritardo t_{on} tra la crescita della corrente di base e quella di collettore che però è di scarso rilievo nel caso degli stadi finali di riga.

b) *Passaggio saturazione-interdizione.* La situazione iniziale è quella vista in Fig. 6.4c. La riduzione della corrente di base ha il solo effetto di diminuire la concentrazione delle cariche eccedenti nella zona di collettore e base, senza modificazione della corrente di collettore I_C e della V_{CEsat}, poichè il transistor opera ancora in regime di saturazione (Fig. 6.4d). Continuando l'estrazione delle cariche attraverso la riduzione prima e l'inversione poi della corrente di base, la corrente di collettore si mantiene ancora costante mentre la V_{CE} inizia a crescere per effetto della caduta di tensione nella zona N del collettore che presenta ora una minore conducibilità (Fig. 6.4e).

Il transistor si trova ad operare nella zona di quasi saturazione delle caratteristiche d'uscita. Questa situazione permane fino a quando viene annullata completamente la carica nella zona di collettore (Fig. 6.4f). A partire da questo momento la corrente di collettore decresce, fino ad annullarsi progressivamente, quando anche la base risulta completamente sgombrata dalle cariche elettriche (Fig. 6.4g).

La fase di spegnimento del transistor è caratterizzata da un ritardo t_s *(storage time)*, dovuto all'immagazzinamento delle cariche, tra l'azione della corrente di base ed il corrispondente effetto su quella di collettore, ovverosia il tempo che separa le situazioni indicate in d ed f della Fig. 6.4. Un altro ritardo, indicato con t_f *(fall time)* rappresenta il tempo di caduta della corrente di collettore: è un parametro molto importante perchè indica la velocità con cui si passa dalla situazione f alla g.

Il modo di evolversi delle situazioni sopra descritte è determinato unicamente dall'andamento presentato nel tempo dalla corrente di base (Fig. 6.6). Se questa de-



td = tempo di ritardo
tr = tempo di salita
ts = tempo di immagazzinamento
tf = tempo di caduta

Fig. 6.5 - Definizione dei tempi caratteristici che interessano le transizioni off-on ed on-off di un transistor commutatore.

cresce troppo lentamente, si ha un considerevole aumento di ts ed il transistor si trova ad operare in zona di quasi saturazione, quindi con VCE crescente, prima della fase di fly-back, con conseguente aumento della dissipazione. Viceversa, se la corrente di base viene fatta diminuire troppo velocemente, si ha una riduzione del ts ma, poichè la giunzione B-E viene polarizzata inversamente prima che tutti i portatori di carica presenti in base vengano evacuati, per il fenomeno della ricombinazione si presenta una coda nell'andamento della corrente di collettore (aumento di tf) che causa una notevole dissipazione del transistor nella fase di commutazione.

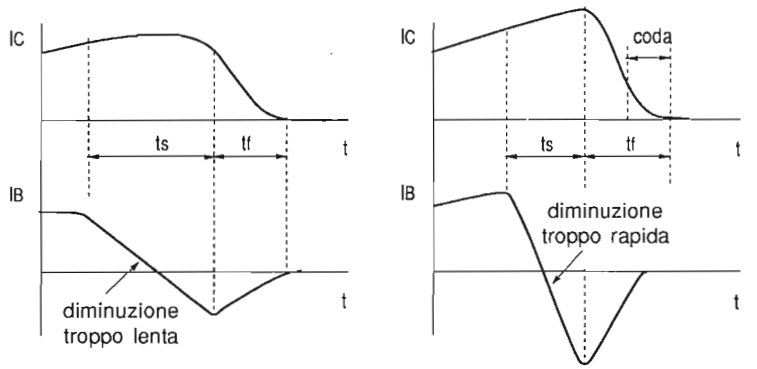
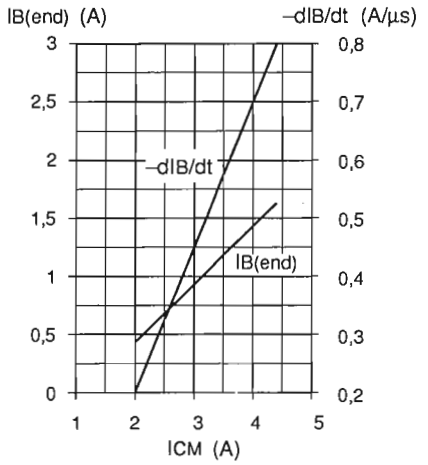


Fig. 6.6 - L'andamento della corrente di base del transistor finale di riga nella fase di turn-off determina quello della Ic e quindi la potenza dissipata nella commutazione.



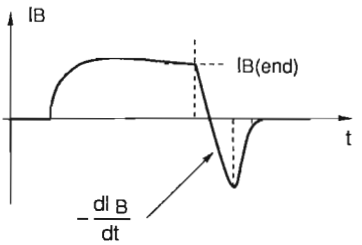


Fig. 6.7 - Valori raccomandati della corrente di base a fine scansione ($I_{B(end)}$) e della velocità di caduta della corrente di base (dIB/dt) in funzione della corrente di collettore di picco (I_{CM}) per il BU508A.

L'inserimento di un'induttanza L_B tra il secondario del trasformatore pilota e la base del transistor permette di controllare in modo soddisfaciente la rapidità di variazione della corrente di base nella fase di turn-off e quindi stabilire la durata del periodo t_s. Inoltre, non appena la corrente di base ha raggiunto il suo massimo valore negativo, corrispondente alla desaturazione del transistor, e riprende a salire verso zero, per effetto dell'autoinduzione si sviluppa su L_B una tensione che polarizza inversamente la giunzione B-E, portandola in zona di "break-down" ($V_{BE(BR)}$). Si ottiene così la rapida interdizione del transistor con un tempo t_f estremamente breve.

I parametri per il pilotaggio ottimale del transistor finale di riga si possono dedurre da particolari diagrammi (in Fig. 6.7 è indicato quello relativo al BU508A) una volta stabilito il valore di picco I_{CM} della corrente di collettore.

Analizziamo ora in dettaglio le diverse fasi di pilotaggio descritte in precedenza facendo riferimento allo schema ed ai diagrammi di Fig. 6.8.

Nell'istante t_0, la corrente di base $I_{B(end)}$ assume il valore:

$$I_{B(end)} = \frac{V_S(t_0) - V_{BE}}{R_B} \cong 1,5\ A$$

e da questo momento, per l'inversione della tensione V_S (che da V1 passa a –V2), la corrente decresce con una pendenza iniziale il cui valore può dedursi applicando la legge di Lenz:

$$\frac{dI_B}{dt} = \frac{-V_2 - V_{BE(on)}}{L_B}$$

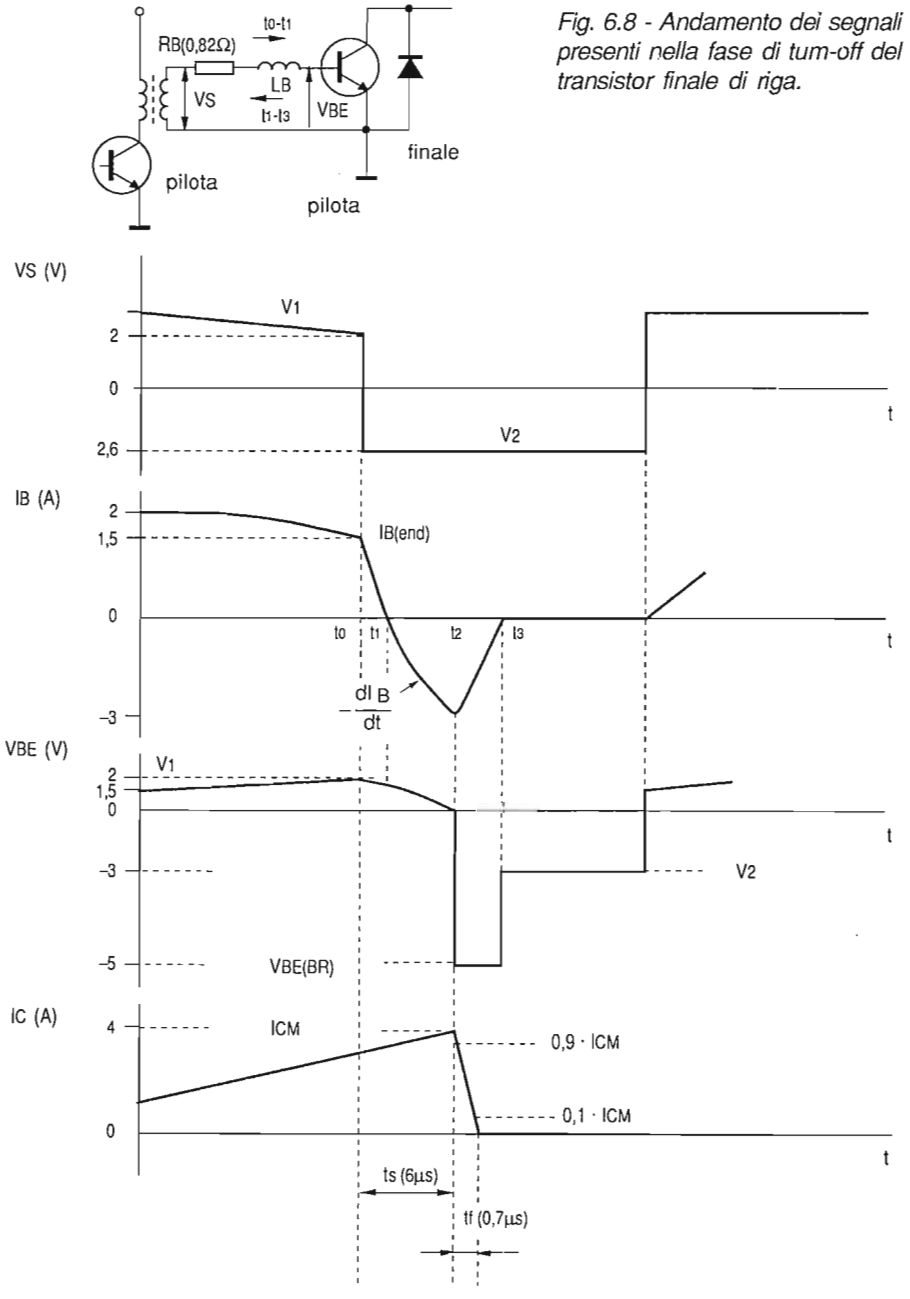


Fig. 6.8 - Andamento dei segnali presenti nella fase di tum-off del transistor finale di riga.

Da questa relazione, per una prestabilita pendenza (0,74A/μs), deducibile dal diagramma di Fig. 6.7, si risale al valore più opportuno per L_B che nel nostro caso risulta di circa 3,2μH.

Nell'intervallo t_1-t_2 la pendenza cambia di poco poichè la V_{BE} decresce lentamente per effetto della capacità d'entrata del transistor. In particolare, in t_2 la corrente di base cessa di decrescere e quindi si annulla la caduta di tensione su L_B. Avremo perciò:

$$I_B(t_2) = \frac{V_2 - V_{BE}(t_2)}{R_B} \cong 3\,A$$

A questo punto, con la base sufficientemente liberata dai portatori di carica, si possono polarizzare inversamente le giunzioni B-E e B-C, ottenendo così un rapido annullamento della corrente di collettore.

Come si è detto, l'induttanza L_B favorisce l'interdizione del transistor, poichè la tensione che si sviluppa ai suoi capi ($-L_B \cdot dI_B/dt$) va ad aggiungersi a quella negativa $-V_2$ presente al secondario dal trasformatore pilota, portando la giunzione B-E in zona di "breack-down" ($V_{BE(BR)}=-5V$ per il BU508A).

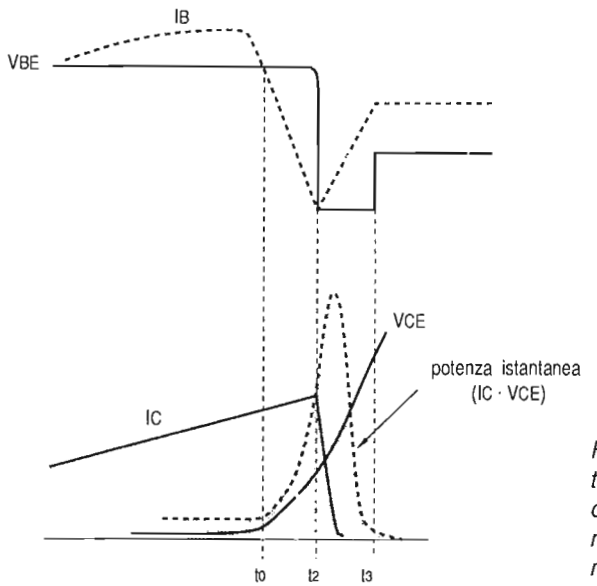


Fig. 6.9 - La potenza istantanea massima dissipata dal transistor finale di riga nella fase di turn-off è fortemente dipendente dagli andamenti di I_C e V_{CE}.

La pendenza di risalita della corrente di base è determinata da –V2 e da $V_{BE(BR)}$, oltre che dal valore di L_B, secondo la relazione:

$$\frac{d I_B(t_2)}{dt} = \frac{V_{BE(BR)} - V_2}{L_B}$$

Quando nell'istante t_3 la corrente I_B è diventata nulla, la giunzione B-E esce dalla zona di "breack-down" ed assume il valore della tensione secondaria –V2.

L'andamento della potenza dissipata nella fase di turn-off del transistor finale di riga è indicata in Fig. 6.9.

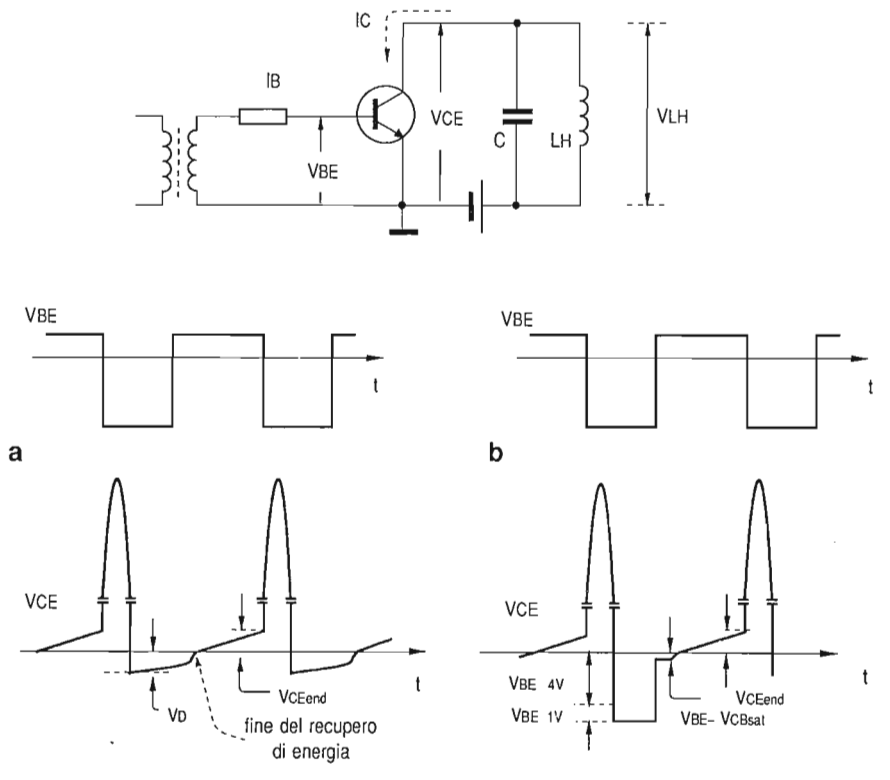


Fig. 6.10 - Confronto tra le forme d'onda caratteristiche nel caso di circuito tradizionale transistor-diodo (a) e di transistor con funzionamento bidirezionale (b).

6 - 3 TRANSISTOR FINALE DI RIGA CON FUNZIONAMENTO BIDIREZIONALE

Nei circuiti di deflessione di riga, operanti ad alta tensione di alimentazione, è possibile omettere il diodo smorzatore. In realtà la funzione di tale diodo viene svolta dalla giunzione collettore-base del transistor finale di riga, che diviene conduttrice quando il collettore si porta ad un potenziale inferiore rispetto a quello della base. Questa modifica impone che la tensione tra il collettore ed emettitore raggiunga un valore negativo pari alla somma delle tensioni V_{BE} e V_{CB}.

Si è visto nel paragrafo precedente che nel periodo di interdizione del transistor la base veniva portata ad una tensione negativa –V2 di circa –3÷–4V, per cui, complessivamente, se amettiamo che V_{CB}=–1V nella fase di conduzione del diodo base-collettore, la tensione V_{CE} in questa fase risulterà di circa –4÷–5V, anzichè –0,7V come nel caso d'impiego del diodo smorzatore parallelo.

La Fig. 6.10 riporta lo schema di principio e gli andamenti delle grandezze elettriche più importanti del circuito di deflessione di riga, che utilizza il transistor finale come interruttore bidirezionale, e mette a confronto le tensioni V_{CE} del transistor con e senza diodo recuperatore parallelo. Risulta evidente, dal confronto delle due curve, che la forma d'onda applicata alle bobine di deflessione verrà influenzata molto, nella fase di recupero, della tensione di interdizione –V2 applicata tra base ed emettitore, nel caso di assenza di diodo di recupero. Ne risulta perciò una distorsione della deflessione sul lato sinistro dell'immagine, l'ammontare della quale dipenderà dal valore della tensione di alimentazione. Se essa è di 150V e V2=–3V, la distorsione sarà di 4/150, cioè minore del 3%, valore senz'altro tollerabile.

Al contrario, se la tensione di alimentazione fosse di basso valore, tale distorsione diventerebbe inaccettabile, anche nel caso si potesse ridurre la V_{BE}. Pertanto, tutti i circuiti di deflessione orizzontale alimentati con basse tensioni dovranno necessariamente impiegare un diodo separato, collegato in parallelo al transistor.

In Fig. 6.11 sono riportati gli andamenti delle varie grandezze elettriche che interessano uno stadio finale equipaggiato con transistor operante in modo bidirezionale. Come si nota, nell'intervallo t_3-t_4, per effetto della rapida crescita della corrente nel diodo B-C, si produce su L_B una tensione che sommata a quella di pilotaggio (–V2) porta la giunzione B-E in zona di breack-down. Nella successiva fase (intervallo t_4-t_5), la corrente di base decresce con velocità molto inferiore, praticamente con una pendenza coincidente con quella presentata dalla corrente di deflessione e la tensione V_{BE} sale gradualmente dal valore $-V_{BE(BR)}$ a V_S.

In chiusura del paragrafo, osserviamo che l'impiego generalizzato dei circuiti modulatori a diodi per la correzione E-O della geometria dei cinescopi a 110° assicura comunque la presenza di due diodi in serie, posti in parallelo al transistor finale di riga, che agiscono come un unico diodo smorzatore a doppia tensione di soglia.

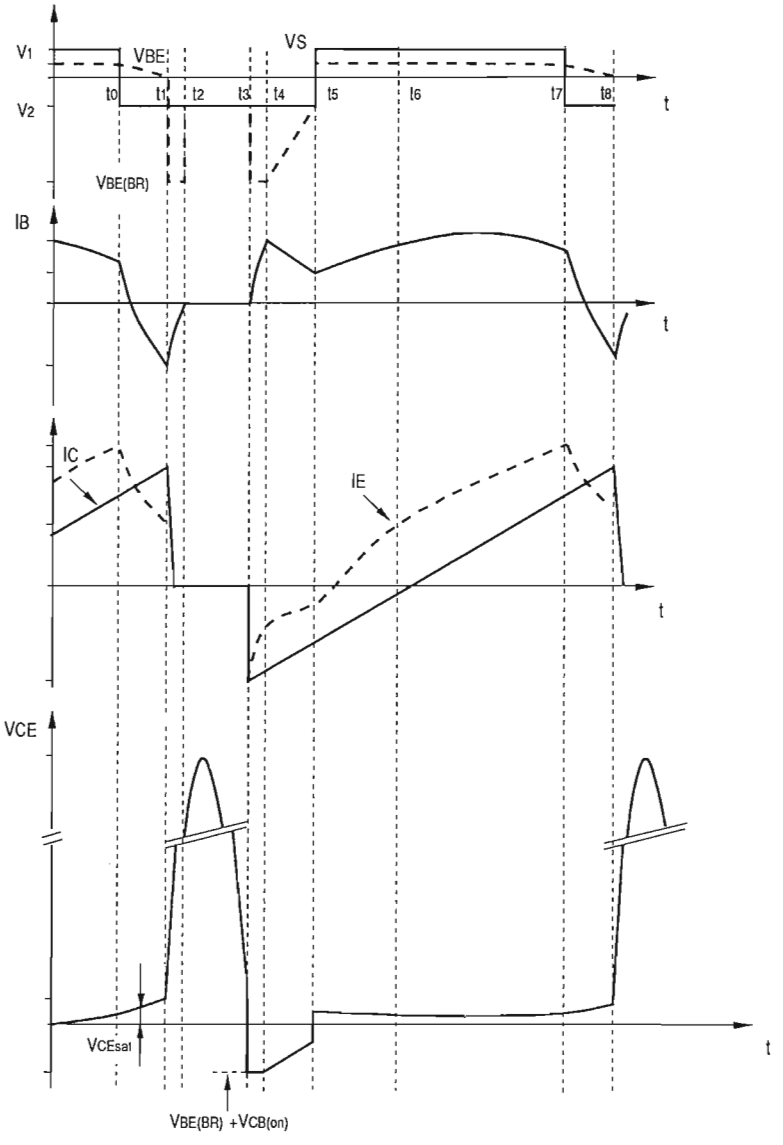
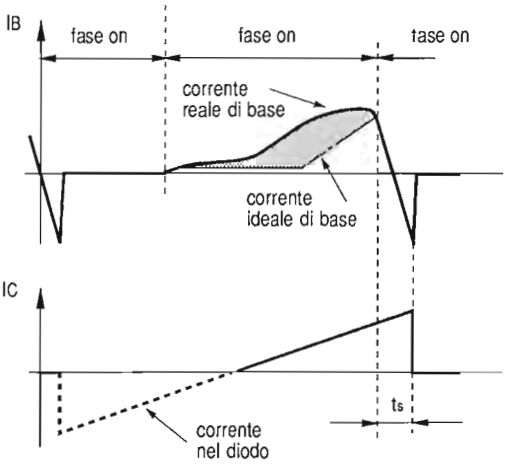


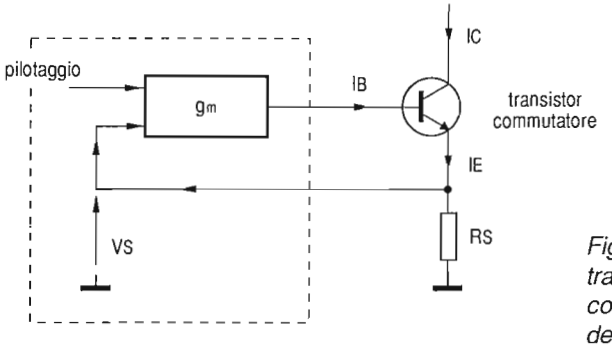
Fig. 6.11 - Andamento dettagliato dei segnali presenti sul transistor finale di riga con funzionamento bidirezionale.

Fig. 6.12 - La corrente di pilotaggio di base di un transistor commutatore presenta un'eccedenza (zona tratteggiata) che se da un lato assicura in tutti i casi la saturazione del dispositivo, dall'altro incrementa il tempo di evacuazione (ts) in fase di spegnimento.



6 - 4 IL TDA 8140 DRIVER ORIZZONTALE INTEGRATO

Nel circuito di pilotaggio tradizionale, a causa del modesto numero di componenti impiegati, l'andamento presentato dalla corrente di base si discosta da quello ideale, risultando sovrabbondante per quasi tutto l'intervallo di conduzione. In Fig. 6.12 l'area tratteggiata rappresenta la parte inutilizzata della corrente di base, che contribuisce ad incrementare inutilmente la potenza dissipata entro il transistor finale.



$$IB = RS \cdot g_m \cdot IE$$

$$g_m > \frac{1}{1+\beta_{min}} \cdot \frac{1}{RS}$$

Fig. 6.13 - Pilotaggio del transistor finale di riga con compensazione dinamica del guadagno di corrente.

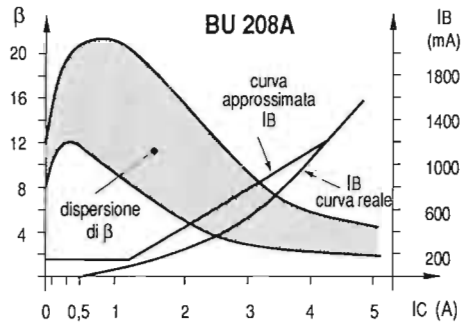


Fig. 6.14 - Andamento del guadagno di corrente β e della corrente di base IB in funzione della corrente di collettore Ic per il transistor BU208.

D'altra parte, questo modo di funzionare del pilota è il solo che garantisce la perfetta saturazione del finale, anche durante le fasi transitorie di funzionamento presenti all'accensione e allo spegnimento dell'apparecchio.

La soluzione ottimale del problema consiste nell'uso di un circuito che per mezzo di una rete di reazione fornisca una corrente di base con un andamento il più vicino

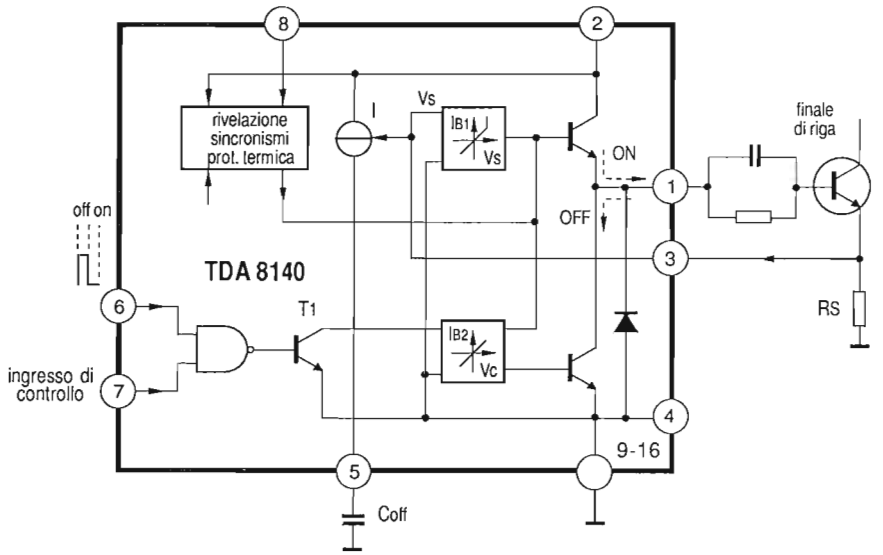


Fig. 6.15 - Schema a blocchi dell'integrato TDA 8140 driver di riga.

possibile a quello ideale. Questo è il concetto di base del funzionamento del TDA 8140, sviluppato espressamente per controllare dinamicamente, in modo ottimale, la corrente di base del transistor finale di riga, assicurando in tutte le situazioni le migliori condizioni di pilotaggio. L'integrato dispone inoltre di circuiti di controllo e di protezione che contribuiscono ad aumentare considerevolmente l'affidabilità dell'intero stadio di deflessione.

In Fig. 6.13 è indicato il principio di funzionamento del driver integrato: un amplificatore, caratterizzato da una transconduttanza g_m (I_C), trasforma la tensione V_S che si sviluppa ai capi della resistenza R_S, per effetto della I_E, nella corrente di pilotaggio I_B, sufficiente a garantire la saturazione del transistor finale. Questa condizione è sicuramente raggiunta se il valore della transconduttanza soddisfa la disequazione indicata nella Fig. 6.13. Volendo però limitare la I_B al valore strettamente necessario, si richiede che g_m vari al cambiare di I_E in modo da compensare la diminuzione del guadagno di corrente β con il crescere della corrente di collettore. Dall'esame dell'andamento di β in funzione di I_C (in Fig. 6.14 è riportato il caso del BU208A), si può derivare quello di I_B in funzione di I_C per il caso peggiore, vale a dire per i transistor con β_{min}. Questa risulta la funzione di trasferimento ideale del driver che, nella realtà, viene approssimata dalla somma di un termine costante con uno proporzionale a I_C.

In Fig. 6.15 è riportato lo schema a blocchi del TDA 8140, dal quale si deduce che la corrente erogata al pin 1 nella fase di conduzione del finale è controllata dall'amplificatore a caratteristica prestabilita (V_S-I_{B1}), di cui si è appena detto. In questa fase, l'ingresso di controllo (pin 7) si trova al livello L ed il transistor T1 risulta interdetto: di conseguenza il condensatore C_{off}, connesso tra il pin 5 e massa, viene caricato dal generatore di corrente I, pilotato da V_S. Nella successiva fase di spegnimento, quando il pin 7 di controllo viene portato al livello H, si ha la saturazione di T1 e la conseguente rapida scarica di C_{off}. La tensione V_C presente su quest'ultimo viene tradotta in corrente da un secondo convertitore (V_C-I_{B2}), la cui uscita rappresenta la rampa decrescente della corrente di base necessaria per assicurare la veloce interdizione del transistor.

L'integrato comprende uno stadio di protezione che blocca il pilotaggio del finale quando si verifica uno dei seguenti casi:

- la temperatura del chip supera i 150°,
- la tensione di alimentazione è inferiore a 7V,
- il pin 8 si trova al livello L durante la fase di turn-off.

In particolare, se a quest'ultimo pin viene inoltrato l'impulso di fly-back di riga, si attua una protezione dello stadio finale nel caso di cortocircuito o sovraccarico.

In Fig. 6.16 è riportato lo schema elettrico dello stadio finale di riga del telaio Imperial mod. 860, equipaggiato con il driver integrato TDA 8140 ed il finale BU508D.

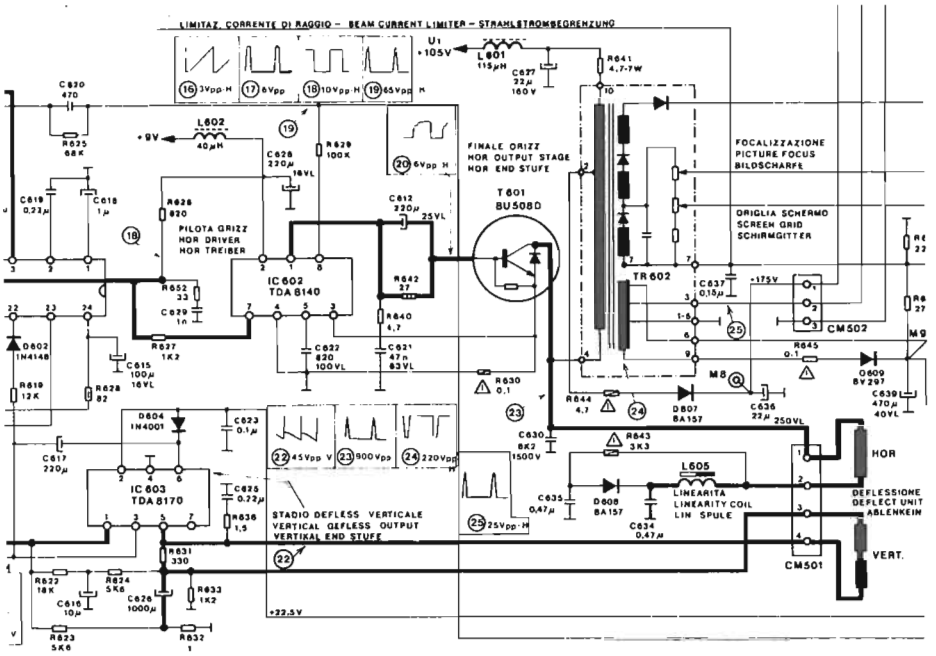


Fig. 6.16 - Stadio finale di riga equipaggiato con il transistor BU508D ed il driver integrato TDA 8140 (Imperial - 860).

capitolo settimo

E.A.T. E CORREZIONE E-O

7 - 1 PRODUZIONE DELL'EAT

Da alcuni anni, la tradizionale tecnica di produzione dell'EAT per mezzo di un triplicatore di tensione è stata sostituita da quella che fa uso di trasformatori di riga con raddrizzamento EAT incorporato. In questo trasformatore, i diodi raddrizzatori sono incorporato nello stesso avvolgimento che produce l'EAT. A differenza dei triplicatori convenzionali (che impiegano sei diodi e cinque condensatori), in questo caso i diodi impiegati sono tre (o quattro), mentre mancano del tutto i condensatori. Per la produzione dell'EAT si impiega un sistema di raddrizzamento frazionato che fa uso delle capacità distribuite che vengono a formarsi tra le sezioni in cui è suddiviso l'avvolgimento EAT. L'alta tensione è ottenuta, in questo caso, mediante il collegamento in serie di alcuni generatori di tensione, ciascuno dei quali è costituito da una sezione dell'avvolgimento secondario del trasformatore di riga, da un diodo raddrizzatore e da una capacità di filtraggio, come indicato in Fig. 7.1.

Ciascun diodo rettifica la tensione impulsiva presente ai capi dell'avvolgimento durante i ritorni di riga, caricando la capacità di pertinenza ad un valore di tensione prossimo a quello di picco E dell'impulso.

Il valore di EAT richiesto per l'alimentazione dell'anodo acceleratore del cinescopio, compreso tra 23 e 25kV a seconda della diagonale, ed il valore massimo della corrente media fornita, pari a circa 1,5mA, possono essere prodotti da un trasformatore con un avvolgimento secondario costituito da tre strati, ciascuno dei quali fornirà una tensione di 7,5 ÷ 8,5kV.

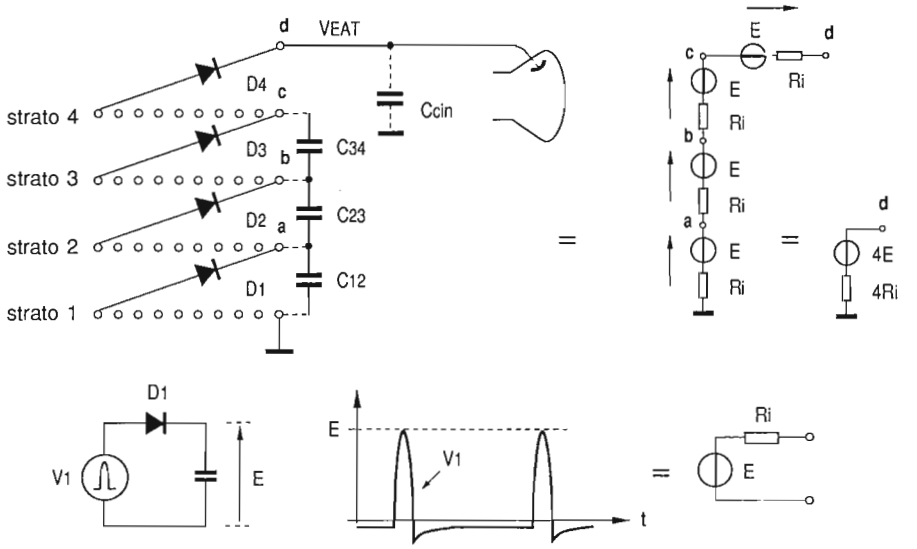


Fig. 7.1 - Principio di funzionamento del generatore di EAT con rettificatori incorporati. Ciascuna sezione dell'avvolgimento, assieme al relativo diodo e alla capacità distribuita, equivale ad un generatore di fem E e resistenza interna Ri.

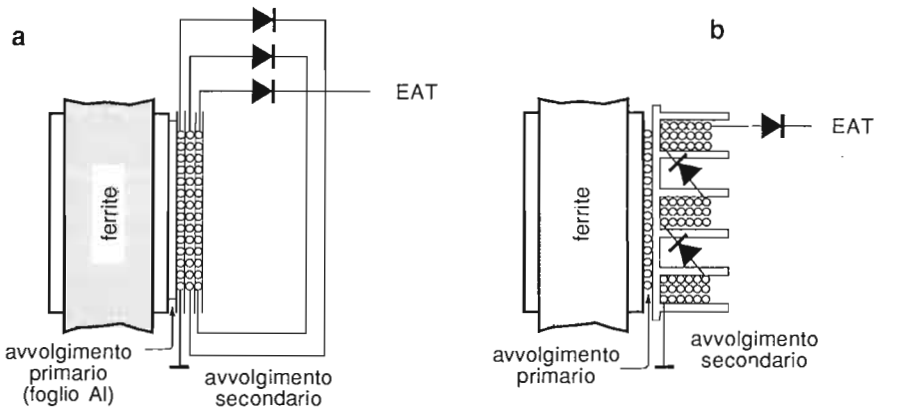


Fig. 7.2 - Il trasformatore a raddrizzamento frazionato può presentare la struttura a strati sovrapposti (a) o affiancati (b).

Dal punto di vista costruttivo, l'avvolgimento secondario può presentare due strutture: a strati (Fig. 7.2a), con i tre avvolgimenti disposti uno sull'altro, oppure a ciambella (Fig. 7.2b) con i tre avvolgimenti che trovano posto all'interno di scanalature separate.

In entrambi i casi, tra le coppie di spire sovrapposte (di materiale conduttore) e l'isolante che le separa, si formano delle capacità che per costruzione risultano collegate in serie. La combinazione di questa capacità fornisce il valore complessivo che si presenta tra un estremo e l'altro degli avvolgimenti adiacenti. Quest'ultimo è però nettamente inferiore al valore della capacità presentata dal cinescopio attraverso il contatto di EAT, pertanto il compito di livellare la tensione rettificata spetta principalmente a questa, mentre le capacità interstrato hanno la funzione prevalente di ripartire equamente, tra i diodi, la tensione inversa che si manifesta durante i periodi di scansione.

Spesso il trasformatore è dotato di un terminale che internamente fa capo al catodo del primo diodo (Fig. 7.3): la tensione continua ivi presente, in questo caso pari a 1/3 dell'EAT, viene utilizzata per la regolazione del fuoco e a volte anche della V_{g2}. L'estremo inferiore del primo avvolgimento è generalmente chiuso a massa attraverso una cella RC, con il compito di fornire una tensione filtrata il cui valore medio risulta proporzionale a quello della corrente del cinescopio. Questa informazione viene utilizzata per attivare il limitatore posto nella scheda video-PAL e, in alcuni casi, anche per compensare le variazioni di ampiezza verticale e orizzontale del quadro che, in assenza di circuito stabilizzatore di EAT, si avrebbero in corrispondenza di zone particolarmente luminose.

La tecnica descritta presenta evidenti vantaggi in termini d'ingombro, sicurezza di funzionamento e di costo, rispetto ai sistemi convenzionali di produzione dell'EAT del tipo diretto o a triplicatore di tensione.

7 - 2 CORREZIONE E-O. MODULATORE A DIODI

Nei televisori di grande schermo dotati di cinescopio con angolo di deflessione di 110°, l'impiego di unità di deflessione autoconvergenti ha permesso di eliminare totalmente i circuiti di convergenza dinamica e le relative regolazioni. La distorsione a cuscino in direzione N-S è stata eliminata, con un opportuno dimensionamento del giogo, a spese di un modesto incremento della distorsione a cuscino in direzione E-O, complessivamente ammontante a circa l'8% nei cinescopi PIL-S6 e 30AX, che salgono a oltre il 12% per i più recenti cinescopi FS10 e 45AX. Questo errore

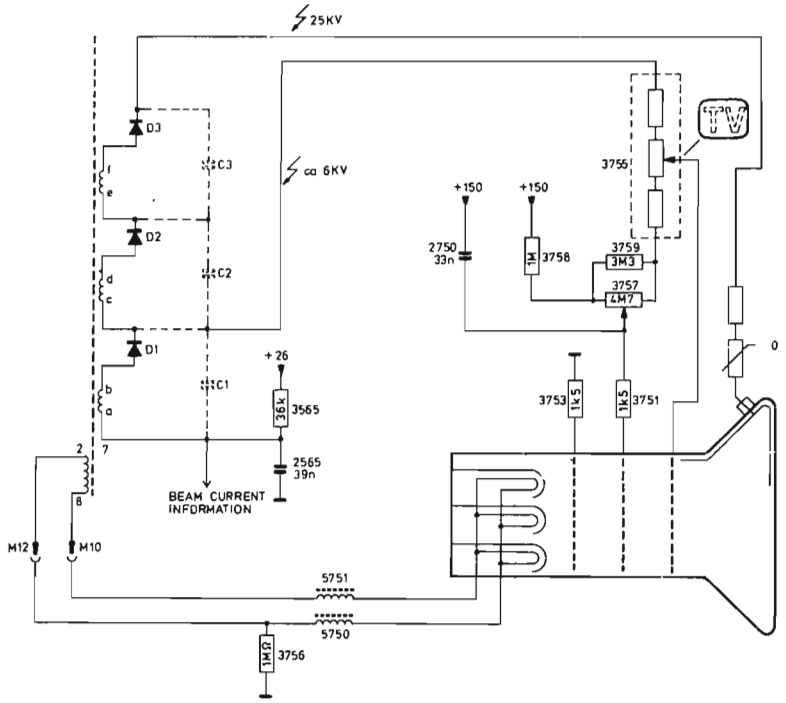


Fig. 7.3 - Schema elettrico della sezione di EAT e di focalizzazione di un televisore Philips.

viene compensato ricorrendo ad una modulazione parabolica a frequenza di quadro della corrente di deflessione di riga, attuata per mezzo di un modulatore a diodi.

Nelle prime configurazioni circuitali adottate, il modulatore richiedeva di essere caricato per consentire un assorbimento di circa 36W, che risultava utilizzato in parte per alimentare alcuni stadi del televisore, ed il rimanente dissipato entro un carico resistivo. Ciò si rendeva necessario per assicurare la conduzione del diodo superiore in tutte le condizioni di modulazione.

Nelle soluzioni adottate successivamente, il modulatore a diodi è connesso in parallelo al transistor finale di riga, svolgendo in questo modo anche la funzione di *diodo damper*. Ora però, per effetto dell'energia accumulata entro l'induttanza del giogo, la corrente fluisce sempre attraverso il diodo superiore nella prima metà della deflessione e perciò il circuito non richiede alcun carico.

In Fig. 7.4 è indicato lo schema elettrico semplificato dello stadio finale di riga dotato di modulatore E-O a diodi, il cui principio di funzionamento può essere facilmente compreso facendo riferimento a quanto già visto al Par. 6.1. Com'è noto, se un'induttanza L viene sottoposta ad una tensione costante E, la corrente che la attraversa cresce con legge lineare, presentando una pendenza pari a E/L. Ciò significa che, una volta definito l'intervallo di crescita (T_{Ht}, periodo di traccia), l'escursione picco a picco della corrente risulta pari a:

$$I_{pp} = \frac{E}{L} \cdot T_{Ht}$$

quindi proporzionale ad E. Il modo più ovvio per modificare l'ampiezza della corrente di deflessione, quindi la larghezza della scansione, è quello di variare la tensione che alimenta l'induttanza. Nel caso della correzione E-O, tale variazione dovrà avvenire con legge parabolica a frequenza di quadro. E' necessario però che il sistema di deflessione presenti sempre lo stesso carico al circuito finale, in modo che tutte le altre funzioni svolte da questo (produzione dell'EAT, generazione delle tensioni secondarie, ecc.) non ne abbiano a risentire.

Nel circuito di Fig. 7.4, in serie a L_H-C_S, si trova L_M-C_M che ha il compito di sottrarre energia al primo. La tensione di alimentazione E, infatti, si ripartisce tra C_S e C_M, determinando sul primo una tensione di valore medio $V_{CS}=E-V_{CM}$. Questa stessa tensione sarà presente anche ai capi di L_H nel periodo di scansione orizzontale, durante il quale risultano conduttori o il transistor T o i diodi D1 e D2, determinando

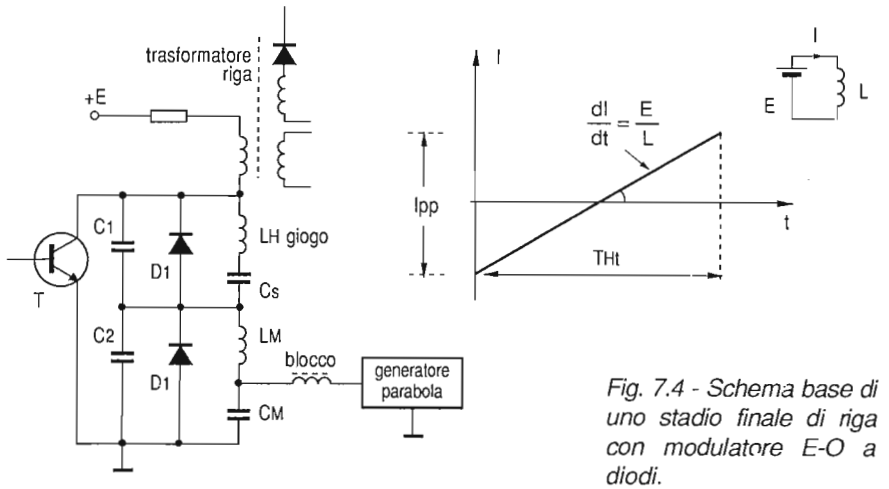


Fig. 7.4 - Schema base di uno stadio finale di riga con modulatore E-O a diodi.

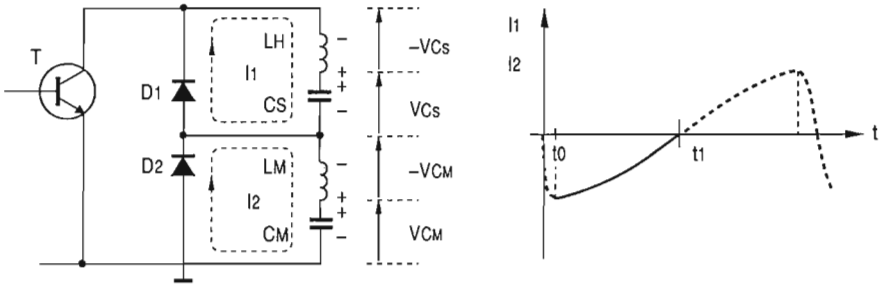


Fig. 7.5 - Comportamento del modulatore E-O a diodi nella prima metà della traccia (transistor interdetto).

così l'ampiezza picco a picco della corrente di deflessione. Modificando V_{CM} con legge parabolica si otterrà la richiesta correzione E-O.

Durante la prima metà dell'ondata (intervallo t_0-t_1), l'energia accumulata nelle induttanze si scarica determinando la circolazione di una correte con andamento "ad esse" entro le due maglie L_H-C_S-D1 e L_M-C_M-D2, come indicato in Fig. 7.5. Durante la seconda metà dell'andata (t_1-t_2) il transistor T viene riportato in conduzione, però, per effetto della tensione di carica dei condensatori C_M e C_S, i due diodi risultano conduttori, permettendo alle correnti delle due maglie di circolare secondo i versi indicati in Fig. 7.6.

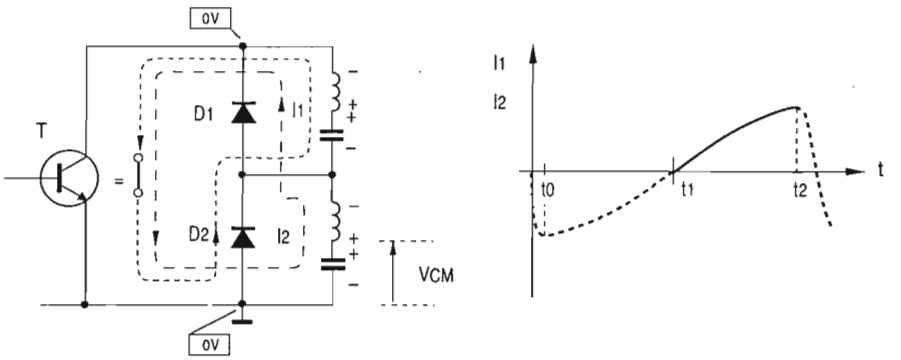


Fig. 7.6 - Comportamento del modulatore E-O a diodi nella seconda metà della traccia (transistor saturo).

L'effetto della tensione di modulazione è di suddividere la tensione di alimentazione tra i condensatori e quindi ripartire la corrente tra le due maglie del circuito, però la corrente totale che attraversa il transistor è sempre costante e indipendente dalla tensione di alimentazione: ciò significa che il carico per il transistor è costante. Analoghe conclusioni per quanto riguarda la situazione vista dall'alimentatore attraversc il primario del trasformatore di riga, che significa indipendenza delle tensioni prodotta ai secondari (EAT compresa) dalla modulazione E-O. Quest'ultima affermazione è vera se durante i ritorni di riga la frequenza di risonanza del circuito non viene modificata dalla tensione di modulazione: ciò si verifica se le frequenze di accordo del circuito di deflessione e di quello di modulazione coincidono, vale a dire se risulta soddisfatta la condizione:

$$L_H \cdot C_1 = L_M \cdot C_2$$

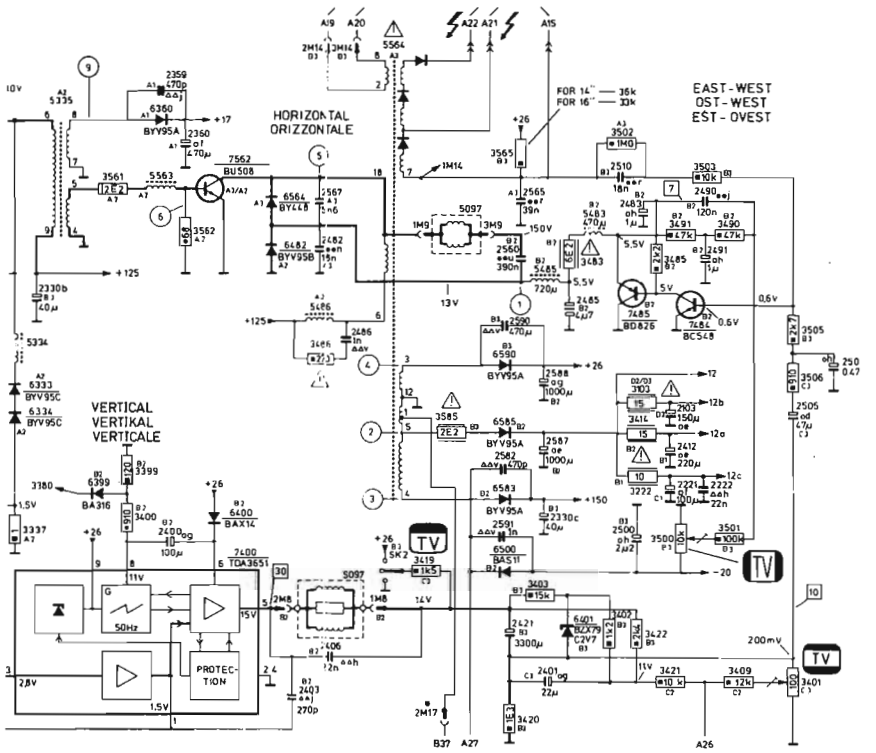


Fig. 7.7 - Stadio finale di riga equipaggiato con il modulatore a diodi descritto in precedenza.

In Fig. 7.7 è riportato uno schema pratico nel quale viene impiegato il circuito descritto, dove si riconoscono facilmente i vari elementi incontrati in precedenza.

La produzione del segnale parabolico è affidata ai due transistor 7484 (T1) e 7485 (T2), connessi in modo da formare un amplificatore operazionale. Gli ingressi invertente e non-invertente sono, rispettivamente, la base e l'emettitore di T1, mentre l'uscita fa capo all'emettitore di T2. Quest'ultimo, essendo di tipo p-n-p, può solamente assorbire corrente dal carico, rappresentato dal condensatore 2485 (il CM dello schema di principio), controllandone perciò la tensione solo verso il "basso".

Per l'analisi del circuito, facciamo riferimento alla Fig. 7.8 nella quale per semplicità i transistor sono stati sostituiti con il simbolo dell'amplificatore operazionale. All'ingresso invertente risultano applicati tre segnali, le cui funzioni sono le seguenti:

- regolazione della larghezza dell'immagine, attraverso la tensione continua di polarizzazione dell'ingresso;
- compensazione della larghezza al variare della corrente media del fascetto;
- modulazione parabolica della deflessione per la correzione E-O.

I primi due segnali interessano il funzionamento in continua del circuito, per il quale possono essere ignorate le capacità presenti.

Si ottiene così la situazione indicata in Fig. 7.9a, della quale si deduce che il valore di tensione continua presente all'uscita dipende dalla posizione del cursore del potenziometro di larghezza e dall'informazione sull'ampiezza della corrente di fascio in arrivo dall'avvolgimento dell'EAT, secondo la relazione indicata.

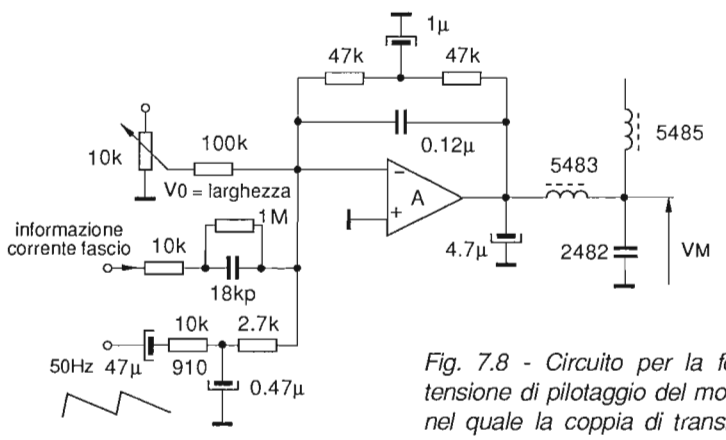


Fig. 7.8 - Circuito per la formazione della tensione di pilotaggio del modulatore a diodi, nel quale la coppia di transistor è sostituita dal simbolo di amplificatore operazionale.

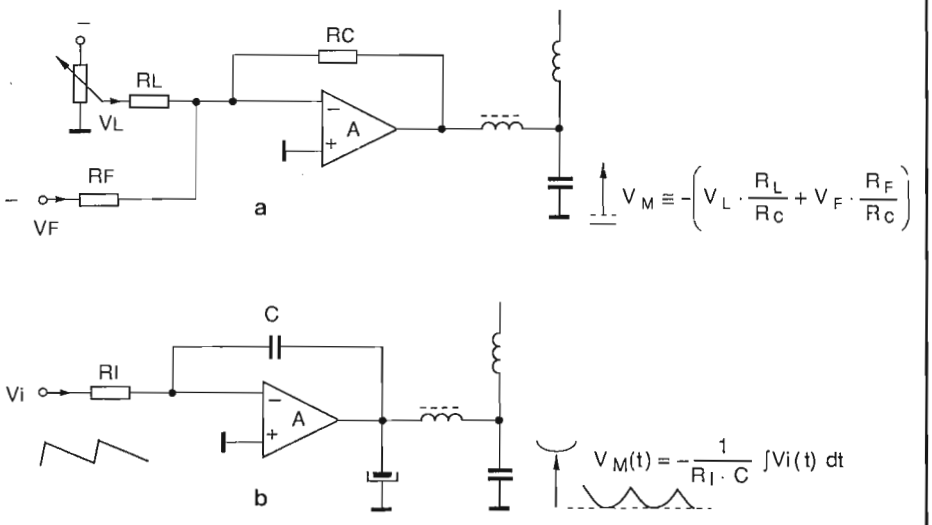


Fig. 7.9 - Rappresentazioni del circuito di Fig. 7.8 valide per le sole componenti continue (a) e per i segnali (b). La sovrapposizione degli effetti indica il modo di funzionare dell'intero circuito.

La situazione per le sole componenti alternate è indicata in Fig. 7.9b. Il circuito presenta la struttura di integratore attivo, per effetto della capacità connessa tra uscita ed entrata (120nF) e trasforma la tensione d'ingresso a dente di sega lineare in parabola simmetrica. Di conseguenza la tensione V_M è minima al centro del quadro (larghezza massima) e massima in alto e in basso (cui corrisponde la minima deflessione orizzontale).

7 - 3 IL PILOTA-MODULATORE INTEGRATO TDA 4950

Da qualche tempo, anche lo stadio pilota del modulatore a diodi per la correzione E-O è stato integrato, e ciò ha permesso la realizzazione di circuiti correttori molto precisi e dal funzionamento stabile nel tempo. L'impiego di uno stadio finale funzionante ad impulsi (classe D) presenta il notevole vantaggio di un basso assorbimento di potenza da parte dell'integrato (di poco superiore ai 100mW) e quindi una limitata dissipazione dei transistor finali.

In Fig. 7.10 è riportato lo schema a blocchi del TDA 4950, che rappresenta uno degli integrati di correzione E-O più diffusi. Esso comprende:

- uno stadio rettificatore a due semionde,
- un quadratore per generare la corrente parabolica,
- uno stadio modulatore ad impulsi,
- lo stadio finale operante in classe D.

L'integrato fornisce all'uscita un segnale di correzione, sotto forma di impulsi a frequenza di riga di larghezza variabile, che viene applicato al centro dei diodi del modulatore E-O, così da modificare, riga per riga, la corrente di deflessione orizzontale con una legge dipendente dalla quantità di correzione necessaria. Facendo riferimento alla Fig. 7.11, che riporta lo schema d'impiego del TDA 4950 nel telaio Seleco BS 665.3, analizziamo il funzionamento dell'integrato.

Al terminale M2 della scheda giunge il segnale applicato alle bobine di deflessione verticale che viene elaborato da T1F e T2F in modo da ottenere all'emettitore di quest'ultimo un dente di sega lineare e con un tempo di ritorno inferiore a quello della relativa deflessione. Il transistor T1F, in particolare, provvede a scaricare il condensatore C6F che viene caricato a corrente quasi costante verso l'alimentazione tramite R4F-R5F ed R9F. Quest'ultima determina l'entità della corrente media di emettitore di T2F, nel momento della scarica del condensatore, e perciò il valore del livello in continua (2V) del dente di sega applicato poi al pin 2 dell'integrato.

All'interno, il dente di sega viene trasformato in un'onda triangolare per mezzo di un rettificatore ad onda interna. Questo comprende un amplificatore differenziale al cui ingresso invertente (pin 2) è applicato il segnale e a quello non-invertente (pin 1) una tensione continua corrispondente al livello medio del segnale, ottenuta partendo da quella di riferimento presente al pin 3. Il rettificatore elabora il segnale rovesciando la fase della parte "negativa", ovverosia della parte che si trova sotto il livello a cui è posto il pin 1. Alla sua uscita è così disponibile un'onda triangolare, la cui simmetria può essere modificata tramite il potenziometro presente al pin 1 che, pertanto, permette la correzione della *distorsione trapezia*.

Il segnale entra quindi nello stadio formatore della parabola il quale trasforma i rami lineari dell'onda triangolare in parabolici. Il relativo segnale d'uscita, presente al pin 7 (dove è possibile regolarlo in ampiezza tramite P1F), viene internamente portato ad uno dei due ingressi di un comparatore. All'altro ingresso (pin 8) viene applicato un segnale a dente di sega ottenuto dall'impulso di fly-back (prelevato dal trasformatore di riga) dopo essere stato limitato da D1F e DZ1F, regolato in ampiezza con P3F e integrato con C8F. All'uscita del comparatore risultano in questo modo disponibili degli impulsi rettangolari, a frequenza di riga, modulati in larghezza, che presentano la durata massima all'estremità superiore dei rami parabolici (corrispondenti alle estremità verticali della deflessione) e minima al centro.

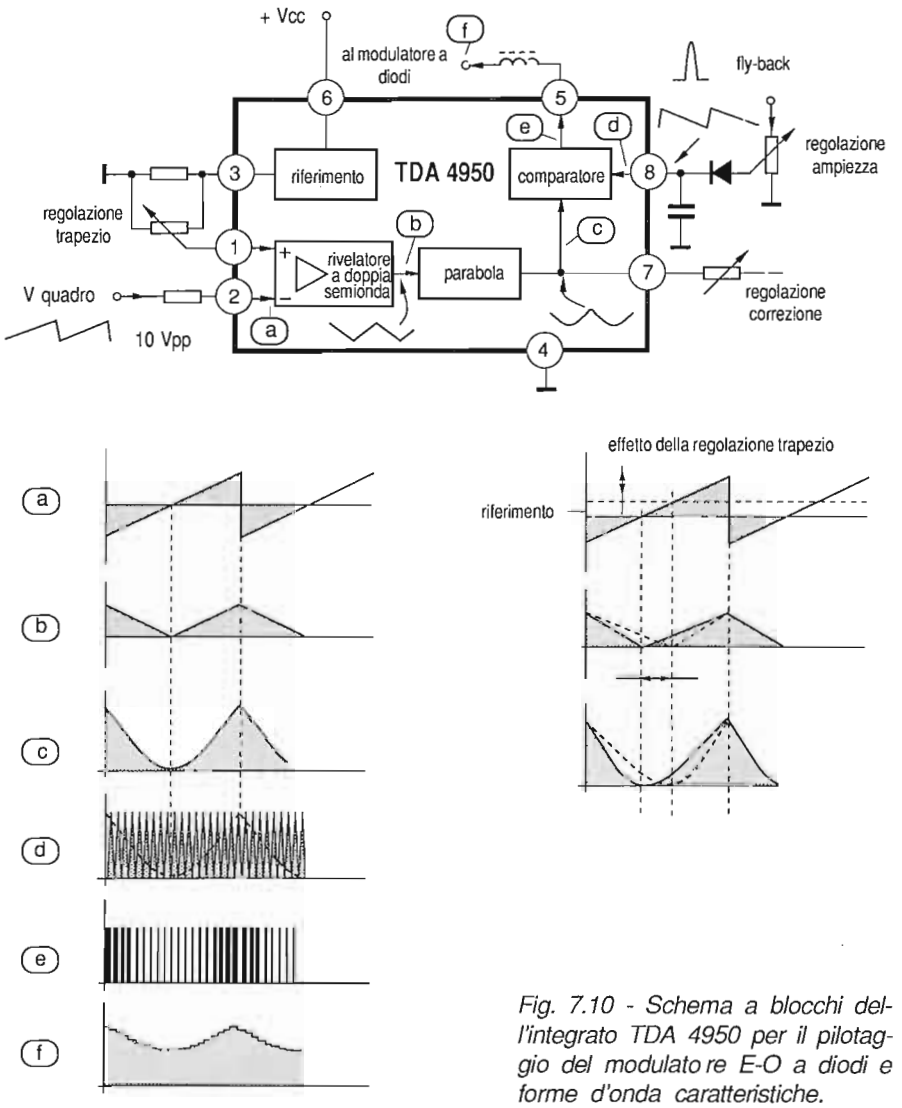


Fig. 7.10 - Schema a blocchi dell'integrato TDA 4950 per il pilotaggio del modulatore E-O a diodi e forme d'onda caratteristiche.

Questi impulsi pilotano lo stadio finale, il quale è collegato ai diodi modulatori D3E-D4E per mezzo di un filtro passa-basso LC. La tensione risultante al centro dei diodi è perciò l'integrazione del segnale impulsivo e presenta il noto andamento parabolico.

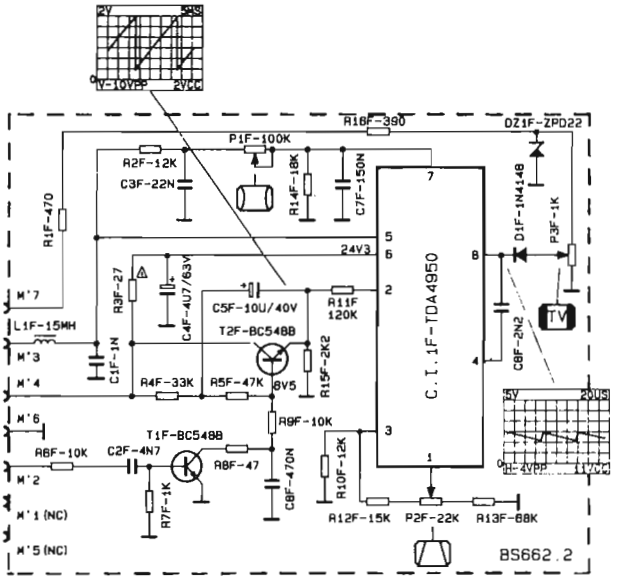


Fig. 7.11 - Schema elettrico della scheda equipaggiata con il TDA 4950 per la correzione E-O (Seleco BS665).

capitolo ottavo

LA SEZIONE DI ALIMENTAZIONE

8 - 1 INTRODUZIONE

In quest'ultimo decennio lo sforzo dei costruttori, mirante a ridurre la potenza richiesta dai televisori a colori, ha portato all'impiego quasi generalizzato di *alimentatori a commutazione* in sostituzione di quelli tradizionali con transistor regolatore in serie o parallelo. Oltre all'elevato rendimento, che ha permesso la realizzazione di stadi con potenze dissipate di pochi watt, questi alimentatori possiedono doti di affidabilità e sicurezza di funzionamento, offrendo inoltre la possibilità di separare elettricamente la sezione primaria, connessa alla rete, da quella secondaria che comprende tutti gli altri stadi del televisore.

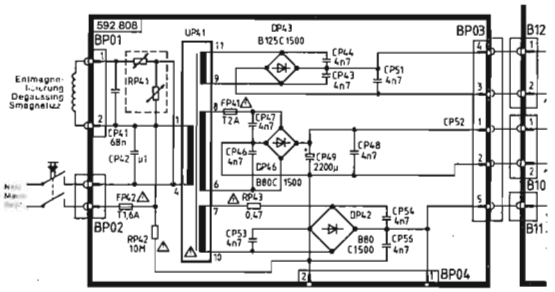
Dell'alimentatore a commutazione, nei paragrafi seguenti, esamineremo le soluzioni principali, con le quali si possono interpretare quasi tutti i circuiti di questo tipo che si incontrano negli schemi pratici. Inizieremo con la descrizione di un alimentatore commutato che opera come elvatore di tensione continua, nel quale l'isolamento del telaio è affidato al tradizionale trasformatore di rete. Seguirà la descrizione di alcuni alimentatori switch-mode asincroni e sincroni, fino a giungere alla più sofisticata soluzione "master-slave".

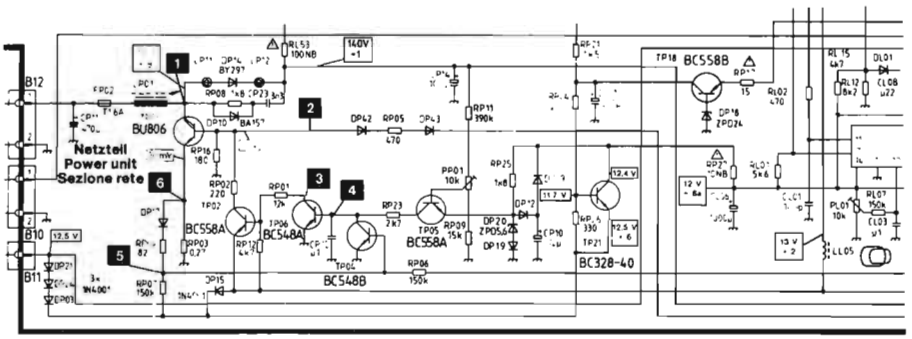
8 - 2 ALIMENTATORE COMMUTATO STEP-UP

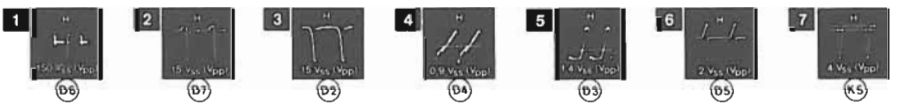
Il telaio Nord-Mende F11 è dotato di un alimentatore (Fig. 8.1) che fa uso di un tradizionale trasformatore isolatore per assicurare il richiesto isolamento della massa del telaio dalla rete. Ai tre secondari fanno capo altrettanti ponti rettificatori. Le uscite di 31V e 12,5V vengono utilizzate, rispettivamente per l'alimentazione dello stadio finale audio e dell'oscillatore di riga nella fase di start.

La tensione d'uscita del terzo secondario (terminali 6-8) viene rettificata dal ponte DP43 e filtrata da CP11. Su quest'ultimo è presente una tensione continua di circa 100V, che viene successivamente innalzata a 140V e stabilizzata per mezzo di uno stadio di *step-up* comandato dal transistor commutatore TP01 (BU806).

Fig. 8.1 - Schema elettrico dell'alimentatore commutato di tipo step-up che equipaggia i televisori Nord Mende F11. La parte superiore comprende il trasformatore isolatore ed i ponti rettificatori. Quella inferiore il transistor commutatore ed i circuiti di controllo.







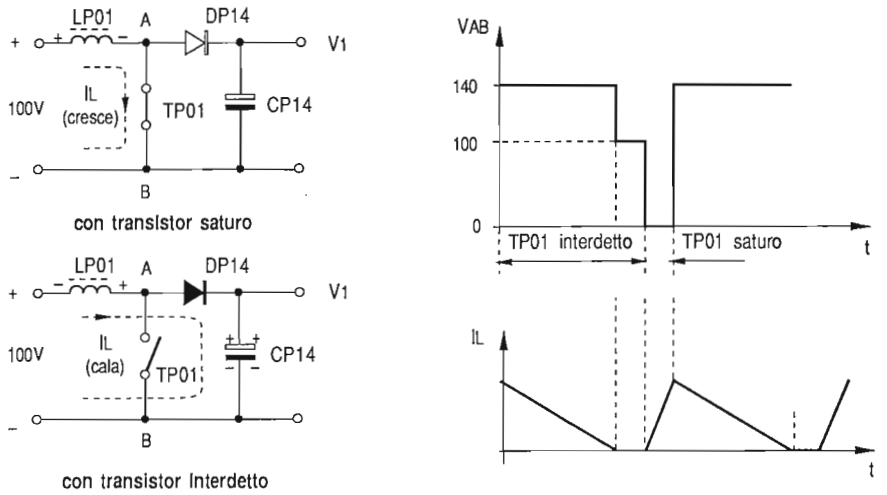


Fig. 8.2 - Principio di funzionamento dell'alimentatore commutato di tipo step-up e relative forme d'onda.

Il principio di funzionamento di questo stadio può comprendersi facilmente facendo riferimento alla Fig. 8.2. Quando il transistor viene portato in saturazione, l'induttanza LP01 è attraversata da una corrente che sale linearmente, accumulando in questa maniera energia elettromagnetica. Nel momento in cui il transistor viene interdetto, la corrente inizia a diminuire, attraversando ora il diodo DP14 e caricando il condensatore CP14. Nel momento in cui la corrente si annulla, cui corrisponde la fine del travaso di energia dall'induttanza alla capacità, la tensione al punto A scende portandosi al valore fornito dal ponte.

Un circuito comprendente alcuni transistor, del cui funzionamento diremo tra poco, provvede a modificare la durata dell'impulso di comando del transistor TP01, regolando in tal modo la quantità di energia accumulata nell'induttanza, al fine di mantenere costante la tensione d'uscita al variare delle condizioni di carico.

Fase iniziale

All'accensione del televisore tramite l'interruttore principale vengono prodotte le tensioni di 12,5V e 31V che attivano, tra l'altro, il ricevitore del telecomando e dispongono il televisore in stand-by. Nel momento in cui viene chiamato un canale (Fig. 8.3), la logica di comando porta la linea ein/stand-by al livello L (0V). Il transistor TP21 va allora in saturazione, poichè il suo emettitore si trovava a

12,5V–3·0,6V per effetto della c.d.t. nei 3 diodi DP21-DP24 e DP03. La tensione di circa 10,7V che viene a presentarsi al collettore va ad alimentare l'integrato TDA 1950, di elaborazione sincronismi, ed il generatore di riga inizia ad oscillare. Anche lo stadio finale di riga incomincia a funzionare, pur essendo alimentato a soli 100V tramite LP01-DP14 ed il primario del trasformatore di riga. Sul secondario dello stesso appaiono gli impulsi di fly-back che, rettificati, forniscono le tensioni necessarie al funzionamento del ricevitore: in questa fase tali tensioni non sono stabilizzate.

Avviamento dello stabilizzatore

Dal momento in cui TP21 viene portato in saturazione, si ha la progressiva carica di CP10 attraverso RP25 e DP12. Non appena la tensione all'emettitore di TP05 supera quella di base, prestabilita dalla posizione del cursore del potenziometro PP01, il transistor va in conduzione, determinando la carica, praticamente a corrente costante, di CP12. Il condensatore viene poi rapidamente scaricato ad ogni ritorno di riga tramite TP04, che si trova in parallelo, alla cui base pervengono, tramite RP06, gli impulsi di fly-back di riga di fase positiva che lo saturano durante i ritorni.

Il segnale a dente di riga viene applicato alla base di TP06; questo, comportandosi come dispositivo a soglia, passa in conduzione quando la tensione su CP12 supera i 0,6V. Ciò determina la saturazione di TP02 e quindi quella del transistor commutatore TP01. Inizia così a circolare corrente nel ramo LP01-TP01-RP03, con conseguente accumulo di energia magnetica entro l'induttanza, energia che, come si è detto all'inizio, verrà riversata successivamente nel condensatore di filtro CP14, a partire dall'istante in cui il transistor commutatore TP01 viene portato in

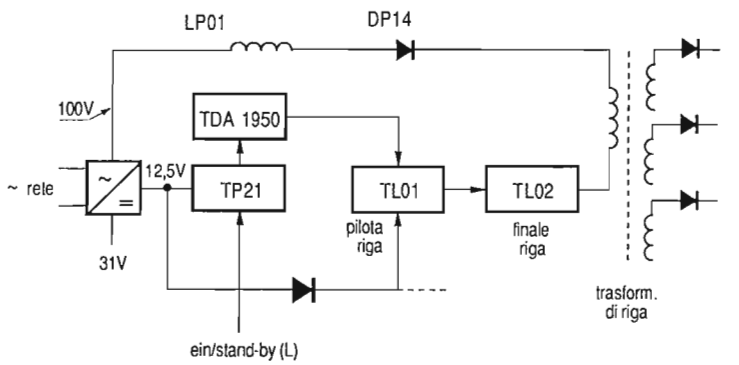


Fig. 8.3 - Schema a blocchi della sezione di alimentazione descritta nel testo nella fase iniziale.

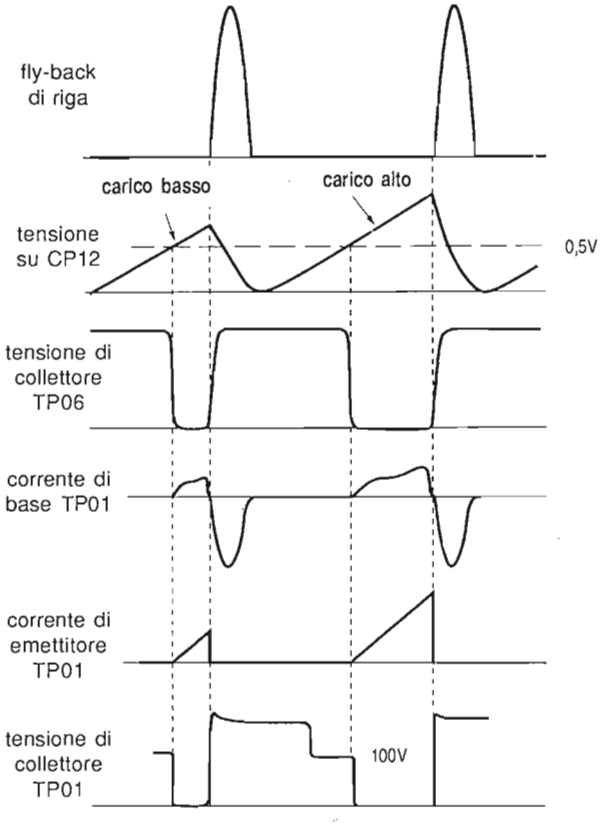


Fig. 8.4 - Andamento dei segnali nei punti più significativi dell'alimentatore di Fig. 8.1, in condizioni di carico basso e alto.

stato di blocco. A ciò provvede lo stesso transistor TP06 tramite TP02, nella fase di scarica di C12. Per accelerare il processo, alla base di TP01 viene inoltrato un impulso di fly-back di riga di fase negativa per mezzo dei diodi DP42 e DP43 ed RP05.

Circuito di regolazione

Il valore della tensione continua su CP14 (140V nominali) viene regolato per mezzo di PP01, che determina il livello di corrente erogato al collettore di TP05, quindi la rapidità di crescita della tensione lineare su CP12 e, in ultima analisi, la durata di conduzione del transistor commutatore.

Nello stesso modo ha luogo la stabilizzazione della tensione al punto +1, che tramite il partitore RP11, PP01 e RP09 viene portata alla base di TP05. Sull'emettitore di

quest'ultimo è presente una tensione costante di 6,2V (somma della tensione di zener di DP20 con quella di soglia di DP19) ottenuta dal secondario del trasformatore di riga (+2a) attraverso la rete DP15-TP21-RP25. Ad ogni aumento o diminuzione della tensione al punto 1 corrisponde una variazione in senso opposto della pendenza della tensione a dente di riga presente su CP10 e, in definitiva, un ritardo o un anticipo dell'istante di commutazione del transistor TP01.

Protezioni

Il circuito è dotato di alcune protezioni che intervengono per:

- evitare che le tensioni al secondario del trasformatore di riga crescano oltre i limiti consentiti;
- limitare la corrente di emettitore del transistor commutatore.

La prima opera nel modo seguente: la tensione continua di 23,5V, ottenuta per rettificazione da un secondario del trasformatore di riga, viene applicata all'emettitore di TP18, la cui base si trova alla tensione di 24V (determinata dallo zener DP18). In condizioni normali, il transistor è interdetto. Se però la tensione sale a 24,6V, ad esempio per un guasto nella deflessione verticale, il transistor va in saturazione e causa l'interdizione di TP21. Viene così a mancare la tensione di alimentazione del TDA 1950 e quindi si ha il blocco della deflessione di riga. Questa situazione permane fino a che CP21 non si è scaricato a sufficienza su RP21 per riportare in conduzione TP21, dopo di che il funzionamento riprende da capo.

La seconda protezione mira ad evitare sovraccarichi di corrente entro il transistor TP01 di commutazione, nel caso di eccessiva richiesta di energia all'induttanza LP01 da parte del carico. In questo caso, la caduta di tensione prodotta in RP03 dalla corrente di emettitore di TP01 è tale da polarizzare direttamente DP17 e far condurre TP04, con conseguente scarica di CP12 e blocco anticipato del transistor commutatore.

8 - 3 ALIMENTATORI SWITCHED-MODE

Gli *alimentatori a commutazione* (Switched-Mode Power Supply o SMPS) sono dei convertitori continua-continua nei quali, per mezzo di un transistor di potenza operante come interruttore, si alimenta ad intervalli di tempo ben controllati un circuito magnetico. L'energia immagazzinata viene successivamente trasferita per mezzo di un diodo ad un condensatore di filtro e da questo al carico.

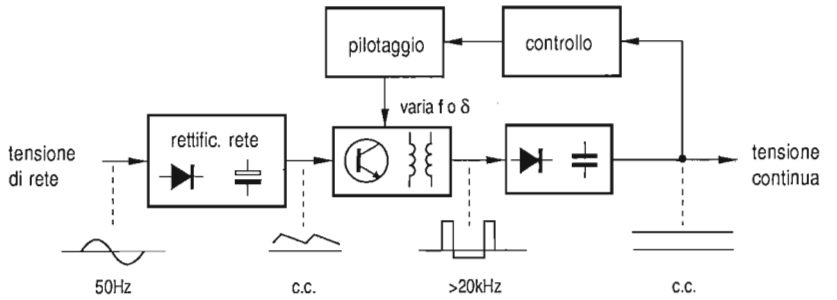


Fig. 8.5 - Schema a blocchi semplificato illustrante il principio di funzionamento di un alimentatore a commutazione (SMPS).

In Fig. 8.5 è indicato il principio di funzionamento di un alimentatore di questo tipo. La tensione di rete viene raddrizzata, filtrata e quindi applicata ad un transistor interruttore, che a sua volta la applica per un breve intervallo di tempo, e ad una frequenza uguale o superiore a quella di riga, ai capi del primario di un trasformatore con nucleo in ferrite. Il secondario di questo provvede a portare al livello desiderato la tensione che viene successivamente raddrizzata e livellata. Il valore della tensione continua d'uscita viene mantenuto costante, al variare dell'assorbimento del carico o della tensione di rete, tramite un circuito di controllo che provvede a modificare la durata del segnale di pilotaggio del transistor commutatore.

In questo tipo di alimentatore, il trasformatore impiegato, oltre a fornire le tensioni secondarie richieste, assicura un vero e proprio isolamento della tensione continua d'uscita da quella di rete, che permette, senza problemi, il collegamento tra il telaio del televisore e le unità periferiche (cuffie, videoregistratori, tastiere, amplificatori BF ecc.).

8 - 3 - 1 Principio di funzionamento dell'SMPS

I modi in cui può funzionare un alimentatore a commutazione sono due:

- *fordward*, nel quale l'energia viene immagazzinata in un'induttanza è trasferita al carico mentre il transistor commutatore è saturo;
- *fly-back*, nel quale l'energia viene prima immagazzinata in un'induttanza e quindi trasferita al carico nella fase in cui il transistor commutatore si trova nello stato di interdizione.

In Fig. 8 .6 sono riportati gli schemi di principio e le forme d'onda caratteristiche dei

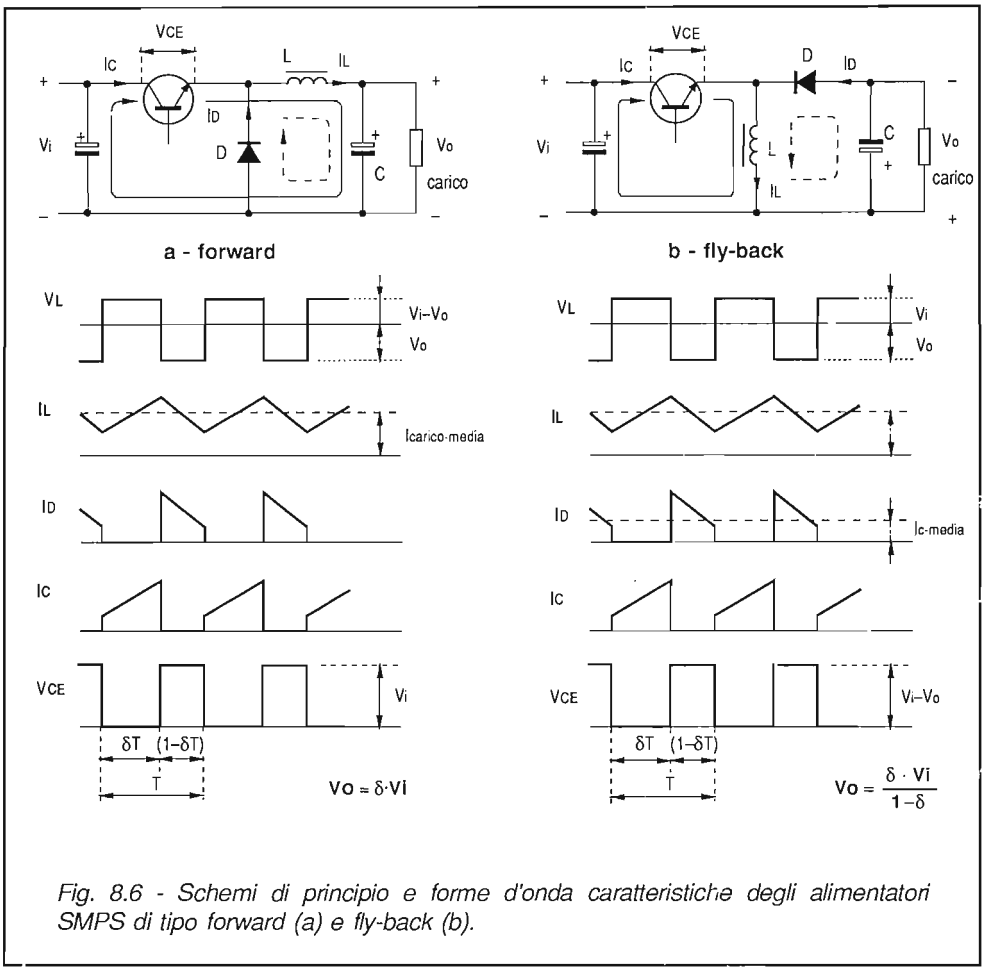


Fig. 8.6 - Schemi di principio e forme d'onda caratteristiche degli alimentatori SMPS di tipo forward (a) e fly-back (b).

due convertitori continua-continua. Descriviamone separatamente il funzionamento.

Nel *convertitore fordward*, quando il transistor conduce, il diodo risulta polarizzato inversamente e la corrente si chiude attraverso L e C, caricando entrambi. Nel momento in cui il transistor viene portato in interdizione, la tensione ai capi di L si inverte, il diodo inizia a condurre e così l'energia magnetica accumulata in L viene convertita in energia elettrostatica entro C. Variando il periodo di conduzione del transistor è perciò possibile modificare l'energia immagazzinata in L e, in ultima analisi, il livello della tensione continua d'uscita. Poichè il diodo D fa continuare il trasferimento di energia nel condensatore d'uscita quando il transistor è bloccato, esso è chiamato volano.

Durante la conduzione del diodo, la tensione ai capi di L è coincidente con quella d'uscita stabilizzata. Per questo motivo è possibile ottenere una bassa tensione stabilizzata, semplicemente avvolgendo un secondario su L e rettificando la tensione presente ai suoi capi durante questa fase.

Anche nel *convertitore fly-back*, quando il transistor conduce il diodo risulta polarizzato inversamente, ma in questo caso la corrente si chiude solo attraverso L caricandola, mentre C rimane isolato. Nella fase successiva in cui il transistor viene interdetto, la tensione ai capi di L si inverte di polarità andando a polarizzare direttamente il diodo D: la corrente inizia a decrescere in modo lineare, circolando nella maglia L-C-D. Si ha così il trasferimento di energia da L a C e la formazione su quest'ultimo della tensione Vo. Anche in questo caso, modificando il tempo di conduzione del transistor, è possibile regolare l'energia immagazzinata in C e quindi il livello della tensione d'uscita.

Nel *convertitore fly-back*, tutta e sola l'energia accumulata in L viene trasferita in C; perciò è possibile alimentare D e C tramite un secondario avvolto su L, senza che il funzionamento venga alterato, e con il vantaggio di realizzare la separazione elettrica tra la parte primaria, collegata alla rete, e quella secondaria.

Facendo riferimento alla Fig. 8 .7, che si riferisce allo schema di principio di un convertitore di tipo fly-back a trasformatore, durante l'intervallo t_{on} di conduzione del transistor interruttore T, la corrente primaria crescerà con la legge:

$$I_1(t) = \frac{Vi}{Lp} \cdot t$$

mentre al secondario sarà presente una tensione costante di valore $-(N_2/N_1) \cdot Vi$. Alla fine dell'intervallo t_{on}, la corrente avrà raggiunto il valore massimo:

$$I_1(t_{on}) = \frac{Vi}{Lp} \cdot t_{on}$$

A partire da questo istante la corrente al secondario, dal valore massimo:

$$I_2(t_{on}) = I_1(t_{on}) \cdot n$$

decrescerà progressivamente, con la legge:

$$I_2(t) = I_2(t_{on}) - \frac{Vo}{Ls} \cdot t$$

annullandosi dopo un tempo t_{off}, in corrispondenza del quale si avrà:

$$0 = I_2(t_{on}) - \frac{Vo}{Ls} \cdot t_{off}$$

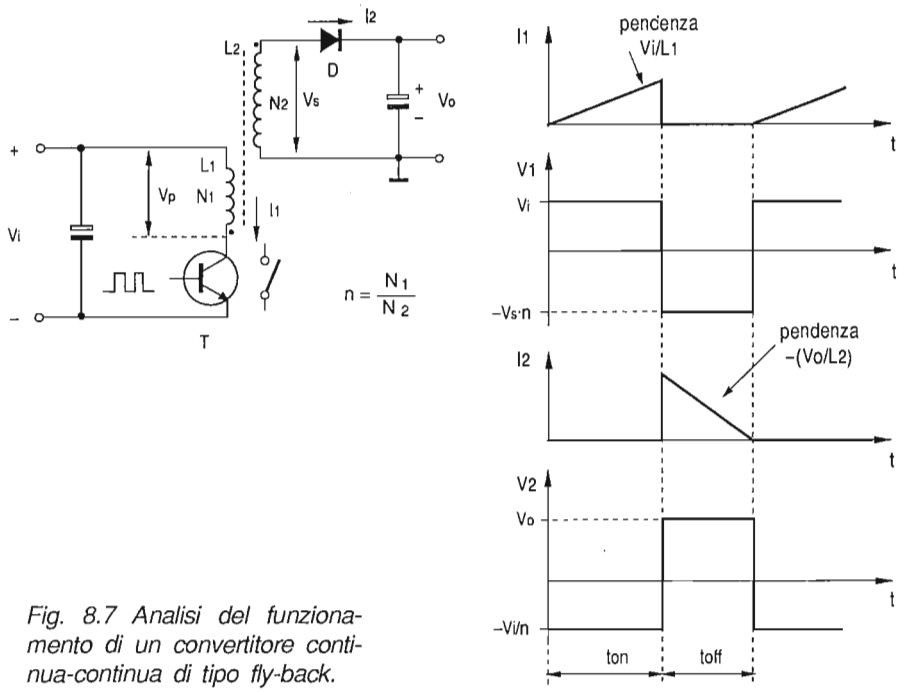


Fig. 8.7 Analisi del funzionamento di un convertitore continua-continua di tipo fly-back.

Ora, ricordando che $I_2(t_{on})=I_1(t_{on})\cdot n$ e $L_1=L_2/n^2$, si trova:

$$V_o = \frac{V_i}{n} \cdot \frac{t_{on}}{t_{off}}$$

o, introducendo il fattore di utilizzazione δ (*duty factor*), definito come:

$$\delta = \frac{t_{on}}{t_{on} + t_{off}} = \frac{t_{on}}{T} = t_{on} \cdot f$$

$$V_o = \frac{V_i}{n} \cdot \frac{\delta}{1-\delta}$$

Da queste ultime relazioni, si vede che una volta fissato il rapporto n tra le spire primarie e secondarie, la tensione d'uscita Vo può venir regolata modificando il fattore δ.

In particolare ci sono due modi, per così dire estremi, di funzionamento del convertitore fly-back:

- a *frequenza variabile*, con t_{on} fisso, che caratterizza gli SMPS asincroni;
- a *frequenza di funzionamento fissa* e a t_{on} veriabile, modo utilizzato nei SMPS sincroni.

8 - 4 ALIMENTATORE SM ASINCRONO - TDA 4600

Le prime soluzioni circuitali adottate per la realizzazione di SMPS asincroni derivavano praticamente tutte da una proposta Siemens, evolutasi via via negli anni con versioni sempre più sofisticate ed affidabili. Questi alimentatori, del tipo fly-back, autooscillanti ed operanti a frequenza variabile e a duty-factor quasi fisso, facevano uso di un transistor commutatore, di un avvolgimento di reazione e di un tiristore con il compito di controllare il passaggio allo stato di interdizione del transistor (Fig. 8.8). Il circuito, divenuto oramai un classico degli SMPS, è stato descritto nel primo volume.

Da qualche anno, la sezione di comando e di regolazione di questo alimentatore è stata integrata ed il circuito più diffuso, sviluppato per svolgere tali funzioni, è sicu-

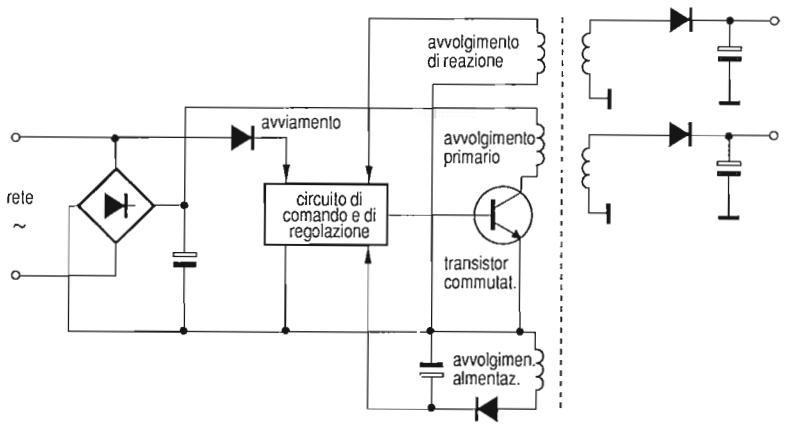


Fig. 8.8 - Schema a blocchi semplificato della sezione alimentatrice con convertitore fly-back autooscillante a frequenza variabile e duty-factor quasi fisso.

ramente il TDA 4600. In Fig. 8.9 è riportato lo schema a blocchi di questo integrato, le cui caratteristiche possono essere così riassunte:

- è in grado di pilotare direttamente il transistor di commutazione;
- permette una corretta regolazione della tensione d'uscita del circuito da carico minimo a carico massimo;
- stabilizza la tensione d'uscita entro l'1% contro variazioni di tensione di rete da 180V a 220V;
- è protetto contro i cortocircuiti.

Facendo riferimento alla Fig. 8.10, che rappresenta un circuito d'impiego del TDA 4600 nel telaio Seleco BS.500, analizziamo il funzionamento dell'integrato.

All'accensione del televisore, la tensione di alimentazione del circuito al pin 9 è ottenuta rettificando e filtrando quella di rete per mezzo di D305 e C316. Nella prima fase, quando la tensione al pin 9 non ha ancora raggiunto i 12V, mentre tutte le funzioni sono ancora inibite, il circuito di controllo provvede a caricare il condensatore

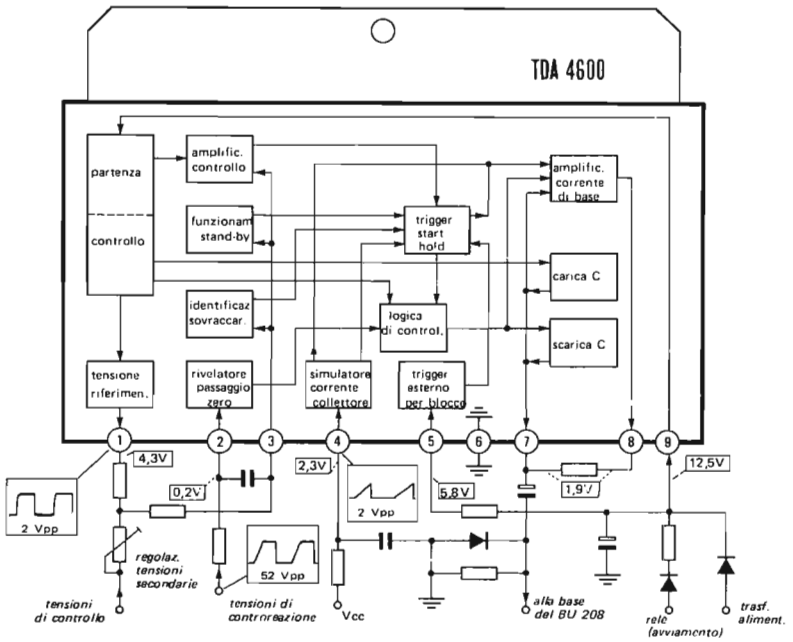


Fig. 8.9 - Schema a blocchi dell'integrato TDA 4600 di controllo, per l'alimentatore di tipo fly-back asincrono.

di accoppiamento C317 e quindi a portare in saturazione il transistor commutatore BU208A. Al raggiungimento dei 12V, viene attivata la sorgente di riferimento interna che fornisce 4V al pin 1 e contemporaneamente vengono abilitate tutte le sezioni del circuito. In questo modo è garantito il corretto pilotaggio del transistor, da parte del condensatore di accoppiamento, nella prima fase.

Dopo lo start, la tensione di alimentazione al pin 9 è fornita all'integrato per mezzo dell'avvolgimento 9-15, del diodo D306 e del condensatore di filtro C316. Questa tensione è proporzionale a quella di rete, in quanto il diodo conduce contemporaneamente al transistor T301. In condizioni di normale funzionamento (rete a 220V) essa vale 12,5V, ma il circuito è in grado di operare regolarmente fino a 7,4V, cui corrisponde il minimo valore della tensione di rete, al di sotto del quale l'integrato si blocca.

L'amplificatore di corrente di base fornisce una corrente a dente di sega al pin 8, il cui andamento è determinato dalla forma della tensione presente al pin 4. Per mezzo di R304 viene rilevato l'andamento della corrente di base del transistor commutatore che è introdotto nell'integrato tramite il pin 7. Attraverso lo stesso piedino, il blocco "scarica C" fornisce l'impulso di spegnimento per il bloccaggio del transistor di commutazione.

In condizioni normali di funzionamento, a determinare l'istante di spegnimento del transistor concorrono sia la tensione a dente di sega presente al pin 4 che la tensione di controllo applicata al pin 3. Quest'ultima è il risultato della somma della tensione positiva di riferimento di 4V (pin 1), con quella negativa ottenuta rettificando (D308) e filtrando (C319) il segnale presente ai capi dell'avvolgimento 11-13 del trasformatore.

Le due tensioni vengono confrontate in un circuito trigger, la cui uscita pilota la logica di controllo che a sua volta determina lo spegnimento del transistor commutatore. Così, ad esempio, al crescere della tensione rettificata si ha una diminuzione della tensione risultante al pin 3 e quindi un anticipo dell'istante di interdizione del transistor. In questo modo viene dosata l'energia accumulata nell'induttanza del trasformatore e quindi stabilizzata la tensione d'uscita.

Veniamo ora alla fase di conduzione del transistor commutatore. Quando l'energia immagazzinata nel trasformatore è trasferita completamente ai condensatori di filtro, si ha il rapido annullamento della tensione ai capi degli avvolgimenti. Il pin 2, collegato esternamente al terminale 11 del trasformatore, è connesso internamente ad uno stadio che ha il compito di rilevare il passaggio per lo zero della tensione, e produrre un segnale opportuno alla logica di controllo, che provvede a portare in conduzione il transistor interruttore.

Di conseguenza, il periodo di interdizione del transistor è determinato dal tempo richiesto dall'energia accumulata nel trasformatore per annullarsi. Il passaggio per lo zero della tensione indica pertanto l'istante in cui il transistor deve nuovamente es-

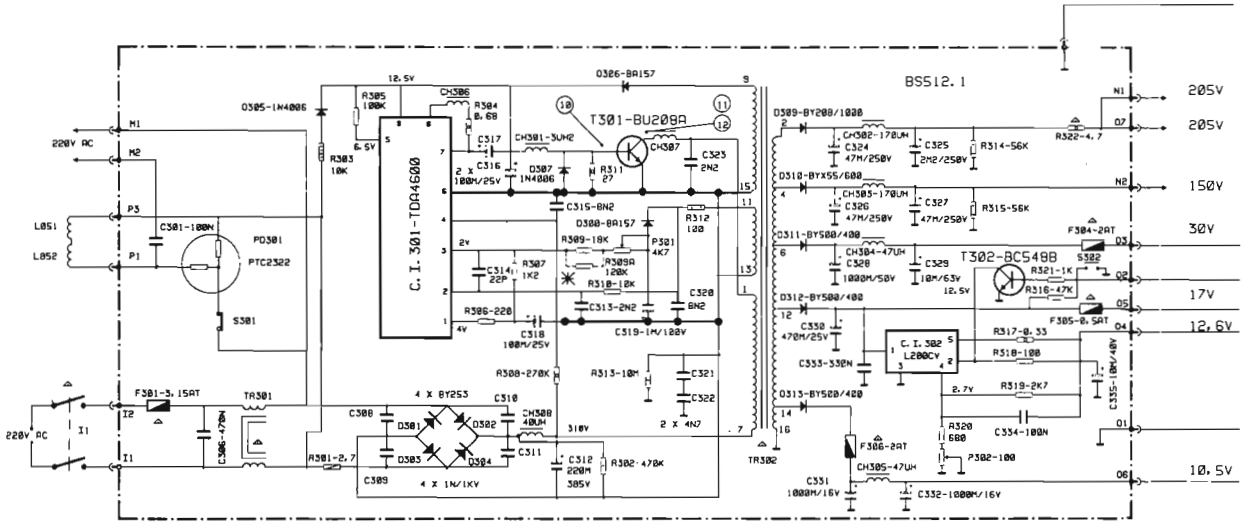


Fig. 8.10 - Scheda alimentatrice equipaggiata con l'integrato TDA 4600 (Seleco BS500).

sere portato in conduzione. Al diminuire del carico, la frequenza di commutazione da 25kHz cresce, mantenendo un duty-factor pressapoco costante di circa 1/3, fino a 50kHz (20W). Con un'ulteriore riduzione del carico secondario, fino a circa 1W, la frequenza sale raggiungendo quasi 70kHz, mentre il duty-factor si porta attorno a 1/11.

Il circuito è dotato di protezioni. In caso di cortocircuito all'uscita dell'alimentatore, la tensione al terminale 11 del trasformatore diminuisce rapidamente; altrettanto fa la tensione negativa prodotta da D308, cosicchè al pin 3 dell'integrato la tensione risultante sale al di sopra di 2,3V. Questo fatto determina la commutazione di un flip-flop contenuto nel blocco di identificazione di sovraccarico, che dispone la logica di controllo in modo da gestire lo stato di cortocircuito. In questa situazione il duty-factor viene portato a 1/244 e la frequenza di funzionamento ridotta a 1,4kHz, cosicchè la potenza assorbita è limitata a soli 4W ed il circuito può continuare ad operare in tal modo indefinitamente.

Il pin 5 dell'integrato è collegato ad un blocco di protezione per insufficiente tensione. Se la tensione al pin 9 è troppo bassa, il TDA 4600 potrebbe funzionare in modo non corretto. Collegando il pin 5 al pin 9 attraverso una resistenza, quando la tensione al pin 5 scende al di sotto della soglia di 2,2V, ad esempio a causa di una forte diminuzione della tensione di rete, entra in funzione la protezione che attraverso la logica di controllo blocca il pilotaggio del transistor commutatore.

A proposito di quest'ultimo, osserviamo la presenza di una capacità (C323) fra collettore ed emettitore e di un'induttanza (CH307) in serie al collettore. La prima determina un rallentamento nella velocità di crescita della tensione V_{CE} in fase di interdizione, riducendo così la dissipazione; la seconda impedisce brusche variazioni della corrente di collettore del transistor limitando le irradiazioni elettromagnetiche che produrrebbero disturbi sull'immagine riprodotta.

8 - 5 ALIMENTATORE SM SINCRONO - TEA 2018A

Analizziamo ora il caso di un alimentatore a commutazione, del tipo fly-back, operante a frequenza fissa, nel quale la regolazione viene effettuata controllando il δ dell'impulso di pilotaggio del transistor commutatore. Lo schema elettrico di una tale soluzione è riportato in Fig. 8.11, e si riferisce al telaio Ferguson TX85, nel quale la funzione di controllo è affidata all'integrato TEA 2018A.

Dai secondari del trasformatore, per rettificazione, vengono ottenute le tensioni di 13V, 17V e 95V. La prima è utilizzata per alimentare gli stadi pilota di riga e audio, la seconda viene inoltrata ad uno stabilizzatore che fornisce i 12V richiesti dalle di-

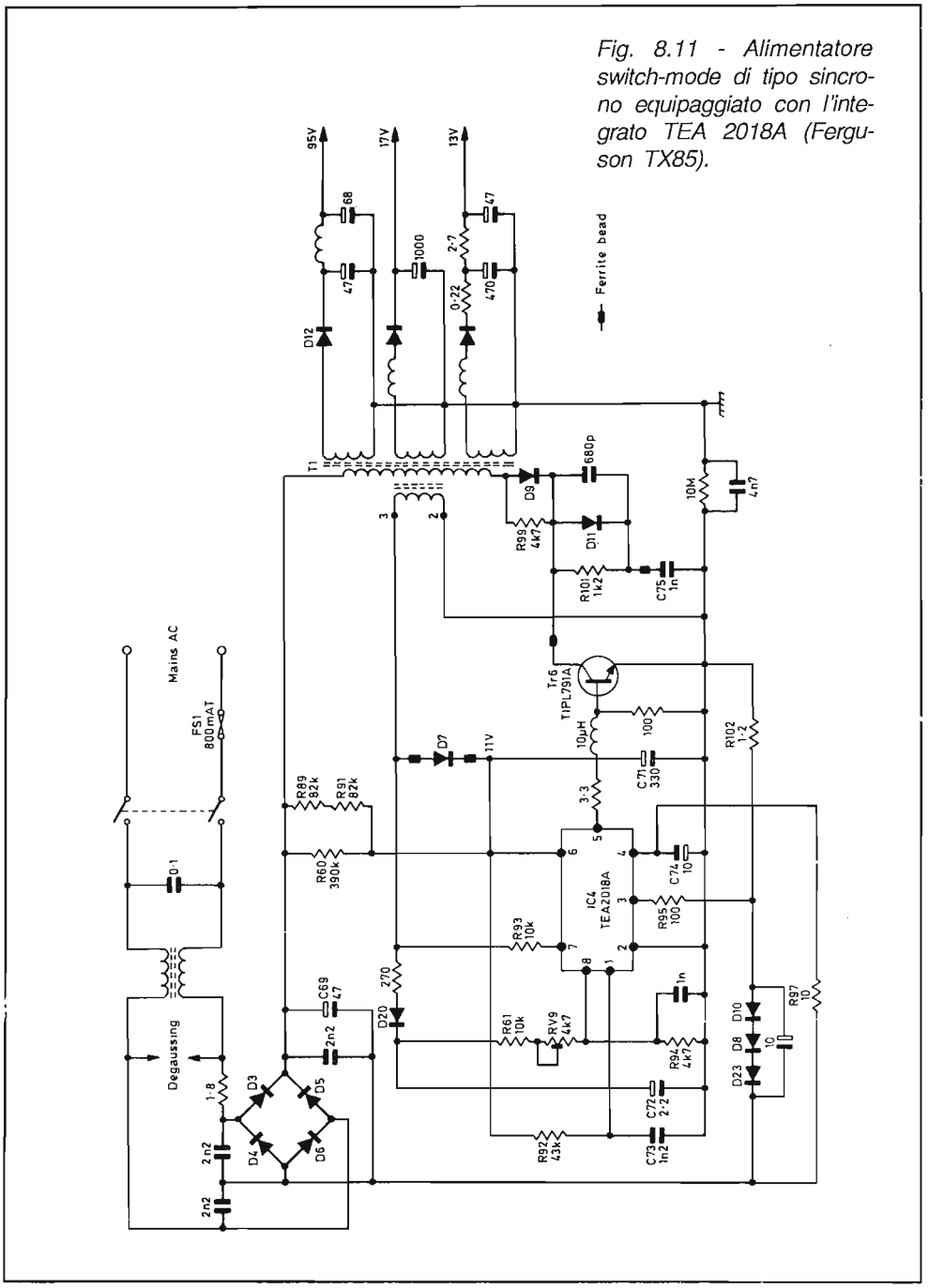


Fig. 8.11 - Alimentatore switch-mode di tipo sincrono equipaggiato con l'integrato TEA 2018A (Ferguson TX85).

verse sezioni di elaborazione dei segnali del ricevitore, infine i 95V sono utilizzati per alimentare gli stadi finali di riga e di quadro.

La tensione di rete, rettificata dal ponte D3÷D6 e filtrata per mezzo di C69, con un valore di circa 340V continui viene applicata al primario del trasformatore attraverso il transistor interruttore Tr6. La stessa tensione, ridotta per effetto della caduta sul gruppo di resistenze R60-R89-R91, provvede ad alimentare l'integrato di controllo nella fase iniziale. Il circuito diviene operativo allorquando la tensione al pin 6 supera la soglia tipica di 4,9V. In condizioni normali di funzionamento, l'alimentazione, ottenuta rettificando con il diodo D7 il segnale che si sviluppa ai capi dell'avvolgimento 3-2 del trasformatore, è in grado di assicurare una tensione continua di 11V al pin 6.

In Fig. 8.12 è riportato lo schema semplificato dell'alimentatore. Un oscillatore opera ad una frequenza fissa, determinata dai valori di R92 e C73, il cui periodo è definito dalla relazione:

$$T_{oscill} = 0{,}66 \cdot C73\ (R92 + 2000)$$

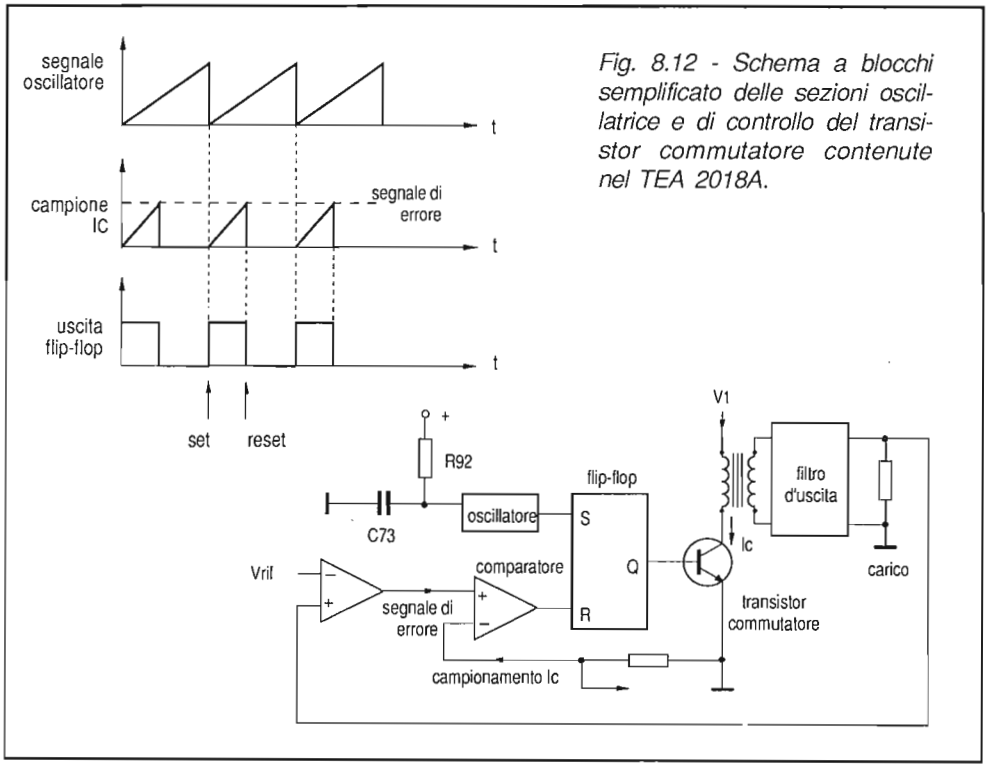


Fig. 8.12 - Schema a blocchi semplificato delle sezioni oscillatrice e di controllo del transistor commutatore contenute nel TEA 2018A.

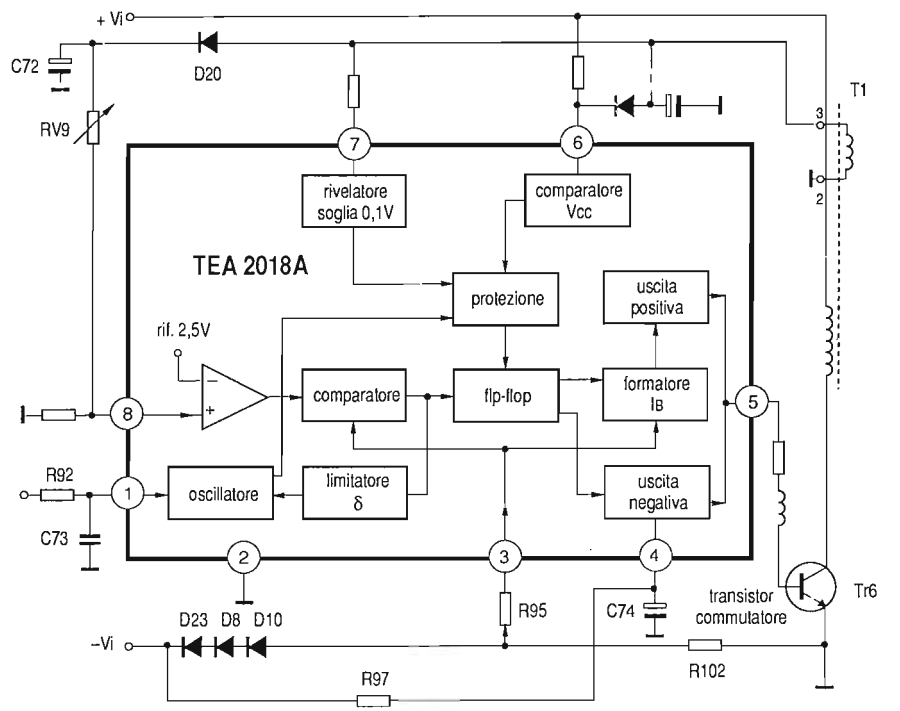


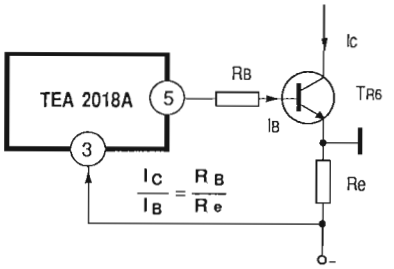
Fig. 8.13 - Schema a blocchi dettagliato dell'integrato TEA 2018A con riferimento allo schema d'impiego di Fig. 8.11.

pari a circa 28kHz nel caso in esame. Il fronte di ritorno della tensione a dente di sega prodotta dall'oscillatore determina la commutazione (SET) di un flip-flop R-S e l'inizio della conduzione del transistor interruttore. La fine è determinata dall'invio di un impulso di RESET, ottenuto confrontando in un comparatore la tensione a dente di sega prodotta dalla corrente di emettitore entro la propria resistenza di chiusura verso massa, con la tensione d'uscita dell'amplificatore di errore. Quest'ultimo (Fig. 8.13) è un amplificatore operazionale al cui ingresso non-invertente (pin 8) è applicata la tensione continua ottenuta per rettificazione (D20) durante il fly-back e filtraggio (C72) del segnale presente al terminale 3 del secondario del trasformatore, la cui ampiezza è proporzionale alla tensione applicata agli altri diodi delle sezioni alimentatrici, mentre all'ingresso invertente è presente una tensione di riferimento stabilizzata di 2,5V. In questa maniera si realizza un anello di controllo che, modificando il periodo di conduzione del transistor commutatore Tr6 (e quindi il δ del segnale di pilotaggio), mantiene costante a 2,5V la tensione al pin 8, al variare

sia del carico ai secondari, che della tensione di rete. Per mezzo di RV9 è possibile modificare le tensioni d'uscita delle 3 sezioni alimentatrici: il potenziometro va regolato in modo da misurare 95V al catodo di D12 (posto ai secondari).

La corrente di base richiesta da Tr6 è disponibile al pin 5 dell'integrato (Fig. 8.14). Per assicurare un rapido passaggio in saturazione del transistor viene fornito un breve impulso rettangolare di corrente della durata di circa 2ms, seguito poi da un dente di sega, il cui andamento replica il modo di crescere della corrente di collettore nel tempo: il valore della corrente di base I_B è legato a quella di collettore I_C del rapporto R_B/R_e. In questo modo la corrente di pilotaggio assume il valore strettamente necessario, riducendo al minimo, nel contempo, la dissipazione nell'integrato ed il tempo di turn-off del transistor. Anzi, per favorire la fase di interdizione, circa 1ms dopo l'annullamento della corrente di base, viene fornito un impulso negativo che provvede a svuotare rapidamente, delle cariche minoritarie, le regioni di collettore e di base.

L'integrato è dotato di due ingressi di protezione contro i sovraccarichi ed i cortocircuiti. Il primo (pin 7) tiene sotto controllo la tensione al terminale 3 del trasformatore; se questa scende sotto 0,1mV, nel periodo di conduzione del transistor, significa che il nucleo del trasformatore è in saturazione: in questo caso si ha il blocco della successiva fase di conduzione del transistor. Il secondo ingresso di protezione (pin 3) "misura" la corrente di collettore del transistor Tr6 che attraversa R102. Come si è visto in precedenza, il superamento del livello di riferimento, rappresentato dall'uscita dell'amplificatore di errore, determina la formazione dell'impulso di RESET e quindi l'avvio del processo di interdizione del transistor. In questo modo viene limitato il valore massimo della corrente di collettore di Tr6.



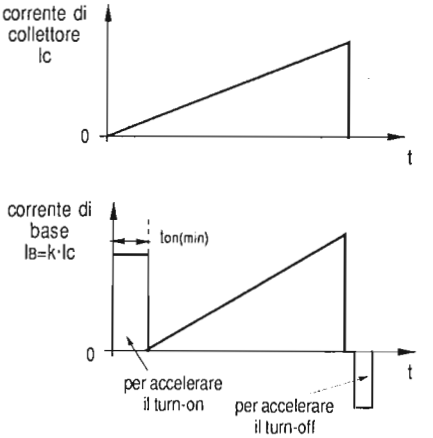


Fig. 8.14 - Particolare della tecnica di misura della corrente di collettore, utilizzata nel TDA 2018A, per il controllo ottimale della corrente di pilotaggio del transistor commutatore.

Per ultimo osserviamo che la tensione negativa rispetto al pin 2, richiesta per il pilotaggio in fase di spegnimento, è ottenuta tramite la serie R102-D23-D8-D10, e la capacità di accumulo disposta in parallelo, connessi tra il lato negativo del ponte e la massa del lato primario. Si ottiene così una tensione di circa –2,2V che, livellata da R97-C74, viene applicata al pin 4.

8 - 6 ALIMENTATORI SPP (SYNCRONISED POWER PACK)

Gli alimentatori stabilizzati a commutazione (SMPS) descritti nei paragrafi precedenti sono in grado di fornire tutte le tensioni continue stabilizzate necessarie al funzionamento del televisore, con esclusione dell'EAT e della tensione di focalizzazione.

L'alimentatore a commutazione sincronizzata sviluppato dalla Philips, indicato con la sigla SPP (Syncronised Power Pack), è in grado di fornire oltre alle tensioni continue richieste, anche l'EAT per il cinescopio. E' allora evidente che con l'impiego di questo alimentatore, il progetto dello stadio finale di riga risulta notevolmente semplificato, in quanto viene a mancare il trasformatore di riga, ora sostituito da un'induttanza di ridotte dimensioni.

In Fig. 8.15 è riportato lo schema a blocchi di un tale alimentatore, isolato dalla rete, funzionante alla frequenza di riga. Un piccolo trasformatore (T702), con il primario collegato alla rete, fornisce al secondario la tensione a 50Hz che, rettificata, filtrata e stabilizzata a 12V, permette l'alimentazione dell'integrato di controllo IC801 e del transistor pilota TR721, nella prima fase di funzionamento. Il transistor commutatore TR701 rifornisce di energia magnetica il trasformatore T705 e, per la particolare configurazione del circuito primario, si ha la formazione di impulsi di fly-back, la cui rettificazione fornisce al secondario l'EAT e le tensioni per l'alimentazione degli altri stadi. In questa maniera lo stadio finale di riga riceve sia la tensione continua di alimentazione che il segnale di pilotaggio per la base del transistor. La produzione dell'EAT nello stadio alimentatore permette di semplificare notevolmente il sistema di modulazione E-O, che ora è attuato semplicemente variando con legge parabolica la tensione di emettitore del transistor finale

Passiamo ora ad analizzare il funzionamento di questo particolare alimentatore, facendo riferimento alla Fig. 8.16 che ne riporta lo schema di principio, dal quale si possono individuare i due circuiti principali: il convertitore continua-continua di tipo forward, formato da TR701, L702, D703, e C711, ed il circuito generatore dell'impulso di fly-back, formato dal circuito oscillante L705-C712 che coinvolge pure D704 e C711.

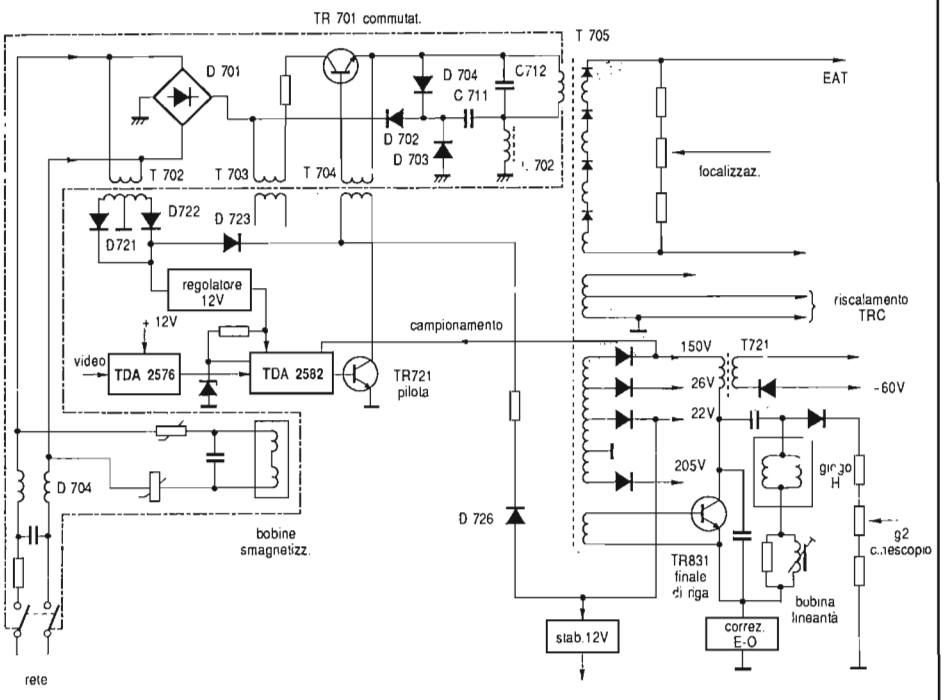


Fig. 8.15 - Schema a blocchi dell'alimentatore a commutazione sincronizzata (SSP) descritto nel testo.

Iniziamo con l'analizzare il funzionamento del convertitore. Quando il transistor TR701 viene portato in conduzione (t_0) dalla parte positiva dell'onda quadra applicata alla sua base, inizia a circolare una corrente linearmente crescente in L702. Nell'istante in cui lo stesso transistor viene interdetto (t_1), l'energia accumulata nell'induttanza si riversa in C711 tramite il diodo D703, ora polarizzato direttamente dall'inversione di polarità della tensione su L702, conseguente al cambiamento di pendenza della corrente in essa circolante In questa maniera, come si era già precisato in dettaglio in Fig. 8.6, su C711 si sviluppa una tensione pari a $\delta \cdot V_i$.

Nella fase di blocco di TR701, l'energia accumulata in L705 si riversa su C712 dando luogo alla formazione di un'oscillazione sinusoidale che però si blocca nell'istante in cui il condensatore si è completamente scaricato (t_3), dopo aver restituito l'energia all'induttanza. Infatti, l'inversione di polarità su L705 che ne consegue determina la conduzione di D704 e quindi la connessione del circuito oscillante ai capi di C711 (carico ad una tensione di valore $\delta \cdot V_i$). Di conseguenza L705 si trova sottopo-

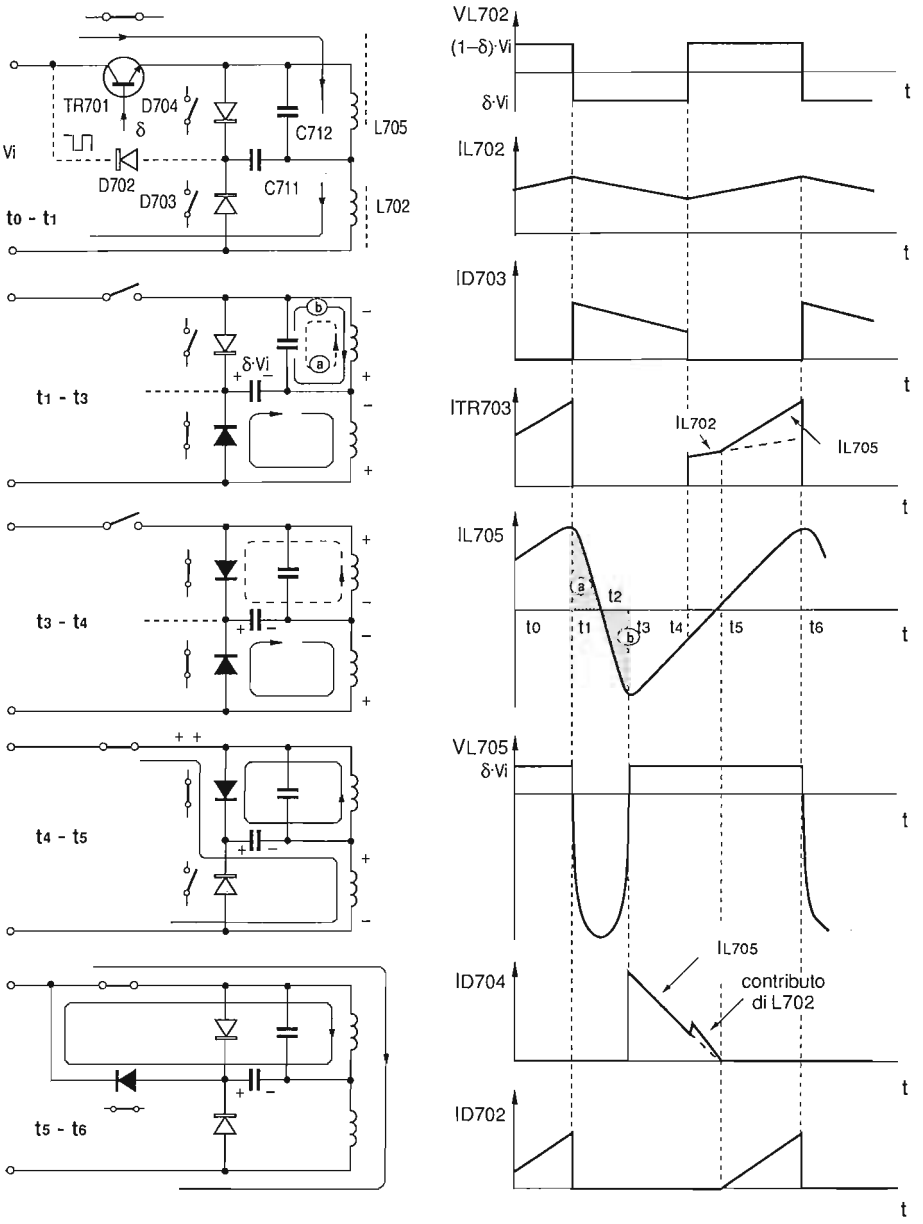


Fig. 8.16 - Schema di principio e forme d'onda caratteristiche dell'alimentatore a commutazione sincronizzata (SSP).

sta ad una tensione costante e perciò la sua corrente riprende a salire linearmente partendo dal valore massimo negativo raggiunto nella fase di libera oscillazione (t_3).

Prima che la corrente raggiunga lo zero (t_5), il transistor TR701 viene portato in saturazione (t_4) e perciò alla serie L705-L702 risulta ora applicata l'intera tensione rettificata Vi. Ne consegue che il diodo D703 (della sezione convertitore forward) si blocca, essendo polarizzato inversamente, e la corrente fluisce ora attraverso TR701-D704-C711-L702, crescendo linearmente. Così fino all'istante t_5, in corrispondenza del quale la corrente in L705 si annulla; in questo istante si blocca il diodo D704 e la corrente in L702 proviene ora da TR701-L705. Il condensatore C711 è però ancora carico e ciò determina la circolazione di una corrente crescente linearmente nella maglia C711-D702-TR701-L705.

In conclusione, nell'intervallo t_3-t_6, ai capi del primario del trasformatore è sempre applicata la tensione presente su C711 ($\delta \cdot Vi$): questa determina perciò il valore di tutte le tensioni secondarie e naturalmente anche l'ampiezza dell'impulso di fly-back. Quindi, per la stabilizzazione delle tensioni continue ottenute per rettificazione durante l'andata o i ritorni delle tensioni secondarie, sarà sufficiente stabilizzare la tensione ai capi di C711. Questa operazione è affidata al circuito di controllo che modifica il duty-factor δ del segnale di pilotaggio del transistor commutatore, variandone l'istante del passaggio in conduzione, in funzione dell'ampiezza di una delle tensioni secondarie utilizzata come riferimento.

Tutte le tensioni richieste dal telaio sono derivate dai secondari di T705 e pertanto i relativi circuiti sono isolati dalla rete. L'impulso di fly-back, che presenta al primario un'ampiezza di circa 900V, viene utilizzato al secondario per produrre l'EAT richiesto, usando la tecnica del raddrizzamento frazionato (diode-split). Sempre rettificando l'impulso di fly-back viene prodotta la tensione di 205V per l'alimentazione degli stadi finali di colore. Le rimanenti tensioni continue sono ottenute rettificando la tensione presente sui secondari durante la fase di "andata".

Il transistor commutatore TR701 è pilotato dal driver TR721 attraverso il trasformatore T704. A sua volta, il driver è pilotato dall'integrato IC801 (TDA 2582) che fornisce al pin 11 il richiesto segnale. L'integrato comprende tutti gli stadi richiesti per il controllo dell'alimentatore, e cioè:

- un oscillatore di riga controllato in tensione,
- un circuito di CAF,
- un circuito di controllo del duty-factor con incremento progressivo da zero al valore nominale,
- circuiti di protezione contro le sovratensioni e le sovracorrenti, con dispositivo di blocco automatico nel caso di perdurante anomalia.

Facendo riferimento alla Fig. 8.17, che riporta lo schema a blocchi del TDA 2582, descriviamone il funzionamento.

L'osciliatore opera ad una frequenza determinata dai valori della capacità connessa tra il pin 13 massa e della resistenza collegata tra il pin 13 e la tensione di riferimento di 6,2V, presente al pin 10 e prodotta dallo zener D801. La frequenza dell'oscillatore può essere stabilizzata, agganciandola a quella di riga tramite uno stadio di CAF (non utilizzato nello schema proposto), che comprende un comparatore di fase ai cui ingressi vengono applicati gli impulsi di sincronismo di riga (pin 3) provenienti dal separatore di sincronismi e quelli di fly-back (pin 2) in arrivo dallo stadio finale di riga.

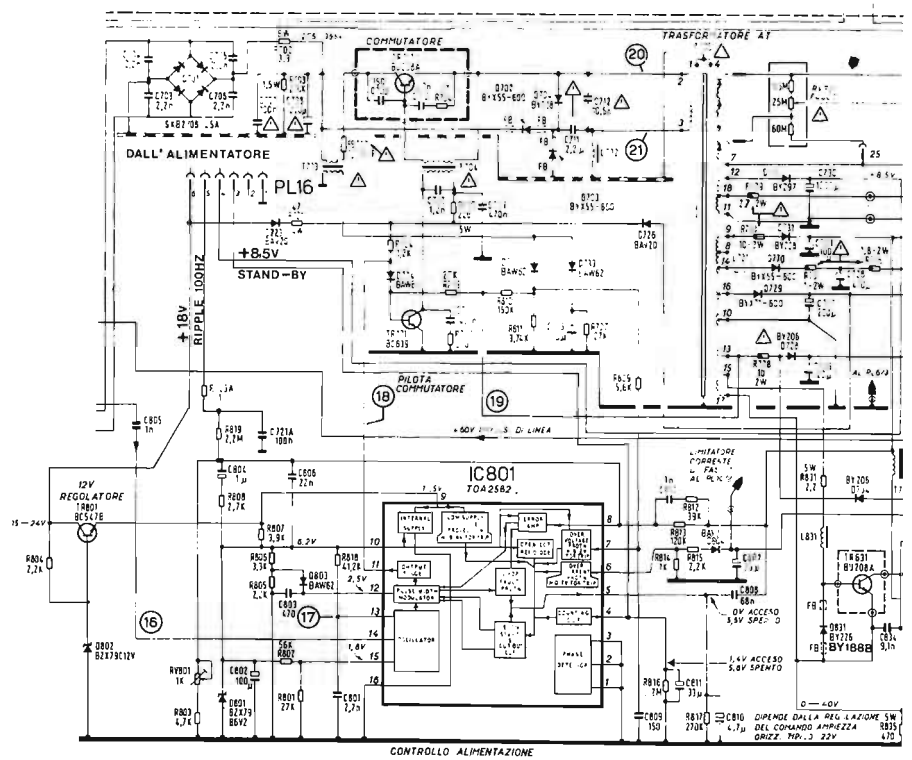


Fig. 8.17 - Schema elettrico d'impiego dell'integrato TDA 2582 nella sezione di alimentazione di tipo SSP (Philco TX10).

La tensione d'uscita del rivelatore di fase (pin 1) viene filtrata e inviata al pin 15 dove, internamente, risulta confrontata con la tensione continua di riferimento presente al pin 14. La tensione di errore che ne risulta determina la correzione della frequenza dell'oscillatore.

In alternativa, ed è il caso del circuito in esame, si può attuare la sincronizzazione diretta dell'oscillatore tramite gli impulsi di sincronismo di riga applicati al pin 14 e provenienti dal TDA 2576A.

La tensione a dente di sega presente al pin 13 viene inoltrata al modulatore di larghezza d'impulso il quale non è altro che un trigger, la cui soglia di commutazione viene definita dalla tensione presente al pin 8. Questo piedino è connesso internamente ad uno dei due ingressi di un amplificatore differenziale; l'altro ingresso, facente capo al pin 10, è invece stabilmente collegato alla sorgente di riferimento rappresentata dallo zener a 6,2V. Modificando la tensione al pin 8 è perciò possibile, in condizioni di carico normali, regolare il duty-factor in modo da portare l'EAT al suo corretto valore. In condizioni operative a questo stesso pin viene applicata, tramite un'opportuna rete filtrante (R813-C812-R812), la tensione di 150V ottenuta dal secondario del trasformatore AT e utilizzata per l'alimentazione dello stadio finale di riga. A una variazione di questa tensione, l'integrato reagisce modificando la larghezza dell'impulso di pilotaggio del transistor commutatore (disponibile al pin 11) in senso tale da annullare la variazione.

Il TDA 2582 è dotato da una serie di circuiti che proteggono l'alimentatore da sovraccarichi e sovratensioni. Nello schema in esame, il primo (pin 6) è controllato dalla tensione proporzionale alla corrente del fascio che si sviluppa sulla resistenza di chiusura a massa del terminale 7 del trasformatore AT (lato freddo del generatore di EAT, diode-split). Quando la tensione al pin 6 supera la soglia di 0,7V, si ha il blocco immediato dell'impulso di pilotaggio e l'avvio di un nuovo ciclo di start.

Al secondo (pin 7) è applicata la tensione positiva ottenuta rettificando il segnale che si sviluppa sul secondario del trasformatore disposto in serie al transistor commutatore e pertanto attraversato dalla sua stessa corrente. Nel caso in cui la tensione rettificata dal ponte risulti eccessiva, il livello della tensione applicata al pin 7 supera la soglia di 6,2V (V di riferimento) determinando anche in questo caso il blocco dell'impulso di pilotaggio.

Le informazioni provenienti dai circuiti di protezione vengono inoltrate ai circuiti di "partenza dolce" e di blocco che provvedono, a loro volta, a controllare il modulatore di larghezza dell'impulso di pilotaggio.

Nel caso di funzionamento anomalo, il δ diminuisce improvvisamente fino a raggiungere lo zero (Fig. 8.18), provocando in questa maniera il bloccaggio immediato del funzionamento dell'integrato; successivamente, dopo un tempo determinato dal prodotto R817·C810, ha inizio la partenza dolce con la crescita progressiva del δ da zero al valore nominale.

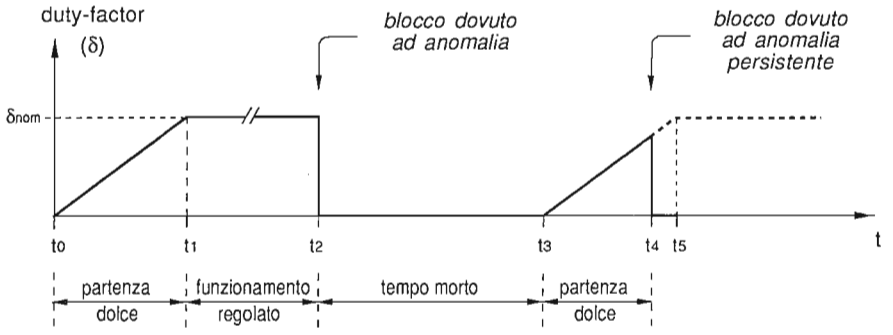


Fig. 8.18 - Il duty-factor (δ) viene incrementato lentamente nella fase di partenza ed annullato definitivamente nel caso di anomalia persistente.

Un circuito di conteggio impedisce che abbia luogo una sequenza indefinita di blocchi e partenze, nel caso di anomalia persistente. Il circuito conta infatti il numero di eventi, caricando ogni volta un po' il condensatore collegato tra il pin 4 e massa: quando la tensione raggiunge i 5V, si ha il blocco definitivo del funzionamento. Il numero di eventi che precede il blocco definitivo è determinato dal rapporto C811/C810, risultando pari a 7 nel caso in esame.

8 - 7 ALIMENTATORE SM SINCRONO CON FUNZIONAMENTO MASTER-SLAVE

Descriviamo ora un sistema introdotto di recente da alcuni Costruttori e basato su integrati Thomson, che rappresenta un modo nuovo di gestire le sezioni di potenza del televisore: alimentatore SMPS, stadi finali di riga e di quadro. L'impiego di due nuovi circuiti integrati, denominati *master* (TEA 2029) e *slave* (TEA 2164), permette di unificare le sezioni, realizzando soluzioni circuitali più efficienti ed affidabili.

Il circuito integrato "slave", sistemato sul lato primario del trasformatore, provvede a pilotare il transistor commutatore dell'alimentatore SMPS e a fornire tutte le funzioni richieste per la partenza dolce degli stadi. I segnali di pilotaggio degli stadi finali di riga e di quadro sono forniti dal "master", posto sul secondario del trasformatore. Questo integrato comprende anche le funzioni richieste per la stabilizzazione delle

tensioni di alimentazione e per le protezioni contro le sovracorrenti e le sovratensioni, nonchè i circuiti che sovraintendono alle sincronizzazioni di riga e di quadro.

Durante il normale funzionamento del televisore, l'integrato slave viene controllato dal master, mentre nella fase iniziale, dopo l'accensione dell'apparecchio, lo slave provvede per suo conto alla partenza dolce ed alle protezioni. La frequenza di lavoro dell'alimentatore è sincronizzata con quella della scansione orizzontale e l'istante di blocco del transistor interruttore cade durante l'intervallo di fly-back di riga: di conseguenza gli effetti dell'eventuale irradiazione non risultano visibili.

La stabilizzazione della tensione di alimentazione del televisore ha luogo sul lato secondario del trasformatore. Gli impulsi per il controllo della conduzione del transistor interruttore vengono trasferiti all'integrato slave tramite un piccolo *trasformatore toroidale* che assicura l'isolamento tra le due parti del telaio.

Tutti gli stadi di potenza contenuti negli integrati operano in classe D, con conseguente limitazione della dissipazione e riduzione delle dimensioni. Le numerose e complesse funzioni esercitate dagli integrati sono state attuate ricorrendo a circuiti che impiegano tecniche analogico-digitali, realizzati con la tecnologia I^2L (Integrated Iniection Logic).

In Fig. 8.19 è riportato lo schema semplificato dell'alimentatore che stiamo descrivendo, il cui schema elettrico completo, relativo al telaio Mivar 28C2, è riportato in Fig. 8.20.

In funzionamento normale, la tensione di 140V fornita al secondario dal diodo D412 viene stabilizzata variando il tempo di conduzione del transistor interruttore T401, a seconda della richiesta di energia da parte dei carichi. Questa funzione è esercitata dal TEA 2029, la cui sezione di controllo del SMPS è riportata in dettaglio in Fig. 8.21. La tensione di 140V viene ridotta dal partitore R524-R522-R523 ed applicata al pin 9 dell'integrato al quale, internamente, è collegato l'ingresso invertente di un amplificatore operazionale, mentre l'altro ingresso è stabilmente connesso ad una tensione di riferimento di 1,26V. Il segnale di errore che ne risulta viene filtrato e inoltrato ad uno stadio modulatore, assieme ad una tensione a dente di sega a frequenza di riga. Il segnale d'uscita è rappresentato da un impulso la cui larghezza cresce all'aumentare della richiesta di energia dei carichi, ma in modo che la tensione risultante al pin 9 sia sempre coincidente con quella di riferimento di 1,26V. La larghezza massima dell'impulso di comando è limitata dalla logica interna tramite un segnale rettangolare, di durata ben definita, applicato ad uno degli ingressi della porta AND.

Il terzo ingresso è collegato all'uscita Q di un flip-flop RS che viene resettato dal circuito di protezione (non utilizzato nello schema in esame). Quando la tensione al pin 28 supera 1,26V, corrispondenti al riferimento interno, si ha il blocco dello stadio modulatore e l'avvio della partenza dolce. Il numero di eventi che determina l'attivazione della protezione viene memorizzato entro un contatore a 3 bit: non appe-

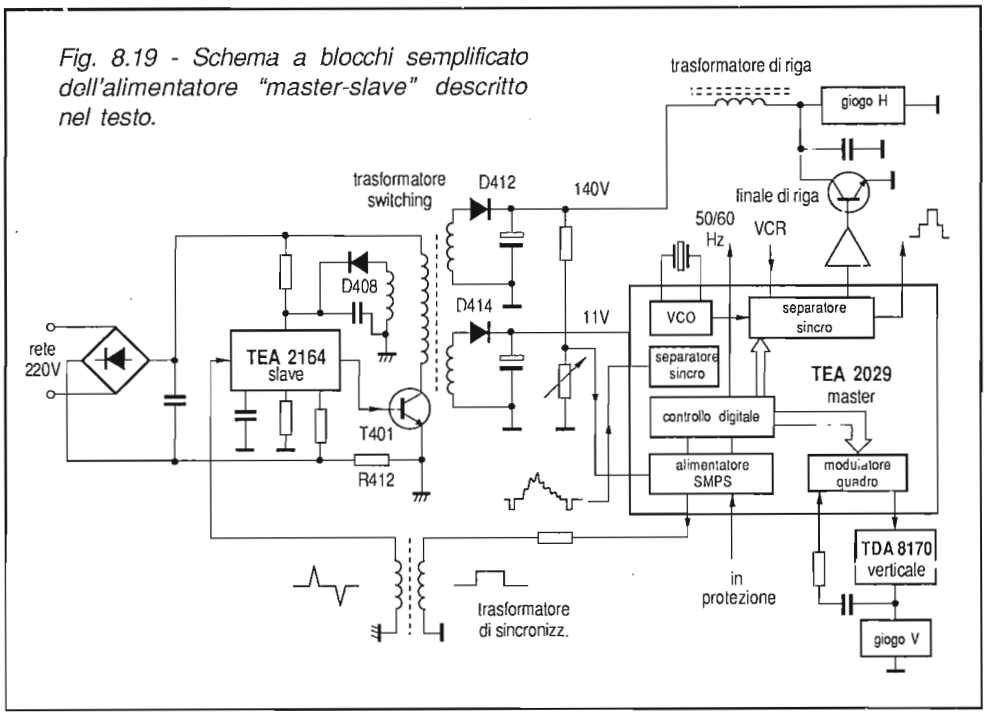


Fig. 8.19 - Schema a blocchi semplificato dell'alimentatore "master-slave" descritto nel testo.

na quest'ultimo è completamente carico, l'impulso d'uscita determina il reset del flip-flop e quindi il blocco definitivo dell'alimentatore. Lo stesso risultato si ottiene quando la tensione di alimentazione (pin 8) scende al di sotto di 6V in fase di spegnimento del televisore.

Il ripristino del funzionamento, ovverosia il reset della logica di protezione, avviene dopo che la tensione di alimentazione è stata annullata. In condizioni normali di funzionamento, come si è già detto, per assicurare l'isolamento tra le parti primaria (sotto rete) e secondaria dell'alimentatore, l'impulso di comando prodotto dal TEA 2029 viene trasferito allo slave TEA 2164 (Fig. 8.22) per mezzo di un piccolo trasformatore con nucleo toroidale (L402). Per effetto della differenziazione espressa dalla legge di Lenz, la tensione disponibile sul lato primario dell'alimentatore riproduce solamente i fronti di salita e di discesa dell'impulso di pilotaggio. Il circuito d'ingresso dello slave (pin 6) riconosce i due fronti e utilizza, il primo per la sincronizzazione dell'oscillatore RC e il secondo per resettare un flip-flop, il cui segnale d'uscita determina la durata di conduzione del transistor commutatore. Quest'ultima fase, come si è già anticipato, viene a cadere entro l'intervallo di fly-back di riga.

In condizioni normali di funzionamento, lo slave si limita a ricevere il segnale di controllo prodotto dal master e ad elaborarlo, solo al fine di ottimizzare il pilotaggio del

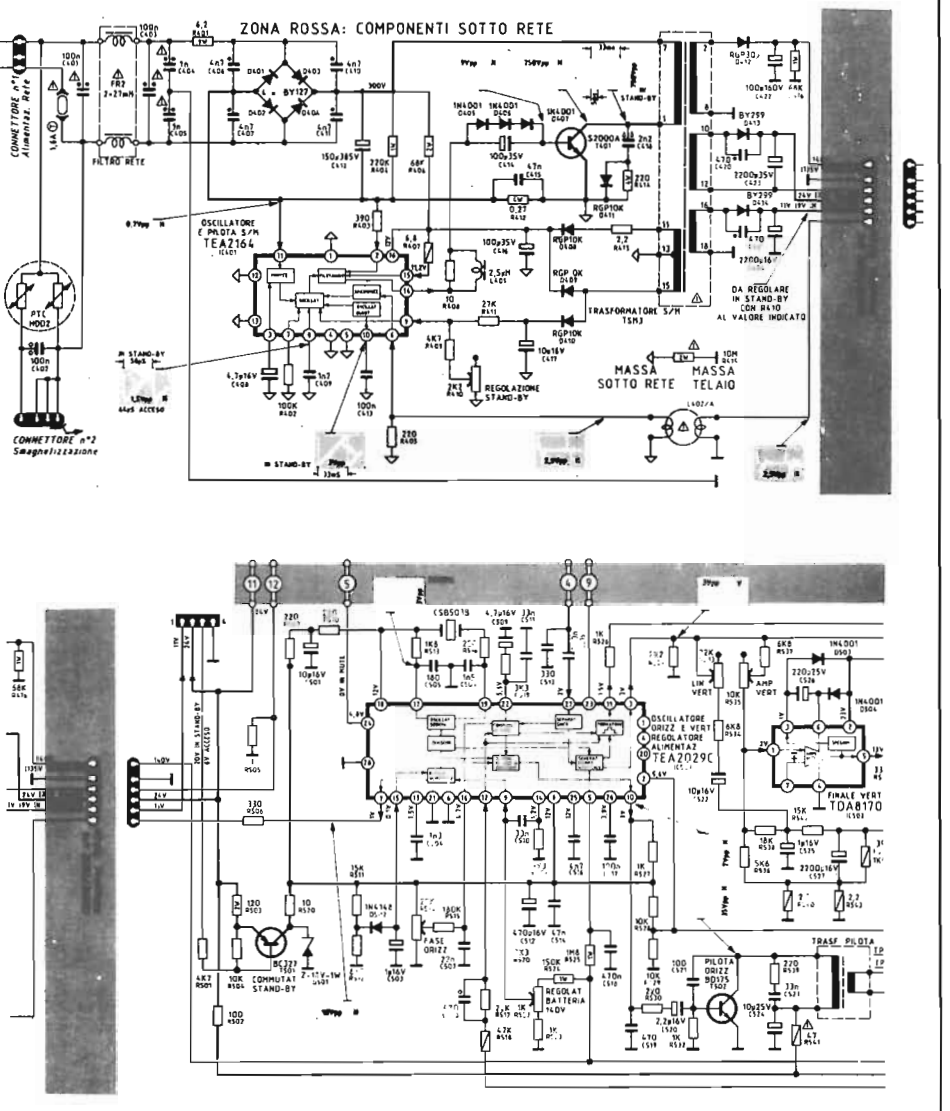


Fig. 8.20 - Schema elettrico dell'alimentatore commutato di tipo "master-slave" impiegato nel telaio Mivar 28C2.

transistor commutatore. Pertanto, come si è già visto a proposito del TEA 2018A (Fig. 8.14), l'andamento della corrente iniettata nella base di T401 è caratterizzato dalla successione di:

- un breve ma intenso impulso positivo che assicura un rapido passaggio allo stato di saturazione (*fast turn-on*);
- una fase di crescita lineare, con andamento che ricopia quello della corrente di collettore, tramite la misura effettuata con R412 ed il circuito a specchio di corrente interno: il rapporto R403/R412 definisce quello di pilotaggio I_C/I_B ed è determinato dal guadagno minimo del transistor;
- un breve ma intenso impulso negativo, in virtù del quale si ottiene un rapido annullamento della corrente di collettore (*fast turn-off*).

L'istante di blocco del transistor commutatore può venir anticipato se si presenta una situazione di sovraccarico che ne farebbe crescere a livelli pericolosi la corrente di collettore. Tramite il pin 11 viene infatti misurata la caduta di tensione su R412 e quando questa raggiunge il valore di –1V, interviene il circuito di protezione che

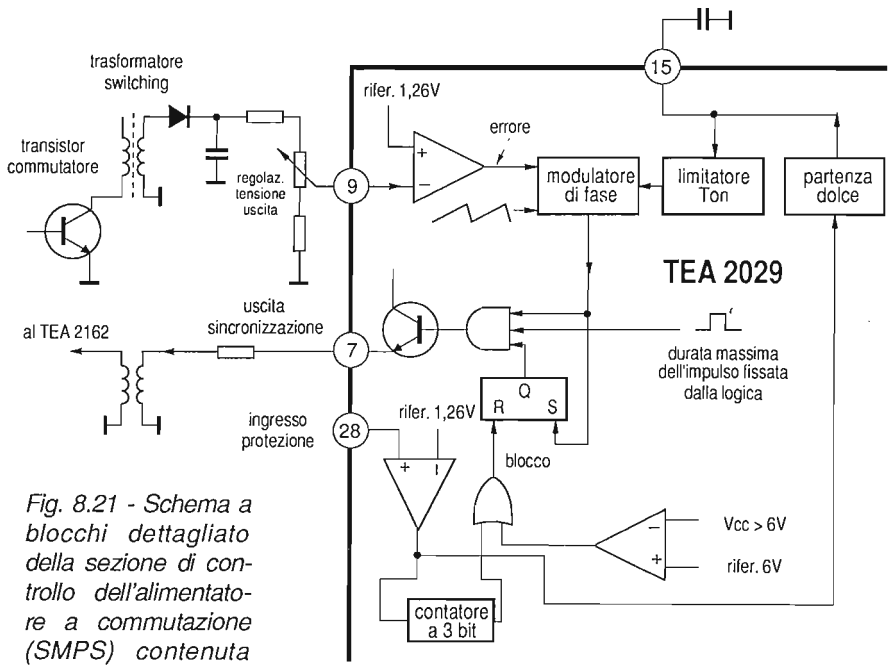


Fig. 8.21 - Schema a blocchi dettagliato della sezione di controllo dell'alimentatore a commutazione (SMPS) contenuta nel TEA 2029.

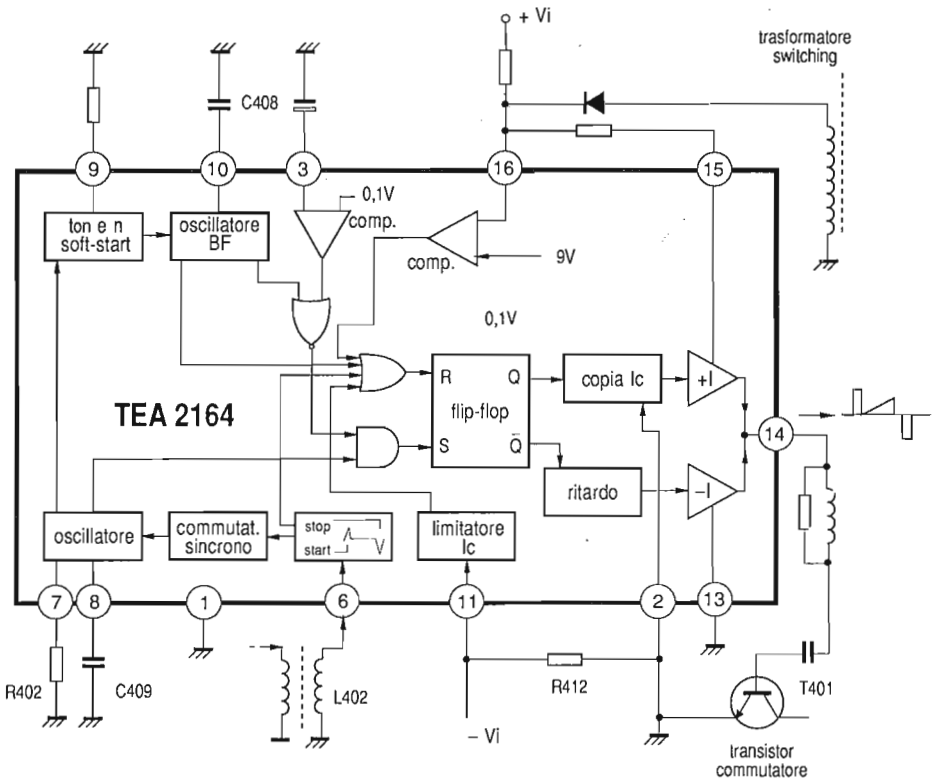


Fig. 8.22 - Schema a blocchi dell'integrato "slave" TEA 2164 per il controllo ed il pilotaggio del transistor commutatore.

determina il reset del flip-flop. Se poi viene raggiunta una seconda soglia, 1,3 volte più alta della precedente, il transistor di commutazione viene bloccato e l'integrato si dispone a funzionare nel modo intermittente (burst), riducendo la tensione secondaria. Ciò determina il blocco del master e la situazione si manterrà fino a quando non verrà eliminata la causa che ha determinato il sovraccarico.

Il TEA 2164 è dotato pure di una protezione contro le sovratensioni. Quando la tensione di alimentazione Vcc (pin 16) raggiunge i 15V, un comparatore interno resetta il flip-flop bloccando la conduzione del transistor fino al successivo periodo.

Esaminiamo ora la fase iniziale del funzionamento dell'alimentatore. Quando l'apparecchio viene acceso, la tensione Vcc applicata al pin 16 inizia a salire ma, fino a quando non raggiunge i 9V, tutte le funzioni dell'integrato sono bloccate ed il transi-

stor commutatore rimane interdetto. In questa situazione l'assorbimento di corrente da parte dell'integrato ammonta a circa 0,8mA.

Quando la Vcc supera i 9V, il TDA 2164 si dispone ad operare in modo burst, vale a dire fornendo al transistor commutatore un treno di circa 90 impulsi, aventi frequenza determinata da R402-C409, per una durata di 5ms, che si ripete ogni 33ms (determinato da C408). In questa situazione la potenza trasferita al secondario è solamente il 15% di quella nominale, ma sufficiente a fornire alimentazione ai circuiti secondari e al master TEA 2029. Quando quest'ultimo si porta a regime, inizia a fornire gli impulsi di controllo allo slave TEA 2164, costringendolo a passare dal modo burst a quello normale.

In condizioni di attesa (stand-by) il transistor T501 è interdetto dalla tensione di 20V che gli arriva in base dalla scheda del ricevitore del telecomando, e perciò il TEA 2029 non è alimentato. Tutte le funzioni del televisore risultano bloccate, salvo il diodo D414 che fornisce la tensione di alimentazione al gruppo comandi. In questa situazione mancano gli impulsi di sincronizzazione e lo slave si dispone a funzionare nel modo burst. Con il potenziometro R410 si regola allora la durata degli impulsi, in modo che l'alimentatore fornisca al gruppo comandi (catodo di D414) una tensione di 9V, sufficiente per garantirne il funzionamento anche in stand-by.

Per ultimo osserviamo che nel modo burst, un sistema di partenza dolce (soft-start), basato su una limitazione della corrente di collettore programmata internamente al TEA 2164, associato ad uno di limitazione del duty-factor provvede a graduare il trasferimento di energia dal primario al secondario.

capitolo nono

IL TELECOMANDO E LA SEZIONE DI SINTONIA

9 - 1 TELECOMANDI A RAGGI INFRAROSSI

La disponibilità di diodi emettitori di luce nella regione dell'infrarosso (IRED) e di fotodiodi veloci ed economici, in grado di funzionare correttamente con fasci di luce modulata da segnali con frequenza superiore a 100kHz, ha reso possibile la realizzazione di sistemi di telecomando a raggi infrarossi che hanno sostituito totalmente, a partire dall'inizio degli anni ottanta, i precedenti sistemi che utilizzavano radiazioni ultrasoniche.

I principali vantaggi dell'uso della radiazione infrarossa rispetto a quella ultrasonica sono:

- maggiore immunità ai disturbi;
- mancanza dell'effetto Doppler, che provoca uno slittamento di frequenza nel caso di movimento del trasmettitore;
- limitata distorsione del segnale modulante per la notevole larghezza di banda dei dispositivi elettro-ottici;
- maggiore larghezza di banda utilizzabile per l'informazione;
- costo contenuto.

Per la trasmissione delle radiazioni infrarosse modulate vengono utilizzati dei diodi emettitori di luce chiamati IRED (Infra Red Emitting Diode) equipaggiati con una

giunzione p-n all'arsenuro di gallio (Ga As). Quando il diodo viene polarizzato direttamente, in corrispondenza della giunzione si ha la ricombinazione di un certo numero di elettroni con lacune, ed il passaggio di questi elettroni dalla banda di conduzione a quella di valenza. Ne consegue un'emissione di quanti di energia sottoforma di onde elettromagnetiche che, nel caso specifico, presentano una lunghezza d'onda di 940nm e cadono perciò nella regione dell'infrarosso. I fotoni emessi dalla giunzione vengono trasmessi all'esterno attraverso una finestra di vetro o di plastica, a forma di lente convessa, che conferisce al fascio l'apertura richiesta (Fig. 9.1).

Variando la polarizzazione diretta del diodo è possibile modulare l'intensità del fascio di raggi infrarossi emessi. La frequenza massima di modulazione è limitata unicamente dai tempi di salita e di discesa (inferiori a 0,5μs), determinati dalla capacità della giunzione.

Per incrementare l'intensità della radiazione infrarossa è necessario aumentare l'intensità della corrente diretta nel diodo, senza superare però il limite di dissipazione tollerato (tipicamente 250mW a 25°C) e quello di picco della corrente (1,5÷2A). Ciò è attuabile ricorrendo al pilotaggio dell'IRED con impulsi di corrente molto intensi (1÷1,5A), di breve durata ed a bassa ripetitività. Si ottengono così pic-

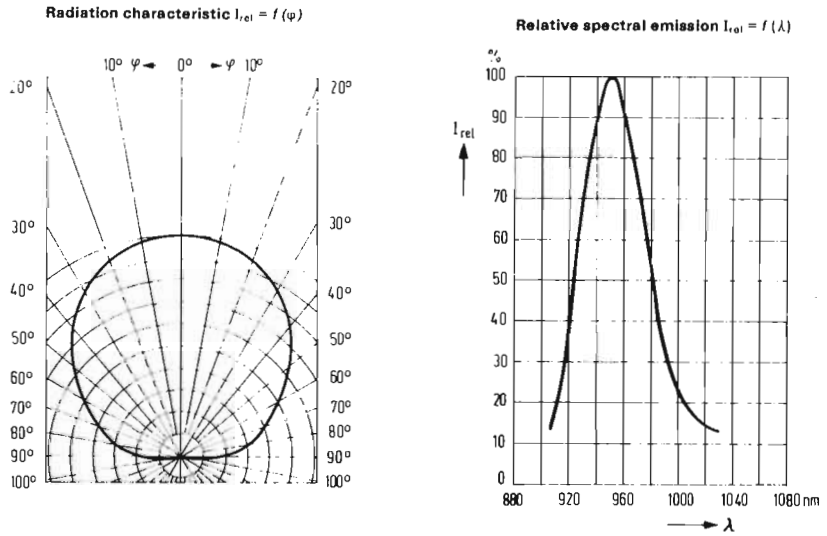


Fig. 9.1 - Diagramma polare di emissione e diagramma dell'emissione spettrale relativa dell'IRED LD241 (Siemens).

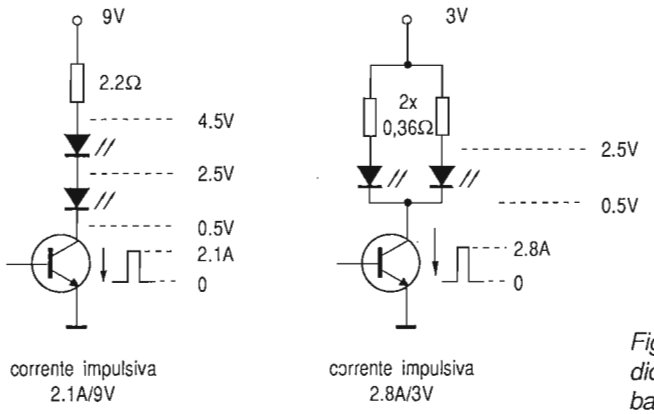


Fig. 9.2 - Pilotaggio dei diodi IRED ad alta e a bassa tensione.

chi di emissione con potenze fino a 200mW, distribuite sotto angoli di ±20÷40° sul piano orizzontale, e con un assorbimento medio della batteria di soli 5mA.

Per incrementare l'apertura o la potenza irradiata lungo l'asse, e quindi in definitiva la distanza di trasmissione, si ricorre spesso all'impiego di 2 o 3 diodi disposti in serie (alimentazione a 9V) o in parallelo (alimentazione a 3V), pilotati dalla stessa sorgente, come indicato in Fig. 9.2.

9 - 2 TECNICHE DI TRASMISSIONE

Le prime realizzazioni di telecomandi a raggi infrarossi derivavano direttamente da quelle ad ultrasuoni, con la semplice sostituzione dello stadio d'uscita e del trasduttore, mentre il sistema di codifica dei comandi rimaneva lo stesso. Si incontrano così telecomandi equipaggiati con integrati sviluppati appositamente per la trasmissione ultrasoniche, nei quali i comandi risultano definiti dal valore della frequenza trasmessa o dalla combinazione di un certo numero di frequenze.

Al primo gruppo appartengono i famosi SAA 1024/1124 che producono 30 frequenze ultrasoniche comprese entro la gamma 33,9÷43,9kHz, con passi di 346Hz. A ciascuna frequenza corrisponde un ben determinato comando. La decodifica avviene al ricevitore mediante un speciale circuito integrato (SAA 1025) in grado di riconoscere e distinguere, con la richiesta precisione, le diverse frequenze ricevute. Ciò è possibile poichè il trasmettitore ed il ricevitore sono dotati di oscillatori quar-

zati che permettono, al primo di produrre segnali con errori di frequenza inferiori a 1Hz, e al secondo di formare delle finestre di discriminazione temporale molto precise e stabili con le quali è possibile ignorare le frequenze spurie ed i falsi comandi.

Al secondo gruppo appartengono gli integrati MC 14422/14424 della Motorola, nei quali i comandi vengono trasmessi per mezzo di una combinazione ordinata di 5 frequenze, comprese tra 34,68kHz e 42,75kHz. A ciascun comando corrisponde perciò una parola di 5 bit, se attribuiamo alla presenze di una frequenza il livello 1 e all'assenza il livello 0. Complessivamente, possono venir trasmessi 31 comandi distinti, dovendosi ovviamente escludere la combinazione 00000.

Il ricevitore (MC6526/6529), per riconoscere le frequenze in arrivo dal telecomando, opera una conversione di frequenza, mescolando il segnale ricevuto con quello d'uscita di un divisore variabile, che fornisce una sequenza di 5 frequenze comprese tra 41,97kHz e 51,04kHz. Se il segnale risultante presenta una frequenza pari a quella "intermedia" di 7,29kHz, significa che il valore di una delle frequenze trasmesse è stato riconosciuto: questa situazione viene memorizzata. Ripetendo l'esame per 8 volte, si giunge alla conclusione del ciclo di decodifica disponendo in memoria di una sequenza binaria corrispondente a quella utilizzata in trasmissione.

Anche se il sistema di decodifica è piuttosto complesso e sofisticato, l'impiego di un numero ridotto di frequenze, e la loro notevole spaziatura, non obbliga ad usare oscillatori quarzati nè al trasmettitore nè al ricevitore, riducendone di conseguenza i costi.

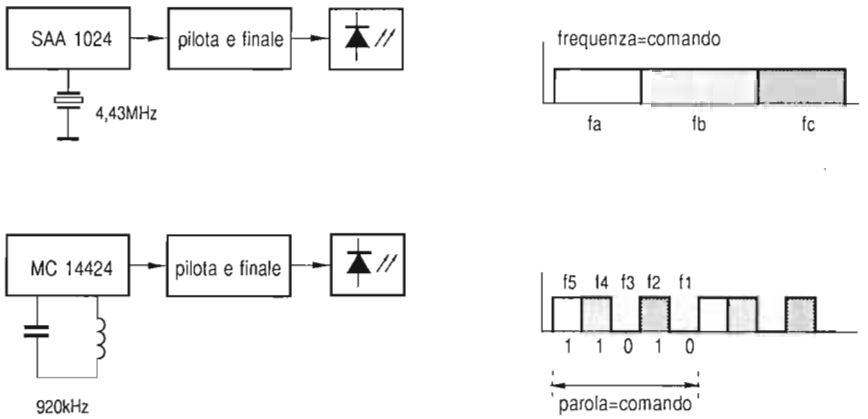


Fig. 9.3 - Struttura a blocchi dei trasmettitori di telecomando a IR che fanno uso di integrati sviluppati per sistemi ad ultrasuoni.

In Fig. 9.3 è indicata la struttura dei segnali IR utilizzati dai sistemi citati, la cui descrizione è disponibile in modo più approfondito nel "Manuale dei circuiti integrati TV" vol. 2°.

9 - 2 - 1 Codificazione ad impulsi

Con l'abbandono della comunicazione ad ultrasuoni, i costruttori hanno sviluppato nuovi integrati più adatti ai sistemi IR, che fanno uso delle soluzioni digitali più sofisticate. I comandi sono rappresentati ora da parole di dati binari, che vengono trasmessi ricorrendo a sistemi di codifica propri della telematica. Tra questi, i più usati sono:

- PPM (Pulse Position Modulation)
- bifase
- FSK (Frequency Shift Key)

Codifica PPM

Con la codifica PPM, *modulazione a posizione di impulso*, al valore 0 o 1 di un bit è associato l'intervallo di separazione tra due impulsi consecutivi. In Fig. 9.4 è indicato il formato di trasmissione di una parola di dati dell'integrato M 709 (SGS). Ciascuna parola è composta di 15 impulsi che danno luogo a 14 intervalli di tempo, tutti di valore uguale o multiplo di quello di base, T. Il primo e l'ultimo intervallo valgono 4T e separano l'impulso preliminare da quello di start e l'impulso di parità da quello di stop. Il secondo intervallo rappresenta il bit di start e possiede una durata costante pari a T, mentre il penultimo è il bit di parità che può assumere il valore 0 e 1. Gli altri 10 intervalli formano il gruppo dei bit di indirizzo (i primi 4) e di comando (gli altri 6). La durata degli intervalli di separazione tra due impulsi consecutivi è:

- T per bit = 0
- 2T per bit = 1 in posizione dispari
- 3T per bit = 1 in posizione pari

Il diverso codice per i bit dispari e per quelli pari contribuisce ad accrescere l'immunità del sistema al rumore ed ai disturbi. In altri casi (ad esempio SAA 1050/1251) questa distinzione non viene fatta ed allora la parola trasmessa si presenta come successione di impulsi distanti T o 2T, a seconda del valore assunto dal bit corrispondente.

Ritornando all'integrato M 709, osserviamo che l'impulso trasmesso può presentare una *struttura singola* (flash-mode) o a *frequenza portante* (carried-mode); in que-

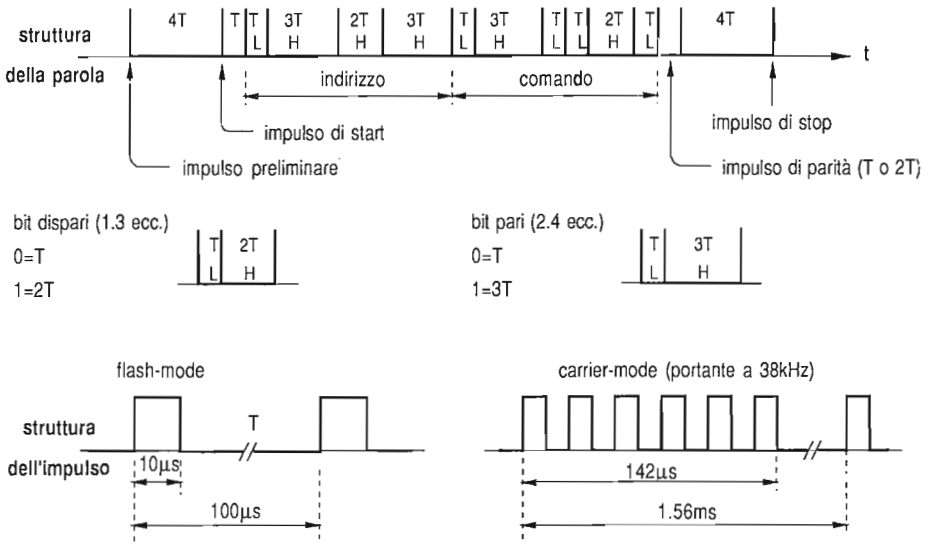


Fig. 9.4 - Formato di trasmissione in codice PPM di una parola dati dell'integrato M 709.

st'ultimo caso, il riconoscimento al ricevitore viene eseguito oltre che misurando la durata degli intervalli di separazione anche verificando la correttezza della frequenza portante.

Codifica bifase

Nella codifica bifase, i livelli logici binari 0 e 1 sono rappresentati dalle transizioni L-H e H-L del segnale trasmesso, che hanno luogo a metà dell'intervallo unitario del bit. Facendo riferimento alla Fig. 9.5, osserviamo il formato di trasmissione di un comando emesso dal SAB 3210 che fa uso della codifica binaria. Per formare la parola-comando, vengono utilizzati 6 bit (A÷F), che possono assumere i valori 0-1. Il primo bit è preceduto dal *bit di start* (S) che può assumere il valore 0 o 1 a seconda della mascheratura interna. L'intera istruzione di 7 bit è a sua volta preceduta da un *impulso preliminare* che viene utilizzato al ricevitore, fra l'altro, per controllare il guadagno dell'amplificatore.

Anche in questo caso viene utilizzata una frequenza portante di circa 30kHz che,

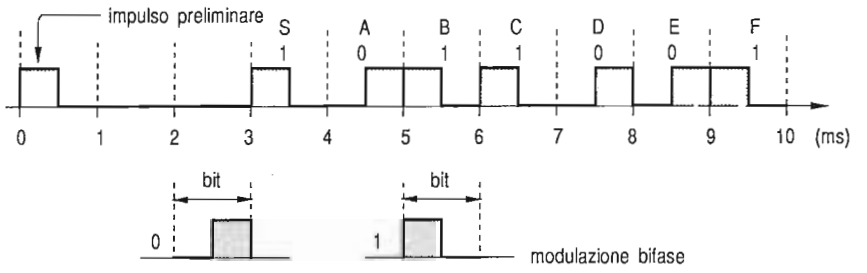


Fig. 9.5 - Formato di trasmissione in codice bifase di una parola-comando dell'integrato SAB 3210.

oltre a diminuire il duty-factor dell'IRED, permette un più preciso riconoscimento del segnale al ricevitore.

Codifica FSK

Nella codifica FSK, ovverosia a *spostamento di frequenza*, a ciascuna cifra binaria è associata una commutazione tra due valori di frequenza che avviene all'interno dell'intervallo di bit. Così, ad esempio, alla cifra 0 è associata la commutazione f_2-f_1 e alla cifra 1 la transizione f_1-f_2. In Fig. 9.6 è riportata la struttura di una paro-

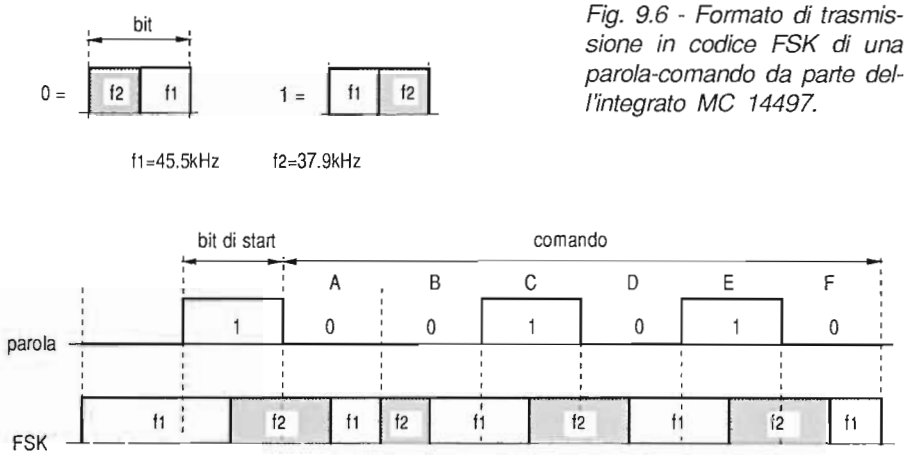


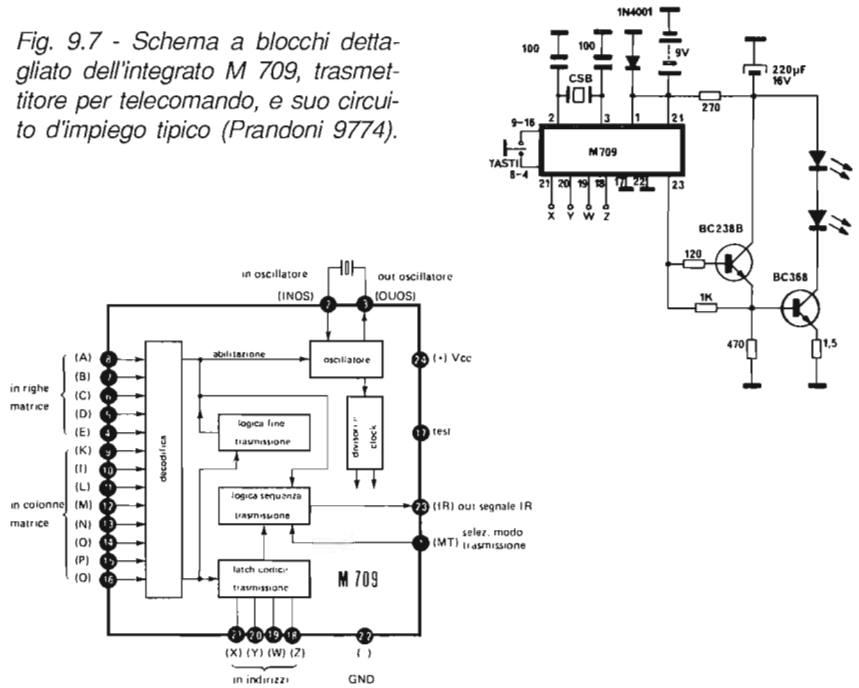
Fig. 9.6 - Formato di trasmissione in codice FSK di una parola-comando da parte dell'integrato MC 14497.

la prodotta in codifica FSK dall'integrato MC 14497. Vengono trasmessi 7 bit di cui 6 utilizzati per individuare il comando ed 1, il primo, con funzione di bit di start.

9 - 3 TRASMETTITORI PER TELECOMANDO

Descriveremo ora due integrati di notevole diffusione impiegati nel trasmettitore per telecomando di sistemi che verranno trattati in dettaglio nei paragrafi seguenti. Il primo, l'M 709 prodotto dalla SGS, utilizza la codifica PPM secondo la struttura indicata in Fig. 9.4 e viene utilizzato in associazione con il ricevitore M 104 . Il secondo, l'SAA 1250, certamente il più diffuso, opera con il ricevitore SAA 1251 e utilizza anch'esso la codifica PPM, ma con caratteristiche semplificate.

Fig. 9.7 - Schema a blocchi dettagliato dell'integrato M 709, trasmettitore per telecomando, e suo circuito d'impiego tipico (Prandoni 9774).



9 - 3 - 1 L'M 709

L'M 709, il cui schema a blocchi è riportato in Fig. 9.7, è un circuito ad alta integrazione sviluppato per la realizzazione di telecomandi a raggi infrarossi altamente protetti nei confronti di disturbi ed interferenze, grazie alla trasmissione di impulsi codificati PPM.

L'informazione binaria da trasmettere ha la struttura di una parola di 10 bit, di cui 4 utilizzati per gli indirizzi e 6 per i comandi, per un totale di 640 combinazioni utilizzabili. Ciascuna parola utilizza 12 impulsi: l'informazione binaria di un bit è determinata dall'intervallo di tempo che separa due impulsi consecutivi. Detto T l'intervallo base, i bit sono codificati nel modo rappresentato in Fig. 9.4.

Il diverso codice per i bit dispari e per quelli pari contribuisce ad accrescere l'immunità al rumore e ai disturbi, ed inoltre evita l'errore che potrebbe causare lo scambio 10 con 01.

Oltre ai 12 impulsi, ne vengono trasmessi altri 4 con funzioni di impulso preliminare, di start, di parità e di stop. La parola LHHH-LHLLHL (indirizzo 7, comando 18) avrà, ad esempio, la struttura indicata in Fig. 9.4.

Il bit di parità contribuisce ad incrementare l'affidabilità della trasmissione: il suo valore sarà 1, se il numero di bit 1 trasmessi è pari, sarà 0, invece, se tale numero è dispari. La durata di una parola trasmessa, completa di impulsi accessori, potrà quindi variare tra un minimo di 21T (bit tutti L) e 36T (bit tutti H).

L'M 709 contiene un oscillatore operante tra 445 e 510kHz, la cui frequenza è determinata dal risuonatore ceramico collegato tra i piedini 2 e 3. Il funzionamento dell'oscillatore è controllato da un circuito che lo blocca sia in assenza di comando, assicurando che l'assorbimento del trasmettitore sia trascurabile in condizioni di inattività, che nel caso vengano premuti più tasti contemporaneamente. Un divisore a più sezioni produce i segnali di CLOCK per la sincronizzazione di tutti i circuiti interni all'integrato.

L'informazione relativa al comando prescelto viene introdotta nell'integrato connettendo un ingresso di riga (A÷E) con uno di colonna (K÷Q). Se il contatto dura almeno 25ms, l'informazione binaria corrispondente viene memorizzata in un latch, assieme al codice di indirizzo presente ai pin 18÷21, e trasferita ad un registro che, scaricandosi, produce la sequenza di impulsi indicata in precedenza.

Tenendo premuto un tasto si determina la ripetizione dell'intera sequenza ad intervalli di circa 100ms. Al rilascio del pulsante, il circuito trasmette dopo circa 18ms il comando "fine trasmissione del codice", quindi si dispone in attesa.

Per ultimo ricordiamo che ciascun impulso trasmesso può essere singolo *(flash-mode)* o multiplo *(carrier-mode)*, con frequenza portante di 38,43kHz, a seconda che il pin 1 risulti connesso al pin 24 o al 22.

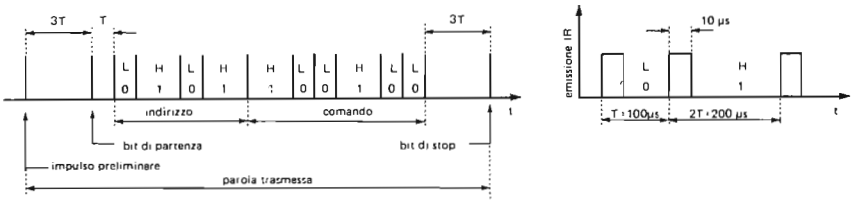


Fig. 9.8 - Struttura della parola trasmessa in codice PPM dall'SAA 1250.

Nello schema applicativo proposto, essendo gli ingressi X, Y, W, Z aperti (stato L), i comandi vengono trasmessi con l'indirizzo 1 (L, L, L, L).

In Fig. 9.7 è riportato lo schema completo del trasmettitore equipaggiato con l'M 709. Il segnale d'uscita al pin 23 viene trasferito alla base dell'emitter-follower BC238B il quale provvede a pilotare il finale BC368 sul cui collettore sono presenti, disposti in serie, due IRED. L'alimentazione dello stadio finale avviene tramite una resistenza di 270Ω ed il condensatore elettrolitico di 220µF. In questo modo si limita l'ampiezza massima della corrente assorbita dalla batteria a circa 30mA, allungandone la vita, mentre l'elettrolitico è in grado di scaricarsi rapidamente fornendo ai diodi la corrente impulsiva richiesta di circa 2A durante la fase di saturazione del transistor finale.

9 - 3 - 2 L'SAA 1250

L'SAA 1250 è un circuito ad alta integrazione sviluppato per la realizzazione di telecomandi a infrarossi ad impulsi con codifica PPM. L'informazione binaria risulta definita dal diverso intervallo di tempo fra i vari impulsi che può assumere il valore T = 0,1ms (corrispondente al livello logico 0 o L) o 2T = 0,2ms (corrispondente al livello logico 1 o H).

Utilizzando parole da 10 bit, strutturate in 4 bit per gli indirizzi e in 6 bit per i comandi, è possibile ottenere 1024 differenti combinazioni, per un totale di 16 indirizzi e 64 comandi. Questa notevole possibilità può essere utilizzata per effettuare fino a 64 controlli a distanza su un massimo di 16 sottoinsiemi contenuti nel ricevitore, come ad esempio il VIDEOTEXT, il VIEWDATA, ecc., semplicemente cambiando l'indirizzo.

Per la trasmissione di una parola di 10 bit vengono richiesti 14 impulsi: di questi, 11 sono necessari per definire i 10 intervalli di tempo, e altri 3 hanno le funzioni di impulso preliminare, di start e di stop. La parola LHLH-HLLHLL (indirizzo 11, comando 37) avrà perciò la struttura indicata in Fig. 9.8. La durata delle parole trasmesse potrà variare quindi tra un minimo di 17T (bit tutti L) e un massimo di 27T (bit tutti H).

Come si desume dalla Fig. 9.9, l'SAA 1250 contiene un oscillatore operante tra 160 e 220kHz, la cui frequenza è determinata dai componenti RC collegati ai pin 2, 3 e 4. Il funzionamento dell'oscillatore è controllato da un circuito che lo blocca in assenza di comando, assicurando che l'assorbimento del trasmettitore sia trascurabile in condizioni di inattività. Un generatore di CLOCK produce due segnali con fasi opposte per la sincronizzazione dei circuiti interni all'integrato.

La corretta sequenza nel tempo di tutte le operazioni viene assicurata dal *controllo programma*. Il circuito di identificazione delle righe e delle colonne è composto di

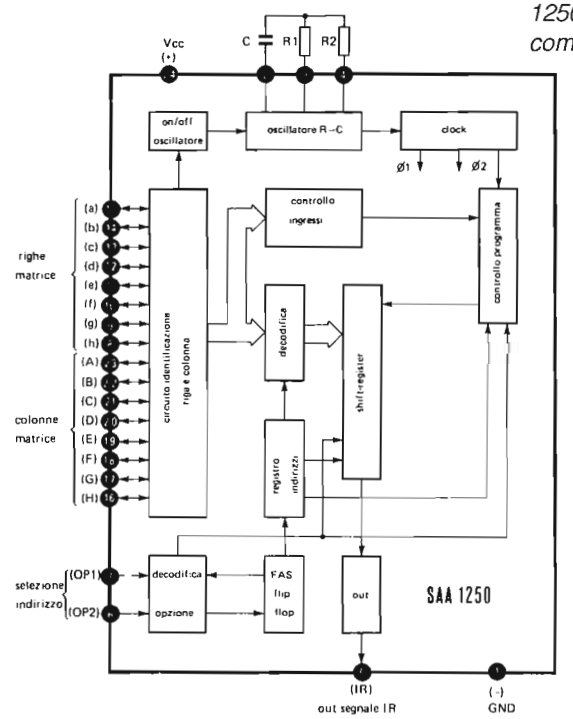


Fig. 9.9 - Schema a blocchi dettagliato dell'integrato SAA 1250, trasmettitore per telecomando.

due matrici di otto terminali (da pin 8 a pin 15 per le righe, e da pin 16 a pin 23 per le colonne). Ogni comando viene inoltrato al circuito, collegando un terminale delle righe con un terminale delle colonne; questa informazione è quindi convertita dal decodificatore in un segnale a 6 bit paralleli. Il successivo shift-register riceve le informazioni in parallelo dal decoder e dal registro indirizzi e le invia in uscita in forma seriale. A seconda della combinazione degli ingressi OP1 (pin 7) e OP2 (pin 6), viene definito il modo di indirizzamento operativo: con OP1=OP2=H (caso in figura), il primo comando viene inoltrato con indirizzo 1 mentre i successivi portano l'indirizzo 16; con OP1=H e OP2=L, tutti i comandi sono trasmessi con indirizzo 16; con OP1=L e OP2=H, tutti i comandi vengono trasmessi con indirizzo 10; infine con OP1=OP2=L, i 16 indirizzi possono venir selezionati liberamente con i pulsanti c-A÷H e d-A÷H.

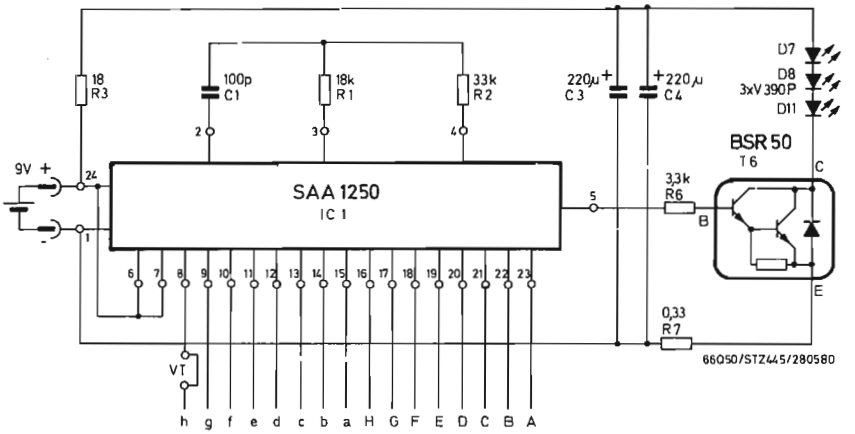
Il decodificatore di opzione rileva il modo prescelto in funzione dello stato in cui si trovano OP1 e OP2. Nel caso di libera selezione, il FAS flip-flop commuta il circuito in modo che, ogni qualvolta avvenga un comando, i 6 bit di istruzione siano preceduti dai 4 bit dell'indirizzo memorizzato nel registro indirizzi.

Infine lo *stadio d'uscita* (out) amplifica il segnale proveniente dal convertitore e lo inoltra al circuito amplificatore-pilota dei diodi IR. Quest'ultimo (Fig. 9.10) è formato da un transistor Darlington BSR50, ad altissimo guadagno di corrente, che viene portato in saturazione dagli impulsi uscenti dal piedino 5: ciò provoca la scarica dei condensatori elettrolitici C3 e C4 attraverso i diodi D7 - D8 - D11, con una corrente di picco di circa 1,5A. Nei periodi di pausa, tali condensatori vengono ricaricati continuamente attraverso R3.

Nel circuito proposto, vengono utilizzati 32 comandi per il controllo delle funzioni TV e altrettanti per il TELEVIDEO (VT): il passaggio da uno all'altro avviene per mezzo del comando h-E.

9 - 4 IL RICEVITORE IR

La debole radiazione infrarossa in arrivo al ricevitore viene convertita in un segnale elettrico da un *fotodiodo al silicio*. Si tratta di un dispositivo nel quale la corrente inversa di saturazione può essere notevolmente accresciuta quando esso viene raggiunto da una radiazione luminosa. L'effetto è una diretta conseguenza del fatto che l'energia associata alla radiazione può essere sufficiente per spezzare uno o più legami covalenti, liberando in tal modo altrettante coppie lacuna-elettrone che contribuiscono ad aumentare il valore della corrente inversa di saturazione. Poichè l'energia dei fotoni è inversamente proporzionale alla loro lunghezza d'onda, ne



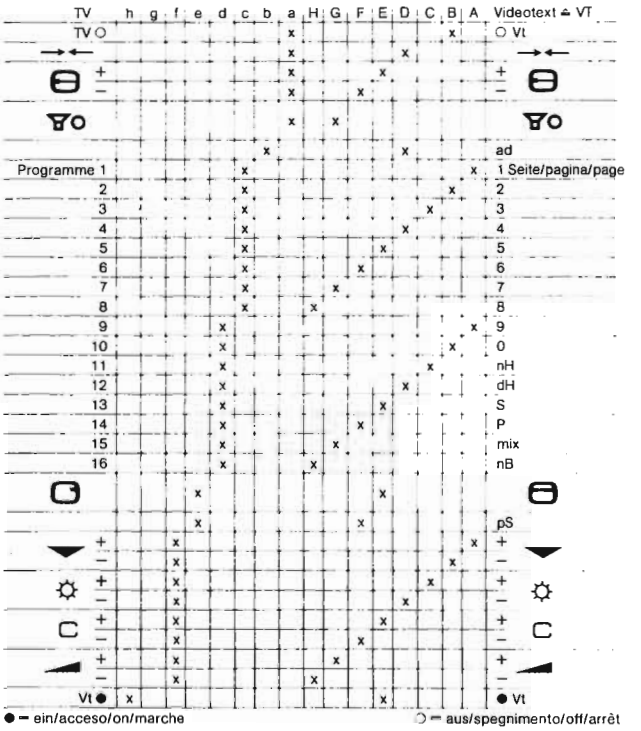
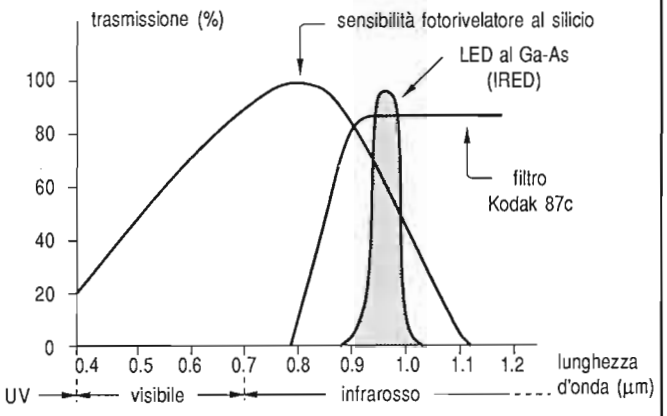


Fig. 9.10 - Schema elettrico del trasmettitore per telecomando equipaggiato con l'SAA 1250 e tabella dei comandi trasmessi.

Fig. 9.11 - Caratteristiche ottiche di risposta del fotorivelatore, del fotoemettitore e del filtro.



consegue che per rompere anche un solo legame, si richiede che essa sia inferiore al limite di soglia, pari a 1,2μm nel caso del silicio.

In Fig. 9.11 è riportata la caratteristica di sensibilità di un fotodiodo al silicio che, come si vede, si estende dall'ultravioletto fino all'infrarosso, presentando una discreta efficienza di conversione in corrispondenza della zona di emissione del diodo IRED all'arsenuro di gallio, utilizzato in trasmissione.

Per evitare che le radiazioni ambientali nelle zone dell'ultravioletto, del visibile e dell'infrarosso attiguo producano disturbi, viene utilizzato un filtro ottico di adeguata caratteristica di trasmissione, in grado di attenuare fortemente la maggior parte dei segnali luminosi di disturbo interferenti. Altri disturbi, dovuti ad emissioni nella regione dell'infrarosso da parte, ad esempio, di lampade ad incandescenza, sono eliminati tramite le particolari tecniche di modulazione di cui si è trattato nei paragrafi precedenti.

La conversione del segnale ottico in elettrico avviene polarizzando inversamente il fotodiodo posto in serie a una resistenza (di carico) di valore piuttosto elevato. Ai capi di quest'ultima si misura una caduta di tensione determinata dalla corrente inversa di saturazione, che cresce all'aumentare dell'intensità della radiazione incidente. Con una corrente di riposo al buio inferiore a 20pA, si passa a circa 1μA per un'illuminazione di 100lux. Il corrispondente segnale di tensione che si raccoglie ai capi della resistenza di carico è compreso tra 100μV e 100mV in condizioni operative normali, a seconda della distanza che separa il trasmettitore dal ricevitore.

Per poter utilizzare un segnale di così modesta intensità, è necessario amplificarlo considerevolmente; inoltre, nel caso di trasmissione con portante modulata, si ri-

chiede un'operazione di filtraggio per estrarre il segnale di codifica con la minima possibilità di errore. Queste operazioni vengono svolte da integrati ad hoc: nel paragrafo seguente riporteremo la descrizione di alcuni di questi.

9 - 4 - 1 Il TDA 3048

Il TDA 3048 è un circuito integrato monolitico al silicio in contenitore plastico DIL a 16 piedini, sviluppato per realizzare la sezione ricevente del telecomando a raggi infrarossi. Come può dedursi dalla Fig. 9.12, esso comprende:

- un amplificatore controllato in guadagno;
- un demodulatore sincrono con amplificatore di riferimento;
- un rivelatore CAG;
- un formatore di impulsi;
- un Q-killer per la regolazione della selettività d'entrata;
- un limitatore della tensione d'ingresso.

Il segnale prodotto dal fotodiodo BPW41 viene filtrato dal circuito risonante LB01-CB01 e applicato tramite il pin 2 all'amplificatore a guadagno regolabile. Questo

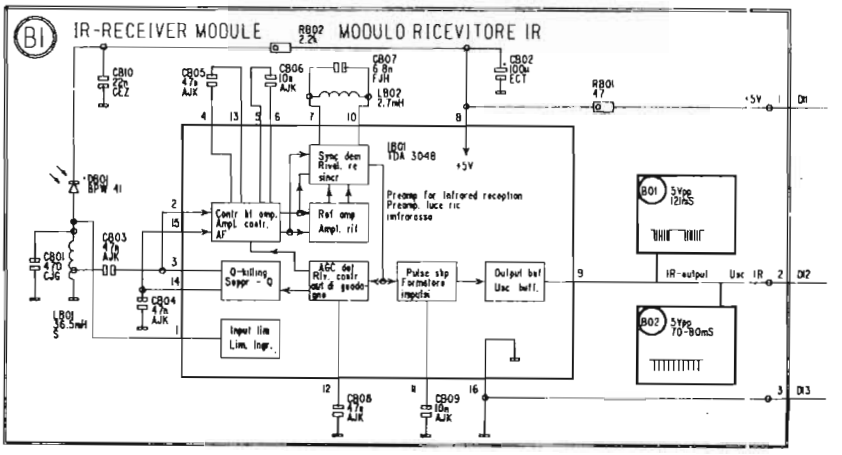


Fig. 9.12 - Schema a blocchi ed elettrico d'impiego del modulo ricevitore IR equipaggiato con l'integrato TDA 3048 (Luxor mod. T6C/8).

consta di 3 amplificatori accoppiati direttamente che forniscono un'amplificazione totale massima di 83dB, con un "range" di controllo di circa 66dB. Il controllo di guadagno è attivo inizialmente solo nel secondo stadio e diviene attivo anche nel primo non appena iniziano a manifestarsi effetti di limitazione nel secondo; in questo modo viene ottimizzato il rapporto segnale-rumore.

Il segnale d'uscita dell'amplificatore è applicato al rivelatore sincrono e all'amplificatore di riferimento. Quest'ultimo provvede ad amplificare e limitare il segnale, estraendone la portante di riferimento con l'aiuto del circuito risonante connesso tra i pin 7 e 10. Questa portante viene applicata agli altri due ingressi del demodulatore sincrono dove viene effettuato il prodotto con il segnale. L'uscita del demodulatore è connessa agli ingressi del rivelatore di CAG e del circuito formatore, che provvede a squadrarne la forma d'onda con l'aiuto della capacità presente tra il pin 11 e massa e del trigger contenuto nello stadio separatore. Il livello di soglia del formatore è variabile, e si adatta automaticamente all'ampiezza del segnale ricevuto, per effetto del collegamento con lo stadio rivelatore di CAG.

Quest'ultimo è costituito da un amplificatore differenziale che "misura" il valore massimo del segnale d'uscita del demodulatore sincrono ignorando, per mezzo di una capacità interna, eventuali impulsi di disturbo. Il segnale viene quindi amplificato ed applicato al primo e al secondo stadio dell'amplificatore regolato, nonchè al Q-killer. Questo stadio ha il compito di far decrescere il fattore di merito del circuito selettivo d'entrata in presenza di forti segnali d'ingresso. Un'ulteriore limitazione dei segnali d'ingresso è effettuata dallo stadio limitatore che presenta una soglia d'intervento di circa 0,7V.

9 - 4 - 2 Il TBA 2110

Il TBA 2110 è un demodulatore FSK (Frequency Shift-Key) progettato per la rivelazione della frequenza dei segnali utilizzati nei telecomandi che operano con questo sistema di codifica.

Esso comprende un amplificatore-limitatore per i segnali provenienti dal fotodiodo a raggi infrarossi e un anello ad aggancio di fase per la demodulazione. Descriviamone il funzionamento facendo riferimento allo schema di Fig. 9.13.

Il segnale ricevuto dal fotodiodo D901 alimenta, attraverso il condensatore d'agganciamento C903, il circuito risonante C904-L901 collegato all'ingresso dell'amplificatore limitatore di CI901.

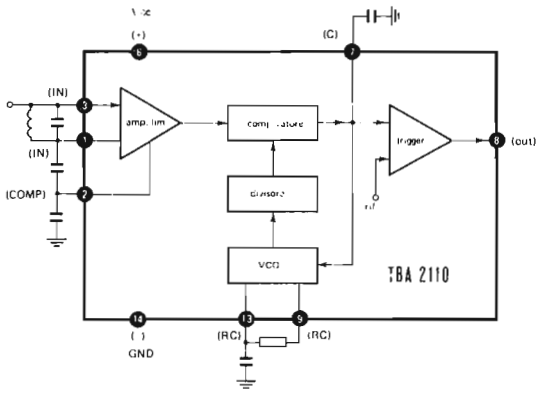
Nel TBA 2110 il segnale di uscita dell'amplificatore viene inviato ad un comparatore di fase/frequenza che fa parte di un *sistema PLL* (anello ad aggancio di fase) comprendente, oltre al comparatore di fase:

- un oscillatore controllato in tensione (VCO);

- un divisore per 2 che fornisce al comparatore di fase/frequenza il segnale di retroazione.

Il sistema PLL aggancia il VCO su di una frequenza doppia di quella in ingresso del comparatore di fase. Poichè l'ingresso è costituito da due frequenze, il cui alternarsi determina il codice dell'informazione, il comparatore di fase/frequenza varierà la tensione di controllo del VCO in modo da determinare l'aggancio del doppio della frequenza presente al suo ingresso.

Se le due frequenze trasmesse sono comprese nel campo d'aggancio dell'anello, la tensione di controllo (piedino 7 dell'integrato) varierà fra un livello superiore ed uno inferiore, con l'alternarsi delle due frequenze trasmesse, rispetto ad una tensione di riferimento fissa fornita dal VCO all'ingresso del trigger di uscita. Tale alternanza, squadrata dal trigger di uscita, è presente sul piedino 8 e costituisce il codice dell'informazione.



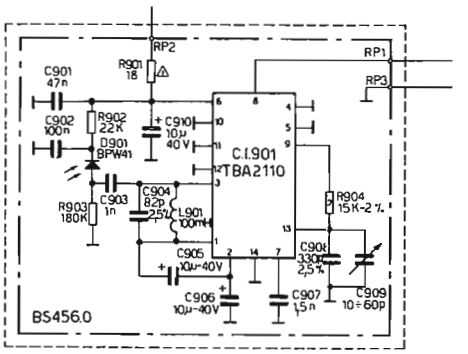


Fig. 9.13 - Schema a blocchi dell'integrato ricevitore IR TBA 2110 e suo circuito elettrico d'impiego tipico (Seleco BS456).

L'integrato TBA 2110 è alimentato con una tensione continua di 15V, filtrata dalla rete R901-C901 e dal condensatore C910. La rete R902-C902 filtra la tensione di polarizzazione inversa del diodo ricevitore D901. I condensatori C905-C906 hanno la funzione di filtro per il livello di riferimento dei piedini 1 e 2 dell'integrato.

La rete RC costituita da R904-C908-C909 fornisce la costante di tempo che determina la frequenza centrale del VCO e quindi la posizione del campo di aggancio. Tale frequenza centrale si regola tramite il trimmer C908.

9 - 5 IL RICEVITORE DEL TELECOMANDO

Il segnale d'uscita del preamplificatore-condizionatore dei segnali IR viene inoltrato all'integrato ricevitore che ha il compito di riconoscere ed interpretare il comando trasmesso, per utilizzarlo o trasmetterlo, a sua volta, generalmente con codice diverso, ad altre sezioni del televisore. Questo integrato, nei telai più recenti, è sempre più frequentemente sostituito da un microprocessore opportunamente mascherato che può adeguarsi facilmente, via software o hardware, ai diversi codici di trasmissione. In questo caso il microprocessore può svolgere anche molte altre funzioni, che vanno dalla gestione dell'unità di sintonia, fino al controllo delle diverse funzioni analogiche. Nei paragrafi seguenti ci occuperemo solamente di soluzioni che fanno uso di integrati "dedicati" cioè sviluppati per svolgere precise funzioni, mentre dedicheremo parte dell'ultimo capitolo del volume alla trattazione specifica del microprocessore e delle sue applicazioni nei televisori analogici.

9 - 5 - 1 L'M 104

L'M 104 è un ricevitore per telecomando adatto alla decodifica delle informazioni PPM trasmesse, ad esempio, dall'M 709. Il ricevitore interpreta il comando trasmesso solo se l'indirizzo inviato corrisponde a quello selezionato al suo pin 3. Una volta accettato ed interpretato, il comando è disponibile in forma seriale al pin 11. Il circuito è in grado di indirizzare direttamente fino a 32 programmi diversi, tramite le sue uscite PA÷PD e PE e può controllare 4 grandezze analogiche (volume, luminosità, saturazione e contrasto). Con l'aiuto della Fig. 9.14, che ne riporta lo schema a blocchi, esaminiamo il funzionamento dell'integrato.

Oscillatore. La frequenza dell'oscillatore di CLOCK può essere compresa tra 445 e 510kHz. Il suo valore è determinato dalla frequenza di lavoro del risuonatore ceramico collegato tra i piedini 16 e 17. Per assicurare un'adeguata sincronizzazione tra trasmettitore e ricevitore, si richiede solamente che i 2 risuonatori utilizzati ap-

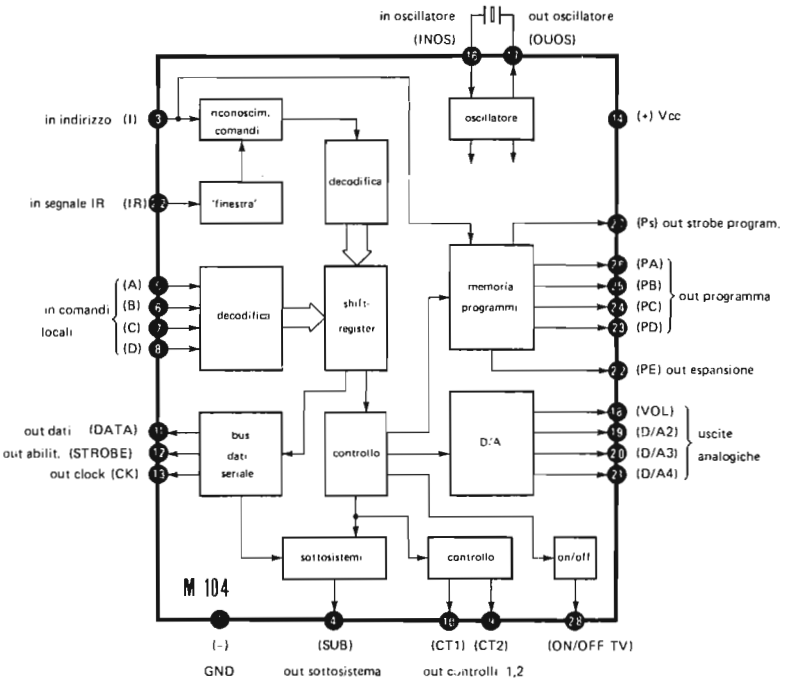


Fig. 9.14 - Schema a blocchi dell'integrato di decodifica M 104.

partengano alla stessa gamma di frequenza. A parte ciò, non si richiedono regolazioni di sorta per l'oscillatore di CLOCK.

Decodifica del segnale IR. Il segnale proveniente dal preamplificatore IR, la cui struttura è già stata indicata in Fig. 9.4, deve giungere al pin 2 con un'ampiezza di almeno 0,5Vpp. La sezione d'ingresso dell'integrato opera per prima cosa la sincronizzazione con la base dei tempi del trasmettitore, per mezzo della misura dell'intervallo di tempo tra l'impulso di start ed il primo impulso dati: poichè questo intervallo è uguale al tempo base T del trasmettitore, il ricevitore memorizza questo valore e lo usa come tempo base per decodificare i segnali ricevuti.

Per assicurare una buona immunità nei confronti del rumore, al ricevitore vengono effettuati alcuni test prima di accettare l'informazione. Questi sono: controllo della posizione degli impulsi ricevuti aprendo la "finestra" ai tempi base, controllo del bit di parità, verifica dell'assenza di impulsi tra il bit di parità e quello di stop, controllo del livello di rumore. Se il risultato di questi test è negativo, la parola non viene decodificata.

IBUS. La parola accettata è invece memorizzata e quindi decodificata, risultando disponibile al pin 11 in modo seriale sotto forma di 6 bit (C1÷C6), ciascuno della durata di 2 cicli di CLOCK. Questa linea (DATA) assieme a quella di clock (CK-pin 13) e di abilitazione (STROBE-pin 12) forma il *BUS dati seriale* (IBUS) con cui l'integrato trasferisce i comandi alle altre sezioni del televisore. La struttura dei segnali dell'IBUS è indicata in Fig. 9.15. Il circuito decreta la fine della trasmissione di un comando o perchè ne riceve il codice relativo oppure perchè verifica l'interruzione della trasmissione per più di 550ms.

Controlli locali. L'integrato è dotato di 4 ingressi (A, B, C, D) per il controllo locale di 15 funzioni, i cui codici sono riportati in Tab. 9.1. I controlli locali e quelli in arrivo dal telecomando hanno la stessa priorità.

Uscite programmi. L'M 104 possiede 4 uscite (PA, PB, PC, e PD) sulle quali è presente in forma statica il codice binario relativo a 16 programmi, che così possono essere indirizzati direttamente senza l'ausilio di memorie intermedie.

L'estensione a 32 programmi può essere fatta utilizzando l'uscita PE, quando il ricevitore opera con INDIRIZZO 1 (pin 3 allo stato L).

All'accensione, il *POR* (Power on Reset) provvede a disporre tutte le uscite PA÷PE al livello L, cosicchè risulta indirizzato il canale 1. La selezione dei programmi può essere fatta direttamente (dal telecomando) o sequenzialmente (dal telecomando o dal cruscotto); in entrambi i casi, dalla posizione di stand-by è possibile accendere l'apparecchio. L'uscita di "strobe" programma (pin 27) fornisce un impulso negativo

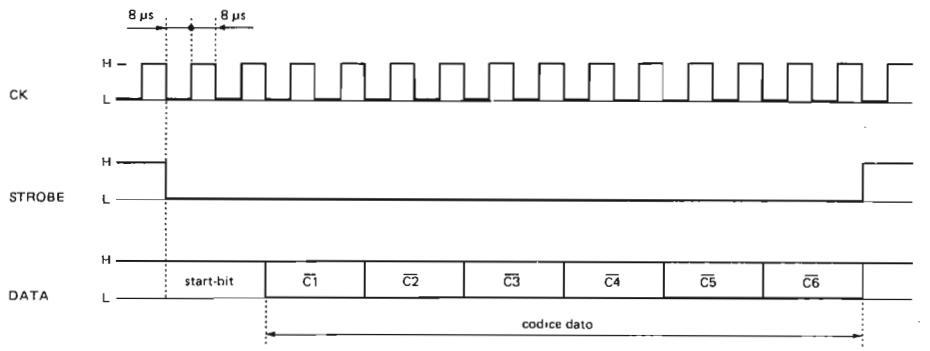


Fig. 9.15 - Struttura dei segnali trasmessi dall'M 104 sull'IBUS dopo la ricezione di una parola riconosciuta valida.

ogni volta che deve essere letta l'informazione di programma: questo segnale si presenta alla fine dell'esecuzione del comando e segnala al circuito di controllo la necessità del suo aggiornamento.

Comandi analogici. I comandi relativi al controllo delle funzioni analogiche, dopo essere stati decodificati, vengono inoltrati a 4 convertitori digitale-analogico (D/A) le cui uscite fanno capo ai pin 18 (volume) 19, 20, 21.

Le informazioni analogiche sono fornite sotto forma di onde rettangolari della frequenza di 7,8kHz, con duty-cycle variabile tra 1/64 e 64/1, in 64 gradini. Il passaggio attraverso semplici reti RC passa-basso permette di disporre di tensioni continue, variabili tra 0 e 12V, in grado di controllare agevolmente il contrasto, la luminosità, la saturazione ed il volume.

All'accensione dell'apparecchio, il duty-cycle del volume è 21/64 e quello delle altre funzioni 31/64, e tali condizioni vengono imposte anche con il comando "NORMALIZZAZIONE". L'uscita del volume, in particolare, può essere portata al livello GND per mezzo del comando "MUTE", e quindi riportata al livello precedente per mezzo dello stesso comando oppure con "NORMALIZZAZIONE", "VOLUME+", "VOLUME–". L'azione di muting si manifesta per circa 0,5 sec. anche all'accensione e allo spegnimento del ricevitore, sia dal telecomando che dal cruscotto.

Controllo di sottosistemi. Il circuito può controllare dei sottosistemi (es. televideo ecc.) utilizzando al trasmettitore i comandi dal 56 al 63. In questo caso (segnalato dal livello L al pin 4) il codice del comando si presenta in modo seriale al pin 11 senza modificare però le uscite degli indirizzi di programma. Il reset al modo normale viene ottenuto con i comandi 2 e 12.

controllo locale				codice dati (BUS)						funzione
A	B	C	D	C1	C2	C3	C4	C5	C6	
H	H	H	H							
L	H	H	H	L	L	L	H	L	L	programma +
H	L	H	H	H	L	L	H	L	L	programma –
L	L	H	H	H	L	L	L	L	H	volume –
H	H	L	H	H	H	L	L	L	L	
L	H	L	H	L	L	L	L	L	H	volume +
H	L	L	H	L	H	L	L	L	H	A 2+
L	L	L	H	L	H	L	H	L	L	normalizzazione
H	H	H	L	L	H	H	H	L	L	memoria H
L	H	H	L	H	H	L	L	L	H	A 2–
H	L	H	L	L	L	H	L	L	H	A 3+
L	L	H	L	H	L	H	L	L	H	A 3–
H	H	L	L	H	L	H	H	L	L	memoria 1 L
L	H	L	L	L	H	H	L	L	H	A 4+
H	L	L	L	H	H	H	L	L	H	A 4–
L	L	L	L	L	H	L	L	L	L	mains off

Tab. 9.1 - Corrispondenza tra i codici dei comandi locali e dei dati trasmessi sull'IBUS per le diverse funzioni.

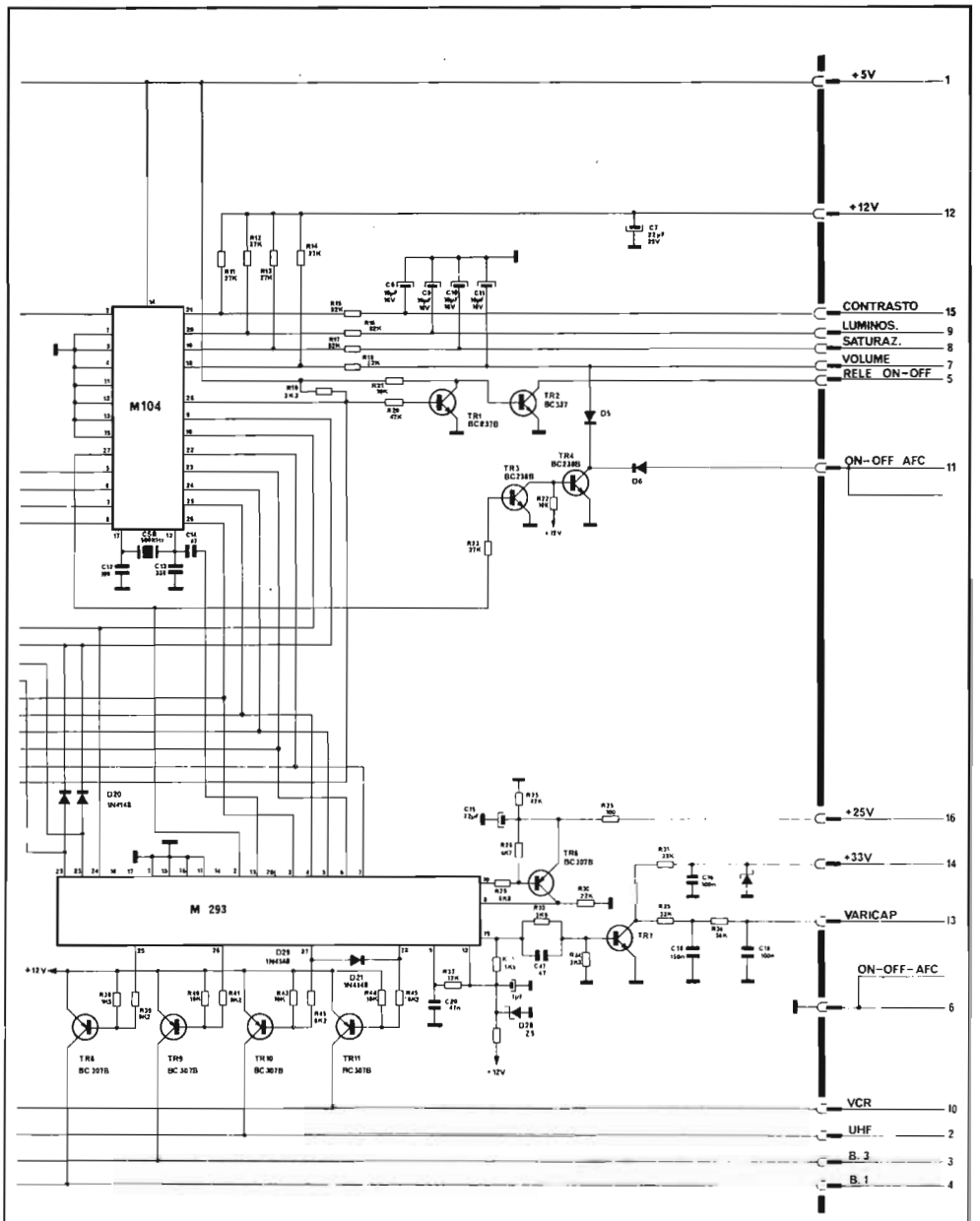


Fig. 9.16 - Schema elettrico d'impiego dell'M 104, ricevitore-decodifica di telecomando (Prandoni).

ON/OFF. Per mezzo della tensione disponibile al pin 28, che rappresenta un segnale memorizzato internamente all'integrato, è possibile controllare l'accensione e lo spegnimento del televisore eccitando e diseccitando un relé.

Quando viene premuto il pulsante di accensione posto sul cruscotto dei comandi, il pin 28 si porta al livello L ed il televisore si dispone in stand-by. Da questa condizione è possibile ottenere l'accensione dell'apparecchio utilizzando uno dei seguenti comandi: "programma +/–", "chiamata programma", "accensione". Al fine di incrementare l'immunità al rumore, quest'ultimo comando deve venir ricevuto in modo continuativo per almeno 0,4s. Il passaggio in stand-by, da acceso, si ottiene trasmettendo il comando 2 che produce l'innalzamento a 5V della tensione al pin 28.

Nello schema d'impiego di Fig. 9.16, che si riferisce all'unità centrale SP819, in dotazione ad alcuni modelli di produzione PRANDONI, le uscite IBUS (pin 11-12-13) SUB (pin 4) e test (pin 15) sono collegate a massa perchè inutilizzate. Le uscite CT2 (pin 9) c CT1 (pin 10) vengono invece impiegate per il controllo della sintonia fine, mentre PS (strobe programmi - pin 27) fornisce un impulso negativo all'integrato di sintonia M293 per informarlo dell'avvenuto cambio di programma. Lo stesso segnale, tramite T3 e T4, viene utilizzato per annullare il volume (D5) e l'AFC del sistema di sintonia (D6), per un'intervallo di circa 480ms, ad ogni cambio di canale.

9 - 5 - 2 L'SAA 1251

L'SAA 1251 è un ricevitore per telecomando che opera in abbinamento con l'SAA 1050 o con l'SAA 1250, dei quali è in grado di riconoscere gli indirizzi ed il comandi. L'integrato può operare in 4 modi differenti (opzioni) che possono venir selezionati con un opportuno collegamento tra il pin 18 ed altri pin dell'integrato. Nello schema applicativo riportato in Fig. 9.18, il pin 18 è connesso al pin 22 e così i segnali riceventi vengono elaborati in modo diverso a seconda dello stato in cui si trova un flip-flop interno (SUB).

Quest'ultimo viene resettato ad ogni accensione, ed in questo stato predispone l'integrato alla ricezione dei comandi tramite l'indirizzo 16. Quando viene invece ricevuto un comando compreso tra il 57° ed il 64°, il flip-flop viene settato e ciò predispone l'integrato in modo che i codici dei comandi di programma siano convertiti e presentati all'uscita dati seriali (pin 17) senza modifica del codice programmi (pin 8÷11). Con i comandi n° 2, 3, 33 e 39 è possibile resettare il flip-flop SUB, riportando il ricevitore al funzionamento normale.

Questa opzione è prevista per la gestione, tramite lo stesso telecomando, di un certo numero di sottosistemi (televideo, videogames, ecc.). Si possono, ad esempio, utilizzare i medesimi tasti numerici, normalmente impiegati nella selezione del programma, per scegliere la pagina del televideo senza modifica del canale sintoniz-

zato. Facendo riferimento allo schema a blocchi di Fig. 9.17, analizziamo il funzionamento dell'SAA 1251.

Riconoscimento del comando. L'informazione a IR ricevuta dal fotodiodo viene inoltrata in un circuito amplificatore a 4 stadi, il cui guadagno è automaticamente regolato in base all'ampiezza dell'impulso preliminare. Al ricevimento di un impulso al

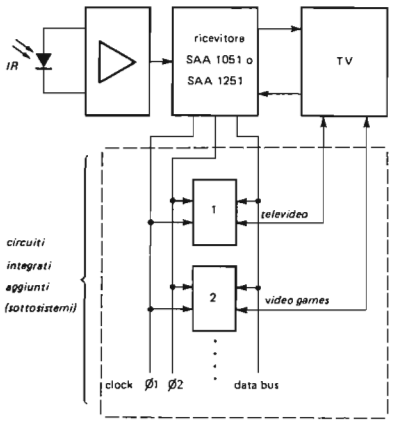
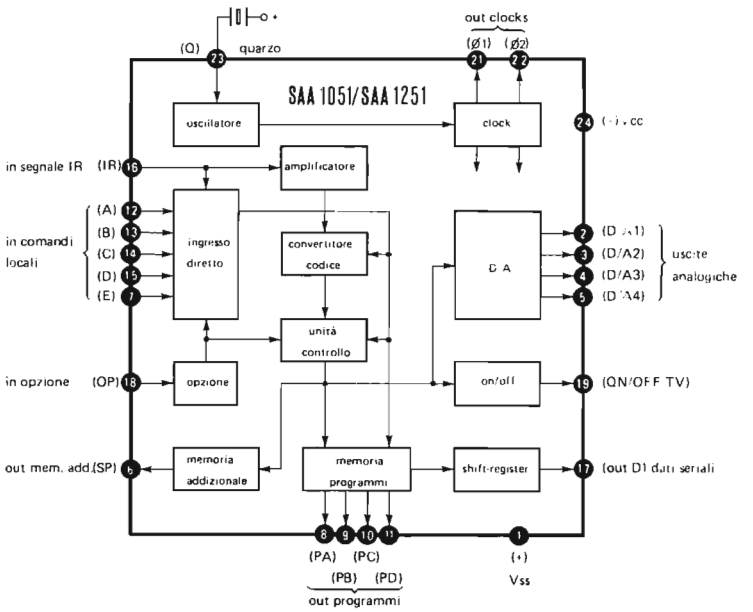


Fig. 9.17 - Struttura semplificata del sistema di ricezione di telecomando con controllo di alcuni sottosistemi tramite il data BUS e schema a blocchi dettagliato dell'integrato ricevitore SAA 1051/1251.



pin 16, l'integrato blocca il suo ingresso e lo riapre per un breve intervallo (T_F-tempo finestra) dopo un tempo di circa 100μs (T).

Se in T_F viene verificata la presenza di un impulso, allora il bit corrispondente ha valore 0; se invece l'impulso è assente, viene ripetuta l'interrogazione dopo un successivo intervallo T e questa volta l'impulso deve essere presente, con il significato di bit 1. I bit riconosciuti vengono contati e, al raggiungimento del 12°, il circuito si prepara a non ricevere impulsi nei T_F dei due successivi intervalli T e a ricevere invece quello di stop nel T_F relativo al terzo intervallo.

In caso di anomalie nel segnale ricevuto, il circuito le interpreterà come errore di ricezione e di conseguenza manterrà chiuso l'ingresso fino all'arrivo del prossimo impulso preliminare, seguito a 3T dall'impulso di start. In questo modo è possibile prevenire errate interpretazioni di indirizzi o di comandi dovuti ad interferenze. Il segnale codificato in PPM viene convertito in codice binario e inoltrato dall'uscita di controllo ai circuiti d'uscita, in base al contenuto del comando. Il codice del comando, preceduto dall'indirizzo, è disponibile in forma seriale, come parola di 10 bit, al piedino 17. Nello schema di Fig. 9.18, questo treno d'impulsi, elaborato nella scheda pilota-display, determina il lampeggio del punto luminoso di cui è dotato il display.

La *decodifica di opzione*, controllata dall'esterno attraverso il pin 18, riconosce il modo di funzionare e manda il dato corrispondente all'unità di controllo e ai circuiti per i comandi locali (A÷E); l'unità di controllo determina l'intera sequenza di elaborazione del segnale.

Quando vengono ricevuti i comandi 5 e 6, al pin 20 si presentano, ad intervalli di 130ms, impulsi di 36μs e 144μs rispettivamente, che inoltrati all'integrato di sintonia (SAA 1121) ne controllano la sintonia fine.

ON/OFF. L'uscita sul pin 19 si porta stabilmente al livello del pin 1, permettendo l'accensione del ricevitore per mezzo di un relé nei casi:

- di ricezione del relativo comando 3,
- di chiamata di uno dei 16 programmi (comandi 17÷32),
- di cambio sequenziale di programma,
- di collegamento per un tempo superiore a 10μs al pin 1.

Lo spegnimento con il passaggio in stand-by avviene solo per mezzo del comando 2.

Comandi analogici. I comandi relativi al controllo delle funzioni analogiche, dopo essere stati decodificati, vengono inoltrati a 4 convertitori digitale/analogico (D/A) le cui uscite fanno capo ai pin 2, 3, 4, 5 (volume).

I segnali disponibili sono rappresentati da onde rettangolari della frequenza di circa

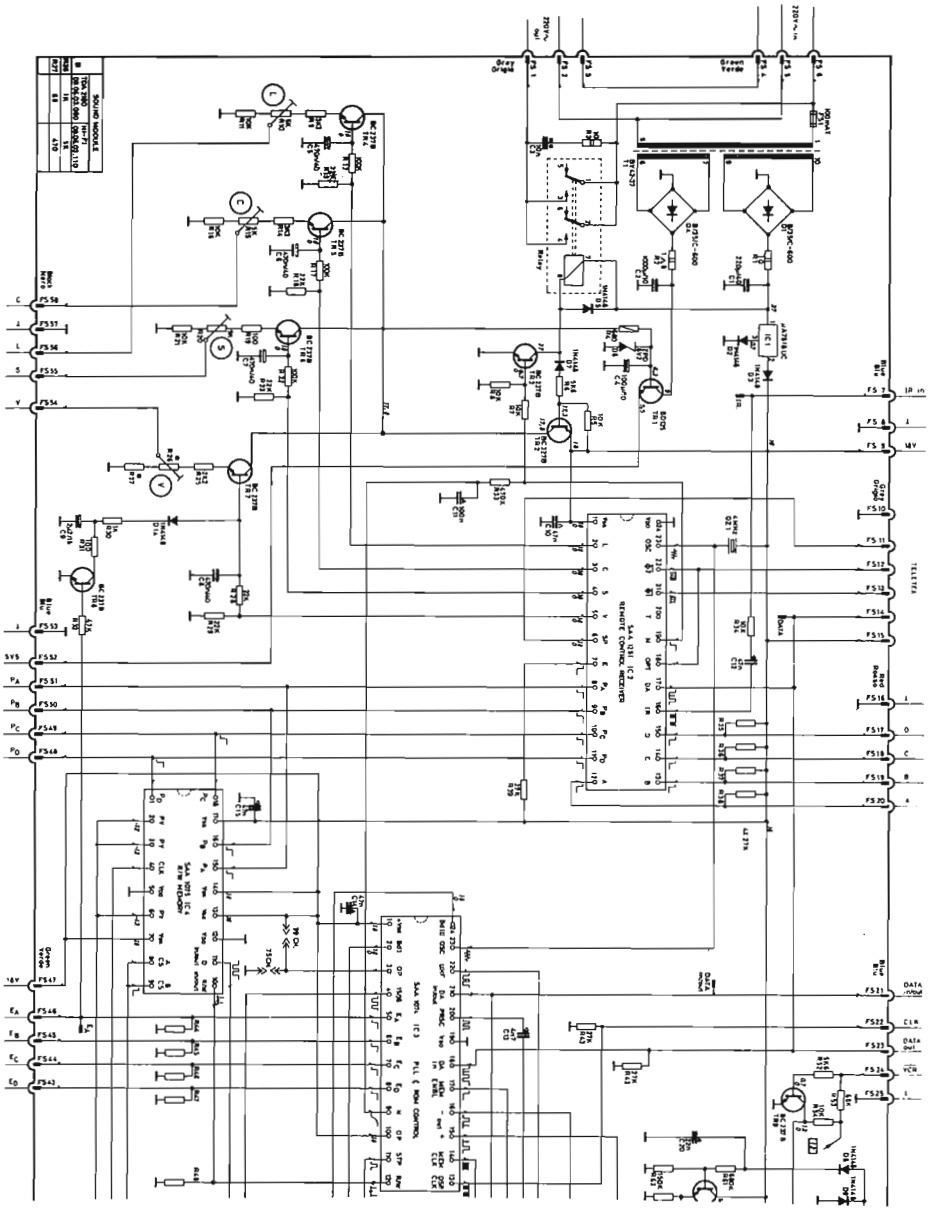


Fig. 9.18 - Schema elettrico d'impiego dell'integrato SAA 1251 nella scheda ricevitore telecomando-sintonia (Formenti).

16kHz, con duty-cycle variabile tra 1/63 (valore minimo) e 63/1 (valore massimo), in 63 gradini. La trasformazione di questi segnali nelle tensioni continue richieste per il controllo delle grandezze analogiche viene effettuata per mezzo di filtri R-C passa-basso, seguiti da transistor a collettore comune sulle cui resistenze di emettitore vengono prelevate la tensione regolabili manualmente per mezzo di potenziometri (L-C-S-V).

Quando viene applicata la Vcc, i primi 3 convertitori D/A sono posizionati automaticamente ad un valore di duty-cycle di 31/63, mentre il quarto, quello del volume, risulta posizionato ad un valore di 21/63. L'uscita di questo ultimo viene portata a "0" per mezzo del comando 7 (muting) e automaticamente, per 320ms, ad ogni cambiamento di programma per mezzo di TR6. Nel primo caso, il reset al valore assunto in precedenza può ottenersi per mezzo dei comando 3,47 e 48.

Commutazione di programma. I dati relativi al programma selezionato sono disponibili continuamente in codice binario a 4 bit alle uscite PA÷PD della memoria programmi. Nell'istante di applicazione della Vcc, la memoria si dispone automaticamente con le 4 uscite al livello L, che in codice rappresenta il programma 1.

I programmi possono essere selezionati direttamente o in modo sequenziale: in questo caso, se il comando viene trasmesso ininterrottamente, il passaggio da un programma a quello successivo avviene ogni 0,7 sec. Il circuito è dotato di 5 ingressi (A÷E, pin 12÷15,7) che permettono l'attivazione dei comandi direttamente dal cruscotto del televisore.

Clock. L'oscillatore opera ad una frequenza di 4,43MHz, stabilizzata dal quarzo collegato al pin 23, che è successivamente divisa per 16. L'uscita del divisore viene inoltrata al generatore di clock, che fornisce alle sue uscite $\overline{\Phi 1}$ (pin 21) e $\overline{\Phi 2}$ (pin 22) due segnali rettangolari della frequenza di 277kHz con fasi opposte. Questi segnali vengono utilizzati internamente per controllare la corretta sequenza delle operazioni ed esternamente per sincronizzare tutti i circuiti integrati dei diversi sottosistemi associati.

9 - 6 SINTONIA DIGITALE A SINTESI DI TENSIONE

Nell'ampio panorama dei sistemi di sintonia, la tecnica della sintesi di tensione che sembrava dover venire soppiantata dalla sintesi di frequenza, in realtà viene tutt'oggi utilizzata nei ricevitori economici ed in quelli a piccolo schermo. Lo sviluppo dele tecniche di integrazione permette oggi di realizzare un sistema completo di sintonia di questo tipo ricorrendo all'impiego di un solo integrato, che comprende le

funzioni di controllo e memoria. Un esempio in tal senso è rappresentato dall'M 293 che ci accingiamo a descrivere.

9 - 6 - 1 L'M 293

L'M 293 è un circuito integrato monolitico progettato per il controllo di sistemi di sintonia a sintesi di tensione per mezzo del convertitore D/A a 8192 passi presente al suo interno. Esso contiene inoltre una memoria RAM non volatile della capacità di 32 parole di 17 bit ciascuna (3 bit per la banda, 12 bit per la tensione di sintonia e 3

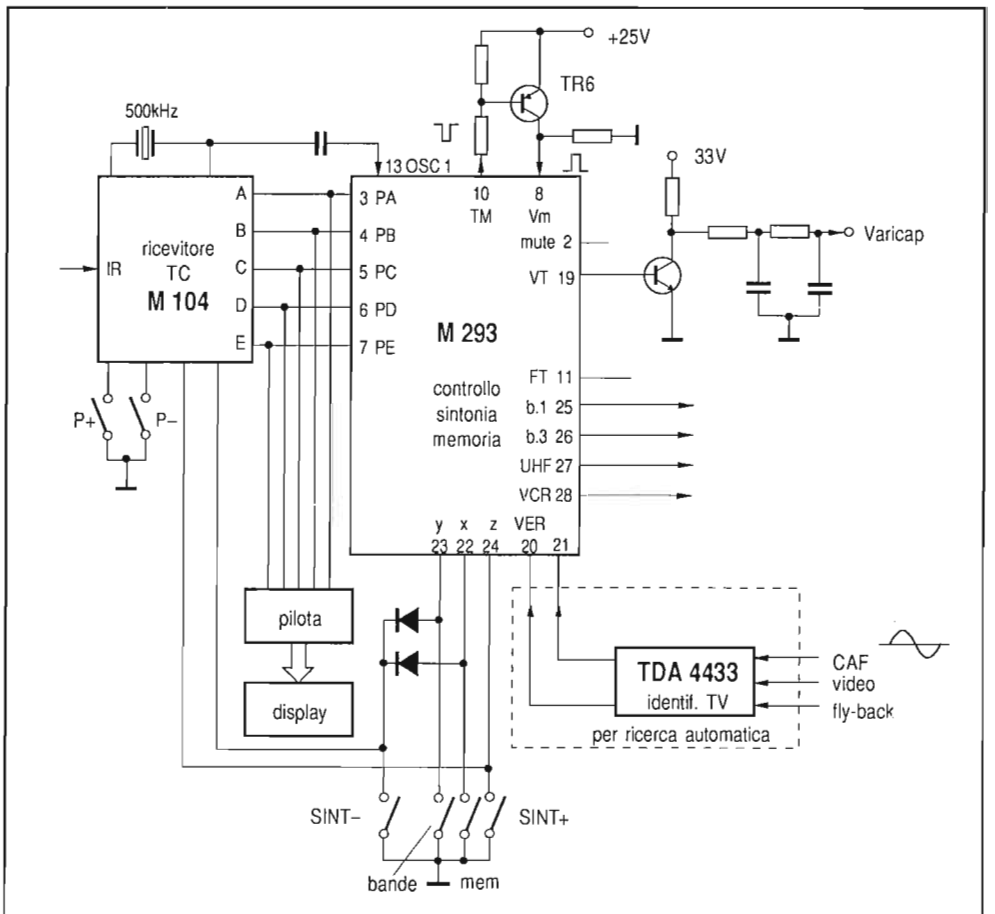


Fig. 9.19 - Struttura del sistema di sintonia a sintesi di tensione equipaggiato con l'integrato M 293.

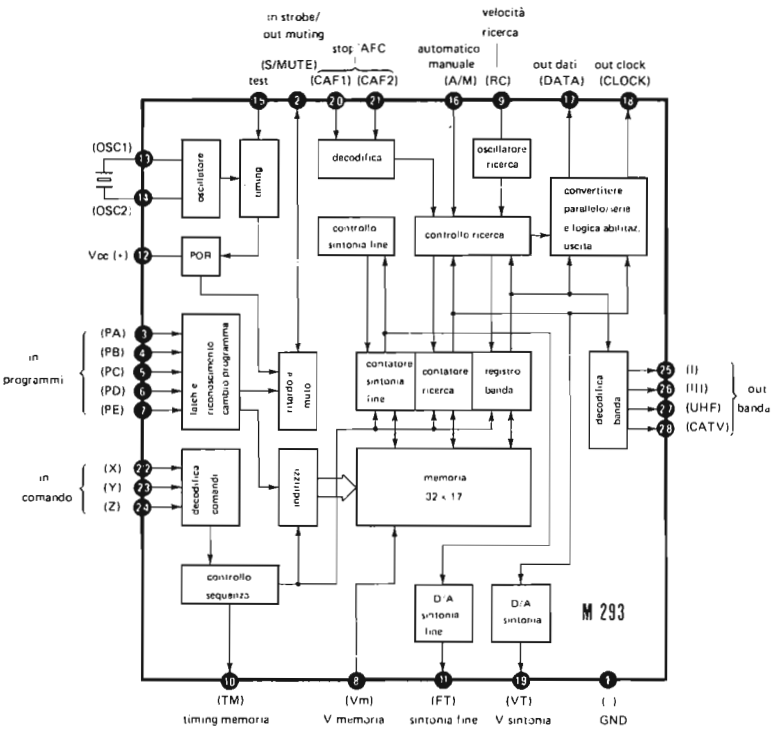


Fig. 9.20 - Schema a blocchi dettagliato dell'integrato M 293, "monochip" per sintonia a sintesi di tensione.

bit per la sintonia fine). In Fig. 9.19 è riportato lo schema semplificato d'impiego dell'M 293 in un sistema tipico di sintonia a sintesi di tensione. Il circuito è in grado di operare la ricerca delle stazioni sia in forma manuale che automatica: la velocità della ricerca, in questo caso, è determinata dalla costante di tempo delle rete RC presente al pin 9. Sempre nel caso di ricerca automatica, all'M 293 è associato un integrato (ad esempio il TDA 4433) che provvede al riconoscimento delle stazioni TV e converte la curva "ad esse" del discriminatore del CAF in due comandi digitali applicati ai pin 20 e 21. Questi segnali controllano un *contatore avanti-indietro* a 13 bit, la cui posizione determina il valore della tensione di sintonia.

Un'uscita di *mute* (pin 2) permette di evitare disturbi all'audio durante la fase di ricerca automatica, il cambio programma e l'on/off dell'apparecchio. La selezione di 32 programmi avviene per mezzo di 5 linee (pin 3, 4, 5, 6, 7) connesse al ricevitore per telecomando; alle stesse linee è collegato l'LO92 che provvede alla decodifica

e al pilotaggio del doppio display a 7 segmenti per l'indicazione del numero di programma.

E' inoltre disponibile un *BUS dati*, formato dai pin 17 (DATA) e 18 (CLOCK), per la trasmissione in forma seriale delle informazioni che potrebbero essere visualizzate sullo schermo (ad esempio per mezzo dell'integrato M 191). Facendo riferimento alla Fig. 9.20 analizziamo il funzionamento dell'integrato.

Ingressi programma. Il BUS programmi a 5 linee (PA÷PE) permette la selezione di uno dei 32 programmi che si presentano in "codice binario meno 1", secondo la Tab. 9.2. Questo codice viene trasformato in binario dal pilota display TDA 4092.

Ad ogni cambiamento di programma, al pin 2 si presenta un impulso di *mute* per il silenziamento dell'audio.

Sintonia fine. L'informazione relativa alla sintonia fine, non utilizzata nello schema di Fig. 9.21, è presente al pin 11 sotto forma di onda rettangolare della frequenza di 15,625kHz con duty-cycle variabile in 8 livelli. Dopo un adeguato filtraggio, la tensione può essere inoltrata ad un varicap posto in parallelo al circuito discriminatore del CAF, che ne modifica la frequenza di accordo. La conseguente *dissintonia* viene tradotta dal CAF in corrispondente variazione della frequenza dell'oscillatore locale. La funzione di sintonia fine opera nei seguenti modi:

- durante la ricerca automatica, l'uscita si trova al 5° livello (5/8);
- quando la ricerca è stata completata, è possibile modificare il duty-cycle con i comandi "+/-", utilizzando un'adeguata combinazione degli ingressi X (pin 22), Y (pin 23) e Z (pin 24). Il comando "memoria", ottenuto con la combinazione X=L, Y=H, Z=H, determina la memorizzazione dell'informazione del livello di sintonia fine (3 bit), unitamente ai 12 bit della tensione di sintonia e ai 2 della banda;

programma	PA	PB	PC	PD	PE	programma	PA	PB	PC	PD	PE
1	L	L	L	L	L	17	L	L	L	L	H
2	H	L	L	L	L	18	H	L	L	L	H
3	L	H	L	L	L	19	L	H	L	L	H
4	H	H	L	L	L	20	H	H	L	L	H
5	L	L	H	L	L	21	L	L	H	L	H
6	H	L	H	L	L	22	H	L	H	L	H
7	L	H	H	L	L	23	L	H	H	L	H
8	H	H	H	L	L	24	H	H	H	L	H
9	L	L	L	H	L	25	L	L	L	H	H
10	H	L	L	H	L	26	H	L	L	H	H
11	L	H	L	H	L	27	L	H	L	H	H
12	H	H	L	H	L	28	H	H	L	H	H
13	L	L	H	H	L	29	L	L	H	H	H
14	H	L	H	H	L	30	H	L	H	H	H
15	L	H	H	H	L	31	L	H	H	H	H
16	H	H	H	H	L	32	H	H	H	H	H

Tab. 9.2 - Codifica del numero di programma prodotta dal ricevitore M 104.

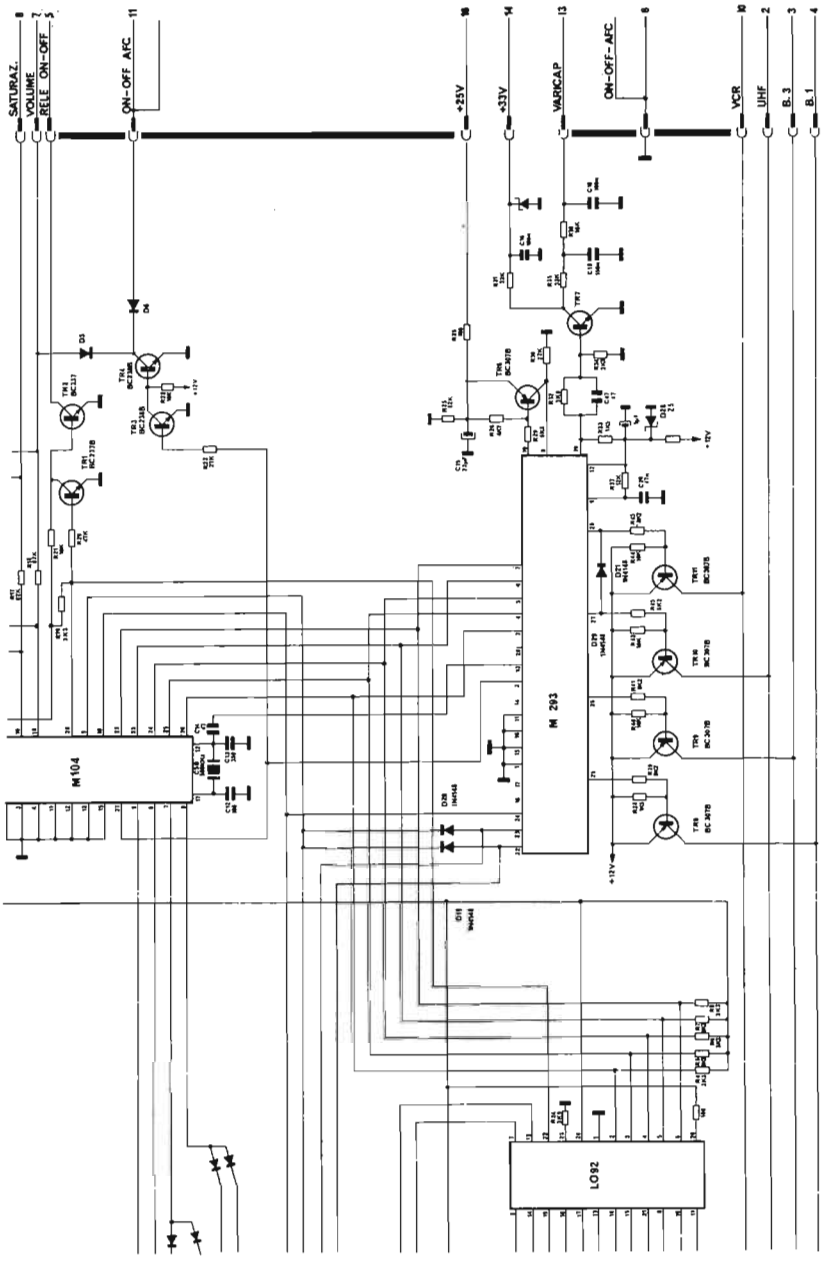


Fig. 9.21 - Schema elettrico della sezione di sintonia a sintesi di tensione per 32 canali equipaggiata con l'M 293 (Prandoni SP 819).

- quando viene richiamato un comando già memorizzato, è ancora possibile attuare la sintonia fine. In questo caso, però il nuovo valore risulta memorizzato solamente se viene premuto il tasto di "memoria".

Clock. L'oscillatore interno opera ad una frequenza compresa tra 445 e 510 kHz per mezzo del risuonatore ceramico connesso tra i pin 13 e 14. Spesso, però, viene impiegato lo stesso risuonatore utilizzato dal ricevitore per telecomando, che risulta allora connesso al pin 13 tramite un condensatore di 1nF.

Uscite di banda. L'informazione relativa alla banda selezionata è presente ai pin 25 (VHF-I), 26 (VHF-III), 27(UHF) e 28 (VCR). Le 4 uscite, del tipo a "drain aperto", sono in grado di operare fino a 13,5V. Nello schema proposto, quando viene chiamato un programma, l'uscita di banda relativa si porta al livello L, producendo la saturazione del transistor p-n-p ad esso connesso. In tal modo il tuner riceve +12V all'ingresso di banda corrispondente e contemporaneamente si illumina il LED connesso al collettore del transistor attivato.

Collegando per breve tempo il pin 24 a +12V (ovvero fornendo la combinazione X=L, Y=L, Z=H), si ottiene la commutazione sequenziale delle bande, secondo l'ordine: VHF-I, CATV, VHF-III, UHF, di nuovo VHF-I e così via.

Tensione di sintonia. Al pin 19 è disponibile un'onda rettangolare con duty-cycle variabile in 8192 passi, della frequenza minima di 33,8Hz, che viene portata a 33Vpp per mezzo di TR7 e quindi integrata tramite R35-C18-R36-C18. La tensione di 33V è fornita al transistor dallo zener posto in parallelo a C16.

Il generatore della tensione digitale di sintonia opera associando il principio del *rate multiplier* con quello della modulazione di larghezza degli impulsi. In questo modo, dapprima cresce il numero di impulsi nel tempo base, passando da 1 a 256 (2^8), e quindi la loro larghezza.

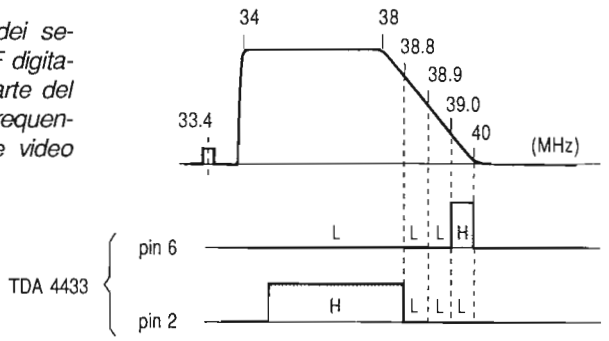


Fig. 9.22 - Produzione dei segnali di comando del CAF digitale e di stop-ricerca da parte del TDA 4433, in base alla frequenza assunta dalla portante video nella sezione FI.

Mute. Al pin 2 è disponibile un segnale al livello L per il sileziamento del canale audio. Questo segnale è presente nei seguenti casi:

- durante la ricerca automatica, 100ms prima dell'inizio della ricerca;
- durante il cambio programma, per una durata di circa 300ms, con inizio 100ms prima dell'attuazione del comando;
- nella fase di crescita Vcc (pin 12) e di diminuzione, quindi all'accensione e allo spegnimento dell'apparecchio.

Nello schema proposto, il segnale di mute produce l'interdizione del transistor TR3 il quale porta a massa la linea della tensione di controllo in cc del volume, con conseguente annullamento dell'audio. Lo stesso transistor produce anche l'annullamento della tensione di CAF prodotta dall'integrato di FI video (TDA 5610).

Ricerca automatica/manuale. Per mezzo del pin 16 è possibile selezionare il modo operativo della ricerca: automatica collegando il pin 16 a Vcc, manuale, connettendo lo stesso pin a massa (come nel caso dello schema di Fig. 9.21).

Visualizzazione della tensione di sintonia. In alcuni casi, la visualizzazione sullo schermo del televisore della scala di sintonia e della banda, viene affidata all'integrato M 191. I relativi segnali di pilotaggio sono disponibili ai pin 18 (clock) e 17 (dati). Quest'ultimo è formato da 16 bit che rappresentano, nell'ordine, 1 bit per il modo della ricerca (automatica o manuale), 8 bit (i più significativi) della tensione di sintonia, 5 bit per l'indicazione del numero del programma e, infine, 2 bit per la banda.

Ricerca avanti-indietro. Con la combinazione X=H, Y=H e Z=L, è possibile effettuare la "ricerca in avanti", se si opera in modo manuale (pin 16 a livello L) o la "sintonia fine+" se si opera il modo automatico (pin 16 a livello H). Con la combinazione X=L, Y=L e Z=H si effettua invece la "ricerca indietro" in modo manuale o la "sintonia fine–" in modo automatico.

Nel modo manuale, la velocità con la quale ha luogo la ricerca cresce con il tempo fino a raggiungere il massimo valore (determinato dalla rete RC connessa al pin 9) dopo circa 3 secondi. In questo modo sono possibili piccole modificazioni della sintonia senza la necessità di aggiungere componenti e comandi ulteriori. Una volta raggiunto il valore massimo della tensione di sintonia, non ha luogo la commutazione della banda, ma tale tensione si riporta a zero per riprendere poi a crescere.

Ingressi di STOP/CAF. Non sono utilizzati nel circuito elettrico proposto. In altri casi, gli ingressi CAF1 (pin 20) e CAF2 (pin 21) sono collegati ai pin 2 e 6 del TDA 4433. In condizioni di perfetta sintonia, le due uscite di questo integrato si portano entrambe al livello L e così la tensione di sintonia non viene modificata. Se invece risulta pin 2=H e pin 6=L significa che la portante video a media frequenza è slittata verso il basso (sotto 38,9MHz) e perciò l'M 293 incrementa il contatore del

rate-multiplier per aumentare la tensione di sintonia. Il contrario accade invece quando risulta pin 2=L e pin 6=H, ovverosia nel caso in cui la frequenza della portante video sia slittata verso l'alto (Fig. 9.22).

Memoria non volatile. Come si è già detto, l'integrato è dotato di una memoria RAM non volatile, organizzata sotto forma di 32 parole di 17 bit ciascuna. Ogni cella di memoria (Fig. 9.23) comprende un transistor MOS, dotato di un gate flottante isolato (GF), affaciato a due elettrodi di gate (G1 e G2) di superficie molto diversa. Tra gli elettrodi si formano delle capacità che, opportunamente caricate, modificano la soglia di conduzione del transistor.

Più precisamente, l'operazione di scrittura ha luogo applicando un impulso positivo di 25÷28V tra gli elettrodi di controllo G1 e G2, collegati assieme, ed il source. Per effetto del partitore capacitivo che viene a formarsi, CGF si carica ad una tensione di circa 0,8·Vin e così sull'elettrodo isolato GF viene immagazzinata una certa quantità di carica positiva che, in assenza di alimentazione, può mantenersi per più di 10 anni!

L'operazione di cancellazione viene effettuata collegando il contatto dell'elettrodo

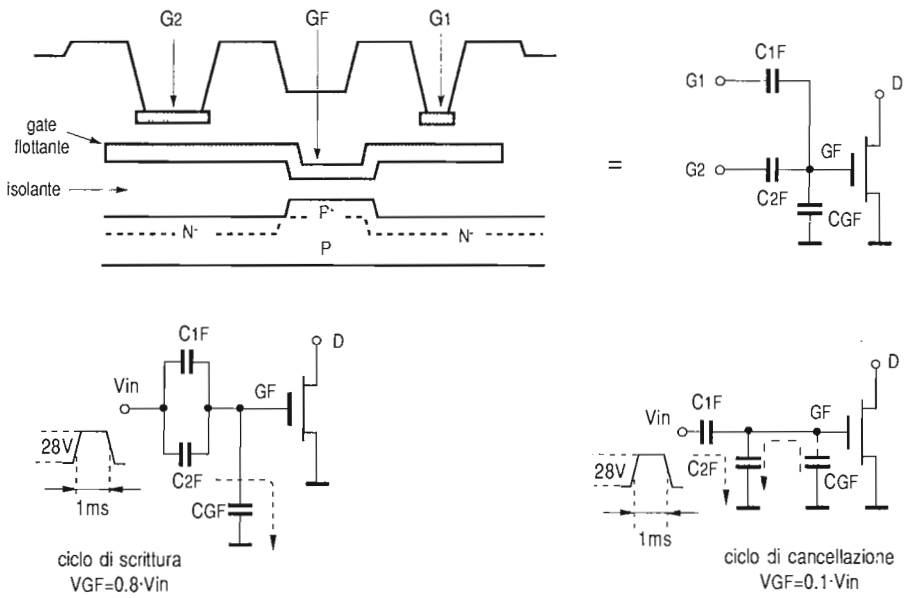


Fig. 9.23 - Struttura di una cella di memoria non volatile a "gate flottante" e schemi equivalenti in fase di scrittura e di cancellazione.

G2 a massa, applicando contemporaneamente tra G1 e massa un impulso Vin, delle stesse caratteristiche di quello utilizzato in fase di scrittura. In questo modo, per effetto del rapporto tra i valori delle capacità che formano il partitore ($C_{1F} << C_{2F}+C_{GF}$) su C_{GF} risulta una tensione di circa 0,1 Vin che, determina la quasi totale scarica dell'elettrodo isolato GF.

Come si è visto, in entrambe le operazioni di scrittura e cancellazione vengono richiesti degli impulsi di circa 25÷28V in numero adeguato e di durata appropriata. Questa sequenza è generata internamente all'integrato e risulta disponibile al pin 10 per il pilotaggio del transistor interruttore TR6. In tal modo, al pin 8 risultano applicati gli impulsi del valore richiesto, nella corretta sequenza temporale.

Al fine di ottimizzare la vita della memoria, la fase di scrittura (o modifica) avviene in tre tempi:

1) in tutte le celle della parola selezionata viene scritto il bit 1;

2) tutte le celle della parola vengono cancellate scrivendovi il bit 0;

3) nella cella vengono scritti i nuovi bit.

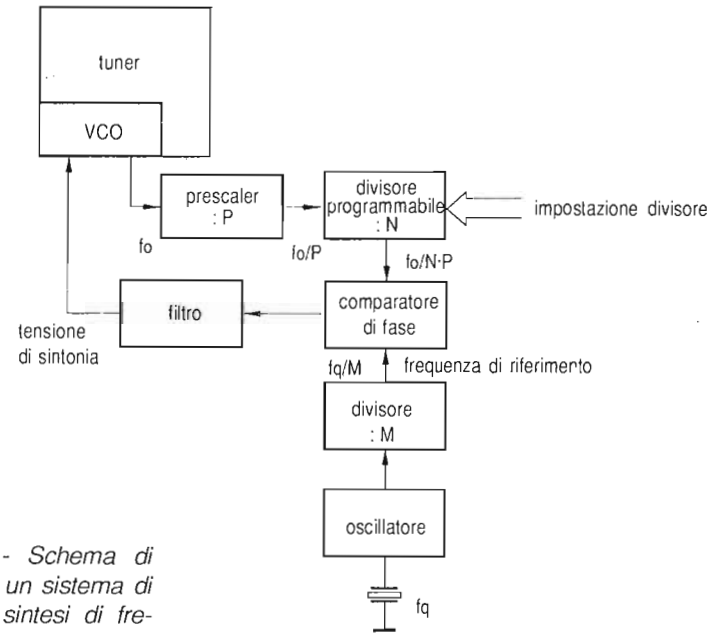


Fig. 9.24 - Schema di principio di un sistema di sintonia a sintesi di frequenza.

In questa maniera vengono rinfrescati contemporaneamente tutti i bit della parola memorizzata.

Durante il ciclo di scrittura, l'integrato ignora qualunque comando esterno, al fine di prevenire errori nel contenuto da memorizzare o nella selezione della cella interessata.

9 - 7 SINTONIA A SINTESI DI FREQUENZA - L'SAA 1274

Nei sistemi di sintonia a sintesi di frequenza, il livello della tensione di polarizzazione dei varicap del tuner viene generato e controllato in modo che la frequenza di la-

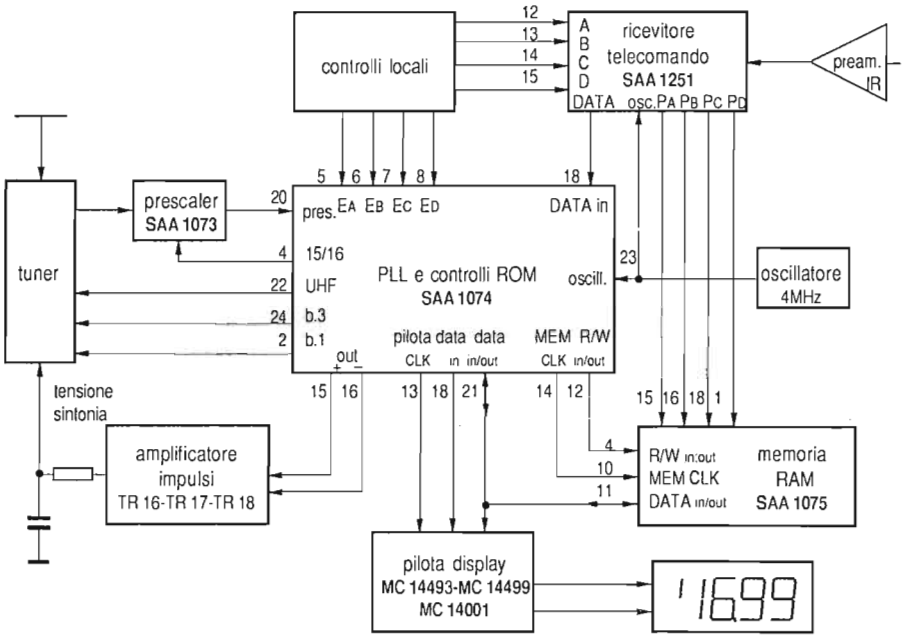


Fig. 9.25 - Schema a blocchi del sistema di sintonia a sintesi di frequenza descritto nel testo.

voro dell'oscillatore locale coincida con i valori standard previsti per ciascun canale. Questi valori, o più precisamente dei numeri in corrispondenza biunivoca con essi, sono registrati entro una memoria ROM (Read Only Memory - memoria a sola lettura).

L'esatto valore di frequenza dell'oscillatore locale viene generato facendo uso di un PLL (Phase Locked Loop - anello ad aggancio di fase), il cui schema di principio è riportato in Fig. 9.24. La frequenza dell'oscillatore f_o viene ridotta di un fattore P entro il prescaler e successivamente di un fattore N per mezzo di un divisore programmabile; essa viene quindi confrontata, entro un comparatore di fase digitale, con una frequenza fissa di riferimento ottenuta dividendo per M quella (f_q) generata da un oscillatore a quarzo. Se i due segnali risultano fuori fase, il comparatore produce degli impulsi che, tramite il filtro attivo, determinano una variazione della tensione di sintonia il cui effetto è quello di modificare la frequenza dell'oscillatore locale fino ad agganciarla in fase con il segnale di riferimento.

In queste condizioni risulterà:

$$f_o = \frac{P \cdot N}{M} \cdot f_q$$

per cui la frequenza dell'oscillatore può essere variata in modo discreto, cambiando il divisore N, con passi definiti da:

$$\Delta f_o = \frac{P}{M} \cdot f_q$$

Riferendoci ad un caso pratico, con f_q=4MHz, P=64 ed M=2048, si ottiene un sistema che opera con passi di 125kHz.

Con un sistema di questo genere, i valori estremi che deve assumere il divisore P in corrispondenza dei canali più basso (ch01-f_{omin}=85,125MHz) e più alto (ch73-f_{omax}=926,125MHz) sono:

$$N_{min} = \frac{f_{o\,min}}{f_q} \cdot \frac{P}{M} = 681$$

$$N_{max} = \frac{f_{o\,max}}{f_q} \cdot \frac{P}{M} = 7409$$

E' richiesto pertanto un divisore programmabile a 13 bit, che infatti è in grado di dividere tra 2^0=1 e 2^{12}=8192.

In altri casi viene impiegato un prescaler a *modulo commutabile* (ad esempio P–1/P) che nell'intervallo di divisione opera per un certo tempo con modulo (P–1) e per il rimanente con modulo P. In questo modo, associando un secondo divisore

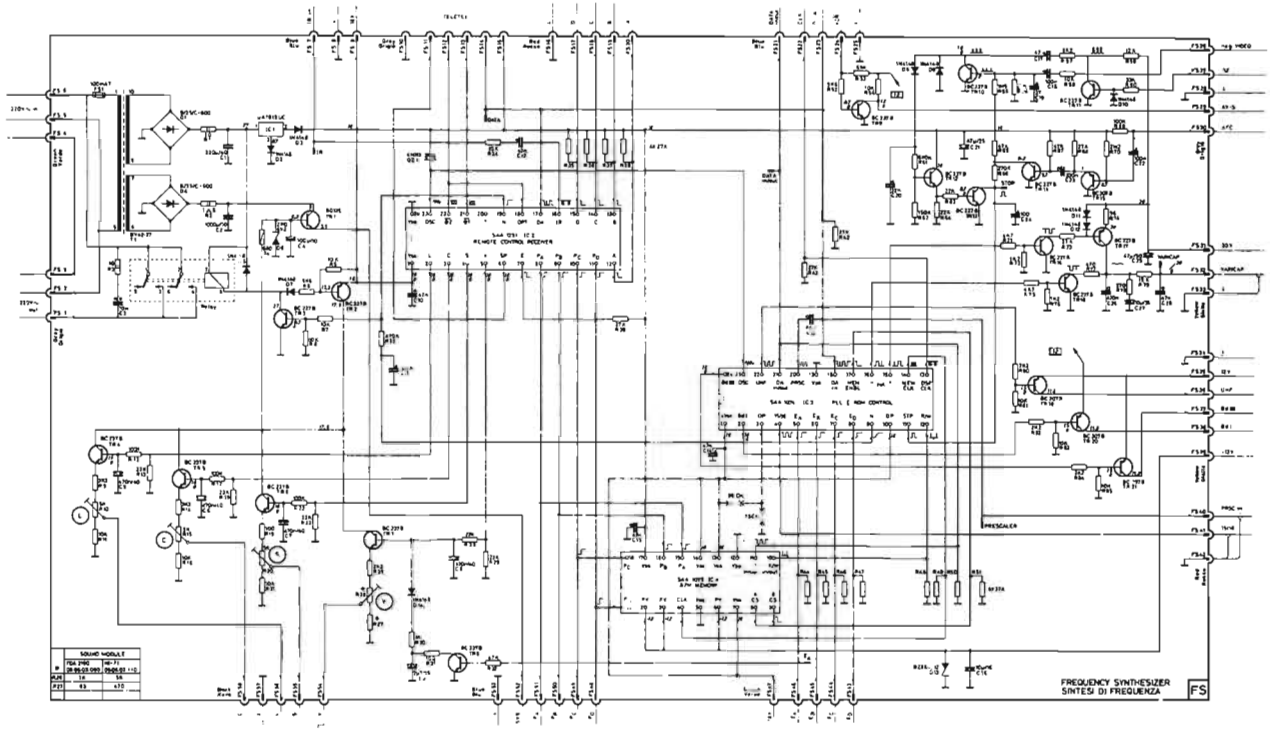


Fig. 9.26 - Schema elettrico completo della scheda di sintonia a sintesi di frequenza schematizzata a blocchi in Fig. 9.25.

programmabile è possibile ottenere un sistema di sintonia con risoluzione doppia (62,5kHz) senza dover sacrificare nulla in termini di velocità di regolazione, precisione e stabilità.

Un esempio in questo senso è rappresentato dal sistema che descriveremo nel seguito, basato su un kit di integrati prodotti dalla ITT. In Fig. 9.25 è indicato lo schema a blocchi semplificato mentre lo schema elettrico completo del sistema è riportato in Fig. 9.26.

Il cuore del sistema è rappresentato dall'SAA 1074 (o dalla versione più recente e completamente compatibile, l'SAA 1274), che comprende il PLL e la memoria ROM, nella quale sono registrati in modo permanente ed inalterabile i valori dei rapporti di divisione corrispondenti a ciascun canale televisivo standard. Il circuito opera in associazione con la memoria SAA 1075 (può gestirne fino a 2) che gli fornisce in forma digitale i dati relativi al canale da sintonizzare (numero del canale e informazione di sintonia fine), con il ricevitore di telecomando SAA 1251 al quale è

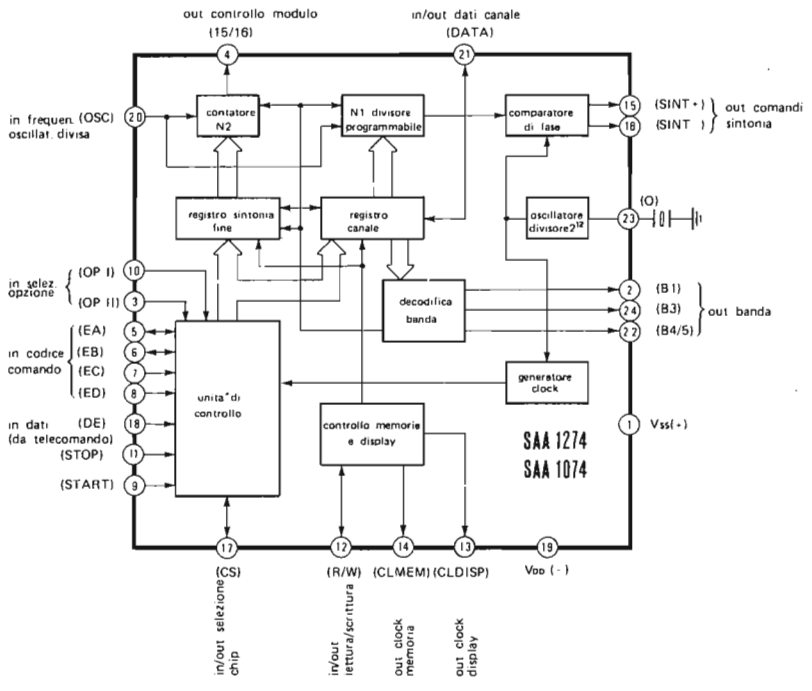


Fig. 9.27 - Schema a blocchi dettagliato dell'integrato SAA 1274 di controllo e PLL.

Tab. 9.3 - Codifica delle funzioni attuabili dal cruscotto dei comandi locali.

operazione	EA (pin 5)	EB (pin 6)	EC (pin 7)	ED (pin 8)	opzione I pin 10	opzione II pin 3
riposo	L	L	L	L		
decine canale	H	L	H	H		
unità canale	L	H	H	H		
sintonia fine F+	H	L	H	L		
sintonia ine F-	L	H	H	L		
sintonia veloce S+ k1	H	L	L	L	L	L
sintonia veloce S- k74	L	H	L	L	L	L
sintonia veloce S+ k1	H	L	L	L	L	H
sintonia veloce S- k00	L	H	L	L	L	H
ricerca da k1 a k74	H	L	L	L	H	L
ricerca da k1 a k00	H	L	L	L	H	H
memoria	L	L	L	H		

collegato tramite il DATA-BUS e con il prescaler SAA 1073 che gli fornisce l'indicazione sul valore di frequenza dell'oscillatore locale del tuner.

Con l'aiuto della Fig. 9.27 che riporta lo schema a blocchi dell'SAA 1074, descriviamo le diverse fasi di funzionamento dell'integrato.

Chiamata diretta del canale. Un qualunque canale televisivo può essere direttamente sintonizzato tramite il telecomando, inviando, nell'ordine, i comandi di sintonizzazione, delle decine, delle unità e di memorizzazione. Alla fine di questo ciclo, il canale selezionato risulterà memorizzato nella posizione di programma scelta precedentemente.

La selezione del canale può avvenire anche localmente, tramite il cruscotto del televisore, ma soltanto in modo sequenziale, per mezzo dei pulsanti unità e decine. Il codice che questi pulsanti producono agli ingressi EA÷ED (pin 5÷8) causa l'incremento del numero di canale di un'unità o di una decina ogni 0,6 secondi (Tab. 9.3). Con altri due pulsanti, utilizzando sempre gli stessi ingressi, è possibile l'incremento o il decremento di un'unità alla volta del numero del canale (possibilità non utilizzata nello schema proposto).

Sintonia fine. La frequenza dell'oscillatore locale può essere variata in salti di 62,5kHz, in entrambe le direzioni, alla velocità di circa 3 salti al secondo. Se durante questa operazione viene superato il limite del canale, l'indicazione del nuovo canale viene automaticamente inoltrata al generatore di caratteri SAA 1276. L'operazione di sintonia fine può essere attuata con il telecomando, tramite il DATA-BUS, o direttamente dal cruscotto del televisore, per mezzo di due pulsanti che producono un opportuno codice per gli ingressi EA÷ED.

Sintonia veloce. La variazione veloce della frequenza dell'oscillatore locale del tuner è ottenuta saltando da un canale al successivo (S+) o al precedente (S–), al ritmo di un salto ogni 0,6 secondi. Questa operazione può essere controllata tramite il telecomando o localmente, dal cruscotto, utilizzando gli ingressi EA÷ED. Con l'in-

gresso di opzione II, è possibile saltare i canali speciali da K 75 a K 00, in entrambe le direzioni.

Ricerca delle stazioni. Un adeguato comando di start, attuato tramite il telecomando o direttamente dal cruscotto, dà inizio alla ricerca automatica, ad una velocità di 3 canali al secondo, eseguita a salti di 62,5kHz. Quando il segnale all'uscita del discriminatore passa dallo stato L allo stato H, la velocità della ricerca si riduce di 19 volte. Poi, non appena la curva ad "esse" del discriminatore passa per lo zero, avviene la produzione del segnale di stop, e la ricerca si arresta.

Formazione della tensione di sintonia. La differenza tra la frequenza di riferimento e quella dell'oscillatore locale divisa, corrispondente al canale prescelto, viene rilevata dal comparatore di fase che fornisce alle sue due uscite dei segnali opportuni. Quando viene rilevato un valore di frequenza superiore a quello richiesto, dal pin 16 escono in sequenza degli impulsi rettangolari di durata proporzionale allo scostamento, che rendono conduttore TR18 il quale provvede a scaricare C26 e a ridurre quindi la tensione di sintonia. Viceversa, se la frequenza dell'oscillatore è inferiore al valore richiesto, il pin 16 si mantiene al livello basso, mentre dal pin 15 escono degli impulsi che portano in conduzione TR16 e quindi TR17. Ne consegue la carica progressiva della capacità C26, quindi l'aumento della tensione di sintonia e, infine, quello della frequenza dell'oscillatore locale. In condizioni di perfetta sintonia, le uscite SINT+ e SINT– si trovano a livello basso.

Memorizzazione. Tutti i dati relativi al canale sintonizzato in un certo momento (numero del canale, 4+4 bit, e informazioni di sintonia fine, 7 bit) possono venir memorizzati nella cella di memoria precedentemente selezionata tramite la scelta del numero di programma, per mezzo del comando di memorizzazione (store). Questo viene dato, al solito, o per mezzo del telecomando o dal cruscotto del televisore.

La sequenza delle operazioni e la struttura degli impulsi utilizzati per le fasi di scrittura e lettura sono descritte in dettaglio nel prossimo paragrafo.

PLL. L'SAA 1274 opera come circuito PLL (Phase Locked-Loop). Al pin 23 dell'integrato è collegato un quarzo che assicura un funzionamento stabile e preciso all'o-

banda	canale	f_{osc} (MHz)	N1	N2		
				min	med	max
I	1	80,15	84		61	6
III	5	214,15	218	117	62	6
IV/V	21	510,15	515	141	78	14
I	75	108,15	112		61	6
III	81	151,15	155	117	62	6
III	90	270,15	274	117	62	6

Tab. 9.4 - Valori assunti dai divisori N1 (fisso) ed N2 (variabile) in corrispondenza a particolari bande e canali.

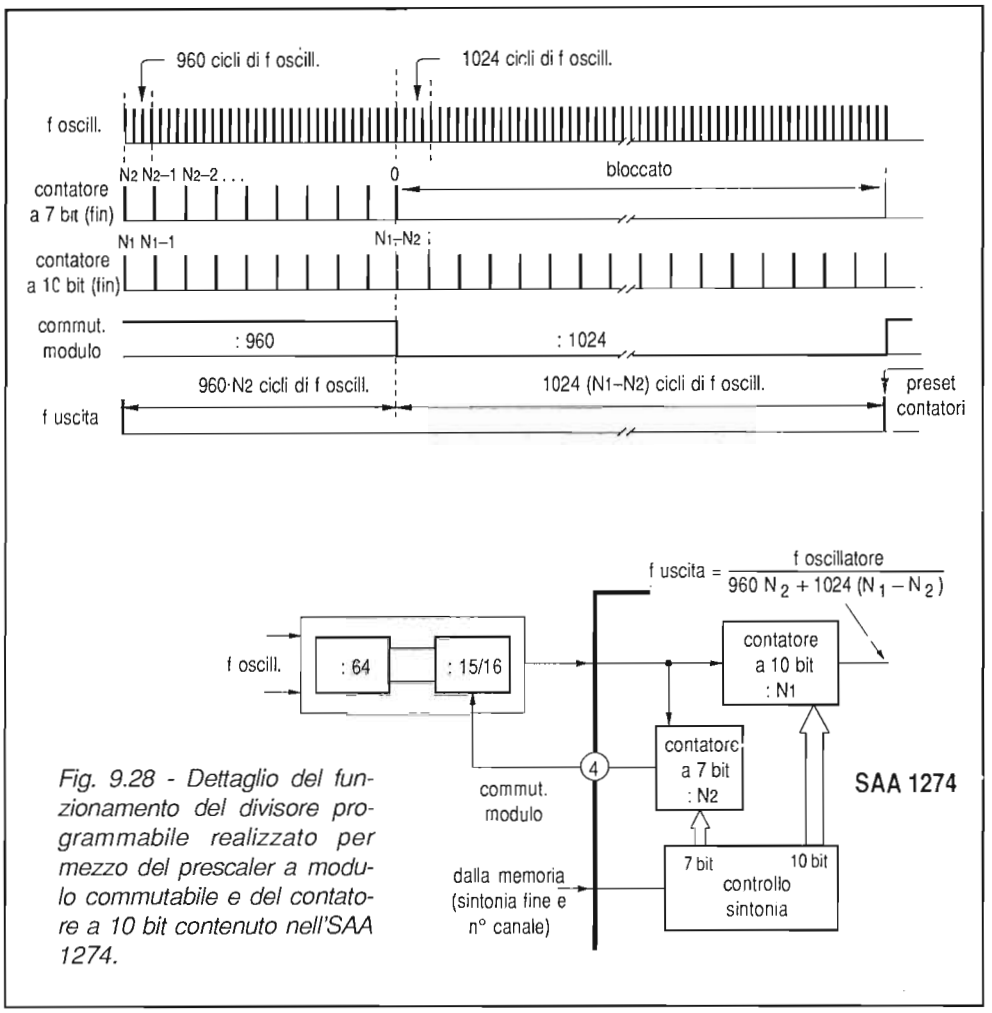


Fig. 9.28 - Dettaglio del funzionamento del divisore programmabile realizzato per mezzo del prescaler a modulo commutabile e del contatore a 10 bit contenuto nell'SAA 1274.

scillatore di riferimento a 4MHz. Il relativo segnale è utilizzato esternamente anche dal ricevitore per telecomando SAA 1251.

La frequenza dell'oscillatore viene quindi divisa per 2^{12} da un divisore a 12 bit, all'uscita del quale risulta disponibile la frequenza di riferimento a 976,562Hz per il PLL. Da un'uscita intermedia dello stesso divisore viene prelevato un segnale a 125kHz, che costituisce il segnale di clock, con il quale ha luogo la sincronizzazio ne del movimento dei dati all'interno dell'integrato.

Al pin 20 entra il segnale proveniente dal prescaler la cui frequenza, diversa a seconda del canale selezionato, risulta compresa tra 80 e 940kHz. Questa frequenza

è ulteriormente ridotta da un divisore a 10 bit, programmato in modo che alla sua uscita ne risulti una frequenza di circa 976Hz, in caso di perfetta sintonia. Solo così, infatti, il comparatore di fase si troverà a confrontare due frequenze identiche e non riterrà necessario ritoccare la tensione di sintonia tramite le sue uscite SINT+ (pin 15) e SINT– (pin 16).

Qualora invece il comparatore verificasse una differenza tra le frequenze confrontate, al pin 15 o al 16 risulterebbero presenti gli impulsi di pilotaggio per le sorgenti di corrente costante che determinano, rispettivamente, la carica (TR16) e la scarica (TR18) del condensatore C26, sul quale viene a formarsi la tensione di sintonia. Di conseguenza la frequenza dell'oscillatore locale viene continuamente modificata fino al raggiungimento del corretto valore.

Divisore programmabile. Il divisore programmabile consiste di 3 parti: il prescaler esterno ed i divisori N1 e N2, integrati nell'SAA 1274. Il rapporto di divisione del prescaler può essere 1024 o 960, a seconda del livello prodotto al pin 4 del circuito di controllo.

Il divisore N1 divide la frequenza del segnale d'entrata (f_{in}) per un fattore che dipende dal numero del canale sintonizzato, come indicato in Tab. 9.4. Il contatore N2 definisce l'intervallo di tempo, all'interno del ciclo di conteggio di N1 (1,024ms), nel quale il prescaler deve dividere per 960. Il legame tra la frequenza di riferimento f_{rif}=976,562Hz e quella dell'oscillatore locale, a regime, è data dall'equazione:

$$f_{oscill} = [N2 \cdot 960 + (N1 - N2) \cdot 1024] \cdot f_{rif} = 62{,}5\ \text{kHz} \cdot (16 \cdot N1 - N2)$$

La frequenza dell'oscillatore locale può quindi essere variata a passi di 62,5kHz all'interno di ciascun canale sintonizzato.

A titolo di esempio, nella stessa tabella sono riportati i valori N1, N2 per i primi canali di ciascuna banda televisiva.

Unità di controllo. I dati relativi al canale da sintonizzare, prelevati dalla memoria con un'operazione di lettura (vedi descrizione SAA 1075) vengono trasferiti al registro canali per mezzo dell'unità di controllo.

Il registro, assieme al decodificatore di banda, provvede a controllare il divisore programmabile N1. In modo analogo, i 7 bit dell'informazione di sintonia fine vengono trasferiti all'omonimo registro che li converte nel segnale di controllo per il prescaler SAA 1073, tramite il contatore N2.

L'unità di controllo gestisce inoltre, tramite il blocco di controllo memoria e display, il trasferimento dei dati da e verso la memoria SAA 1075 (CS-pin 17, CL MEM-pin 14, R/W-pin 12, DATA-pin 21) e verso il generatore di caratteri SAA 1276 (CL DISP-pin 13, DATA-pin 21).

Start. Il pin 9 viene utilizzato per "settare" l'intero sistema ad ogni accensione del te-

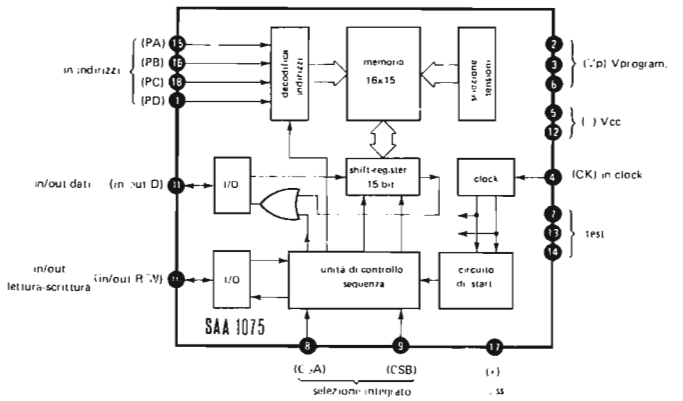
levisore. Questo piedino è collegato all'omonimo (pin 19) del ricevitore per telecomando SAA 1251, tramite una rete RC. In condizioni di stand-by, questo pin si trova allo stato L: ciò determina il blocco dell'SAA 1274, le cui uscite si dispongono in uno stato di alta impedenza.

All'accensione del ricevitore, con un ritardo di circa 50ms, il pin 9 viene a trovarsi circa 2V al di sotto del pin 1. Questa condizione dà inizio ad un ciclo di lettura della memoria, in corrispondenza al primo programma memorizzato.

In fase di ricerca automatica, tramite il pin 11 è possibile bloccare l'esplorazione quando viene sintonizzata un'emittente televisiva. Il comando di stop è rappresentato dalla transizione H-L del segnale applicato al pin 11. Più in dettaglio, due sezioni contribuiscono alla formazione del comando.

La prima opera l'identificazione del segnale televisivo, confrontando gli impulsi di sincronismo di riga ottenuti dal separatore TR10 con quelli di fly-back di riga elaborati da TR11. La somma dei due segnali pilota TR12 e questo, in caso di riconoscimento, satura TR13.

Parallelamente, il segnale ad "esse" presente all'uscita del CAF è applicato alla base di TR15, il quale viene reso conduttore dalla parte negativa che si presenta per prima nella fase di avvicinamento. Di conseguenza TR14 viene interdetto ed il suo collettore si porta al livello H. Questa situazione si mantiene fino a quando il circui-



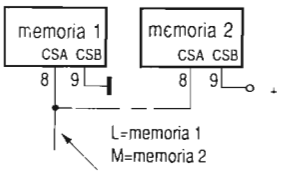


Fig. 9.29 - Schema a blocchi dettagliato della memoria SAA 1075 e modo di indirizzamento nel caso d'impiego di due integrati per la memorizzazione di 32 programmi.

to di identificazione non determina la saturazione di TR13, con conseguente passaggio al livello L della tensione al suo collettore.

9 - 7 - 1 La memoria SAA 1075

L'SAA 1075 è una memoria a lettura-scrittura non volatile, che possiede una capacità di 16 parole da 15 bit ciascuna. In Fig. 9.29 è riportato lo schema a blocchi dell'integrato.

L'indirizzamento della memoria avviene per mezzo di 4 bit paralleli (PA÷PD) generati dal ricevitore IR SAA 1251. Nel caso d'impiego di 2 memorie, la selezione dell'integrato per la lettura e la scrittura viene effettuata per mezzo degli ingressi CSA (pin 8) e CSB (pin 9). La memoria indirizzata, in questo caso, è quella per cui risulta CSA=CSB.

Le operazioni di lettura e scrittura (Fig. 9.30) vengono controllate per mezzo del pin 10 (che è bidirezionale) nel seguente modo: l'integrato di controllo SAA 1274, tra-

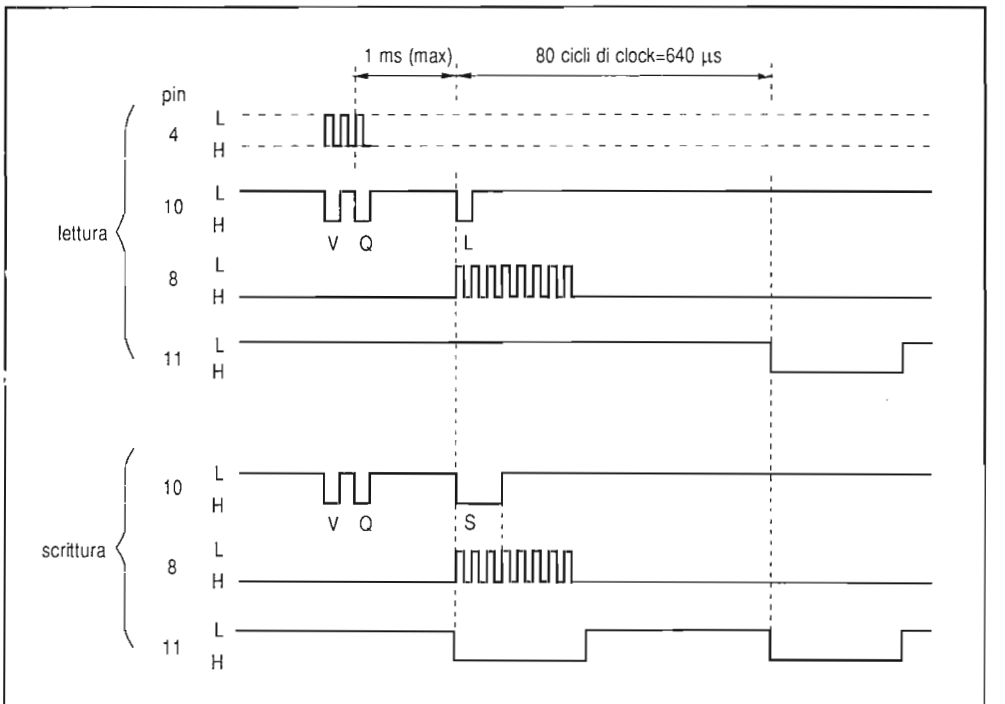


Fig. 9.30 - Cicli di lettura e scrittura della memoria SAA 1075.

mite il suo pin 12, invia alla memoria un impulso V di fase negativa della durata di 8μs (pari a un ciclo di CLOCK). La memoria, se riscontra una durata esatta per l'impulso, risponde con un secondo impulso Q della stessa durata. Dieci cicli di CLOCK più tardi, l'SAA 1274 risponderà con un impulso L di lettura (durata 1 ciclo di CK) o S di scrittura (durata 3 cicli di CK). Quando la memoria ha interpretato quest'ultimo comando, il circuito di controllo dà inizio al ciclo di lettura o di scrittura.

Operazione di scrittura. Dopo 80 cicli di CK dall'emissione dell'impulso S, dal pin 21 dell'SAA 1274 esce una sequenza di 15 bit che rappresenta le decine del numero di canale (4 bit), le unità del numero di canale (4 bit) ed il valore di sintonia fine (7 bit). Questa sequenza viene immagazzinata nel registro a 15 bit al ritmo di un bit ad ogni transizione H-L del CLOCK. Successivamente la parola memorizzata nella cella indirizzata per mezzo di PA÷PD viene cancellata e al suo posto inserita la nuova informazione. Durante la cancellazione e la successiva memorizzazione, l'unità di controllo delle sequenze blocca il decodificatore di indirizzi, onde evitare modificazioni in questa fase.

Operazione di lettura. Dopo l'arrivo dell'impulso R, lo shift-register ricopia il contenuto della cella di memoria indirizzata. L'unità di controllo delle sequenze abilita quindi l'uscita del registro per mezzo della porta OR ed i dati vengono trasferiti, al ritmo del CLOCK, per mezzo della linea DATI (pin 11) all'SAA 1075.

Le tensioni di alimentazione richieste sono Vcc=–18V (pin e 12) e Vp=–30V (pin 2,3 e 6) rispetto al piedino 17. Nel circuito di Fig. 9.26, i pin 5 e 12 sono collegati a massa mentre il pin 17 è posto a +18V e i pin 2,3 e 6 sono connessi e –12V, tensione ottenuta rettificando gli impulsi di fly-back di riga e stabilizzandola poi per mezzo dello zener D13.

Il *circuito di selezione* della tensione fornisce i potenziali richiesti per la lettura e la scrittura, nonchè per il mantenimento dei dati nelle celle di memoria.

Il *circuito di start* predispone la memoria all'operazione di lettura nella fase di accensione dell'apparecchio.

capitolo decimo

IL MICROCOMPUTER ED IL BUS I²C

10 - 1 INTRODUZIONE

La crescente diffusione dei circuiti integrati digitali, in grado di svolgere le funzioni sempre più complesse richieste dai sistemi di telecomando e dalle sezioni di sintonia, ha portato qualche anno fa alla comparsa del microcomputer nei ricevitori televisivi. La ragione dell'introduzione di un tale dispositivo va ricercata nella progressiva diminuzione del suo costo che, in rapporto alle notevoli funzioni fornibili, lo hanno reso più economico delle equivalenti soluzioni basate su circuiti integrati a logica cablata. Inoltre, la possibilità di far svolgere allo stesso microcomputer funzioni diverse, semplicemente modificando il software interno, ne rende particolarmente flessibile l'utilizzazione.

Le prime applicazioni, limitate alla gestione dell'unità di sintonia, si sono successivamente estese alla decodifica dei segnali in arrivo dal telecomando, al controllo di alcune funzioni analogiche, fino ai casi più recenti di televisori digitali nei quali vengono controllate dinamicamente tutte le regolazioni, incluse quelle relative ai circuiti di deflessione.

In questo capitolo verrà analizzata la struttura di base di un microcomputer, facendo riferimento ai chip di impiego televisivo, e al suo modo di colloquiare con il mondo circostante, rappresentato dagli altri integrati impiegati nel televisore, per mezzo del bus più diffuso: l'I²C.

10 - 2 IL MICROCOMPUTER SINGLE-CHIP

Il microcomputer single-chip è un integrato che comprende su una unica piastrina di silicio tutti gli elementi (CPU, RAM, ROM, I/O) necessari per permetterne un funzionamento autonomo. Esiste una gran varietà di microcomputer single-chip il cui principio di funzionamento è praticamente lo stesso: le differenze consistono fondamentalmente nelle dimensioni delle memorie RAM e ROM, sul numero e sulla complessità del set di istruzioni, sul numero di ingressi e uscite, e, piuttosto importante, sulla lunghezza delle parole che può essere di 4, 8, 16 o 32 bit.

Nell'ambito di una famiglia di microcomputer vi possono essere dispositivi che comprendono, sullo stesso chip, periferiche particolari come convertitori digitale/analogici, PLL, convertitori analogico/digitali ed interfacce seriali per la comunicazione con altri dispositivi. In alcuni casi i chip vengono costruiti sulla base di specifiche degli utenti utilizzatori, pur mantenendo una struttura di base comune ai membri della famiglia di appartenenza.

Quasi tutti i microcomputer vengono programmati in fase di costruzione, nel senso che il software necessario viene inserito nella memoria di programma, tramite mascheratura, durante la fabbricazione e non può essere più modificato.

Pur essendo molte e diverse le sigle che individuano i microcomputer single-chip di impiego televisivo, in realtà la maggior parte può farsi derivare dalle famiglie 8048 sviluppate della INTEL, 3870 della Mostek e Z80 prodotta anche dalla SGS (per la cui descrizione dettagliata rimandiamo al volume "Tecniche digitali nelle Comunicazioni audio-video" pubblicato nella stessa serie). Altre ancora comprendono il TMS 1000 e TMS 1100 della Texas Instruments ed il 6805 della Motorola.

Nel presente capitolo ci occuperemo prevelentemente dell'8048 in quanto, più diffuso di altri in campo televisivo e utilizzato dalla Philips nella serie MAB 8400, dalla ITT nella famiglia CCU 2000 e dalla Siemens nella serie SDA 200/210.

10 - 3 IL MICROCOMPUTER 8048

In Fig. 10.1 è indicato lo schema a blocchi dell'8048. Come si vede, un unico chip ospita tutti gli elementi necessari a formare un completo microcomputer. Si distinguono la CPU a 8 bit ed il generatore di clock per le temporizzazioni, un counter/timer ad 8 bit, in grado di misurare con notevole precisione eventi, frequenze ed intervalli di tempo, 27 linee di I/O, una ROM programmata in fase di costruzione della capacità di 1024 parole da 8 bit ciascuna, nella quale sono registrati i programmi,

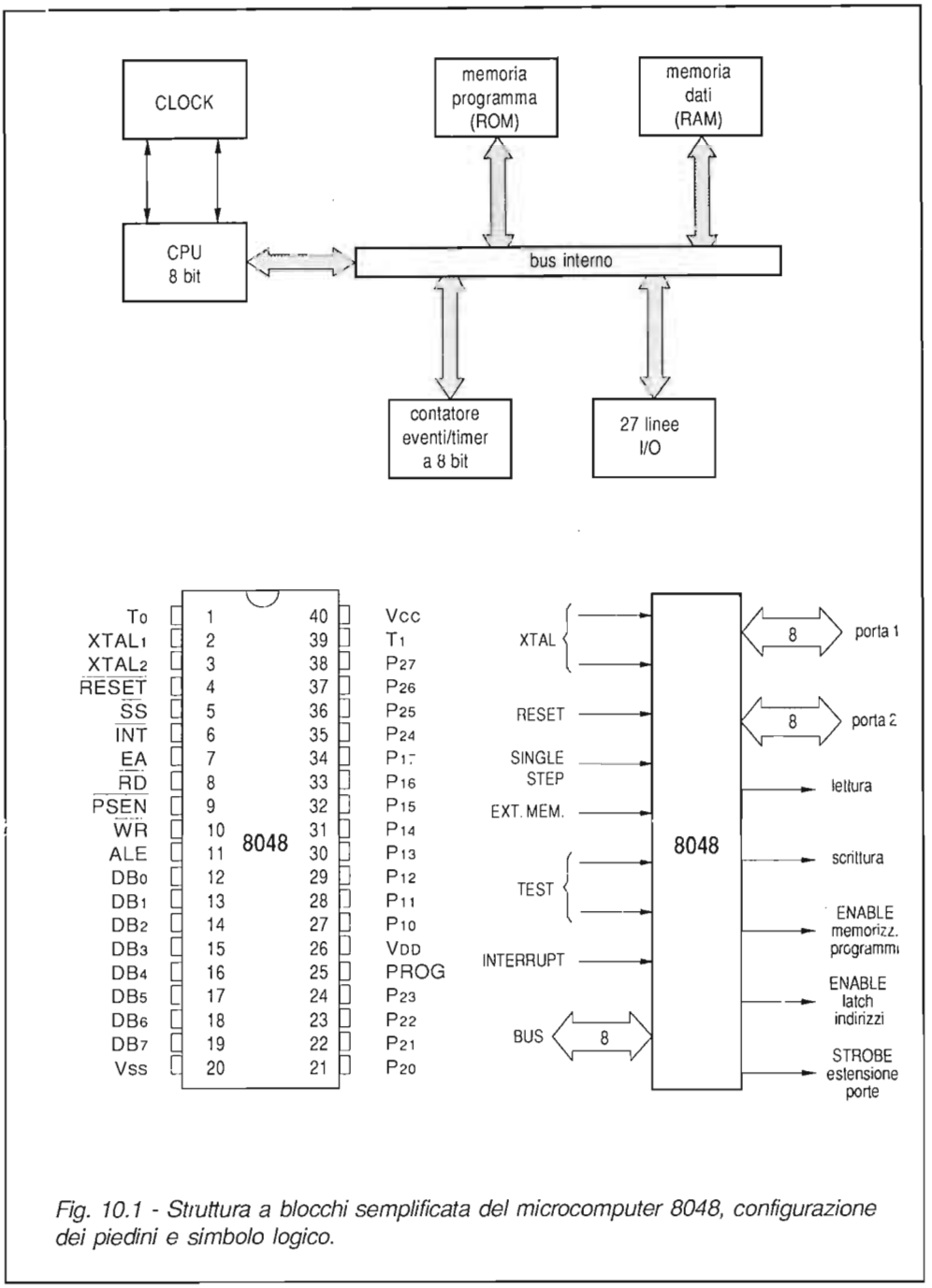


Fig. 10.1 - Struttura a blocchi semplificata del microcomputer 8048, configurazione dei piedini e simbolo logico.

ed infine una memoria RAM di 64 parole da 8 bit per la memorizzazione dei dati. I diversi blocchi colloquiano per mezzo del bus interno a 8 bit. In Fig. 10.2 è riportata in dettaglio l'architettura interna dell'8048. Il microcomputer comunica con il mondo esterno attraverso i propri terminali, che ora descriveremo in modo dettagliato.

Le 24 linee di I/O sono organizzate sotto forma di 3 porte di 8 terminali ciascuna (porte a 8 bit). Due di queste (P1 e P2) sono di tipo quasi bidirezionale. Le informazioni in uscita, una volta scritte, vengono mantenute da un "latch" fino alla nuova scrittura, mentre quelle in ingresso devono risultare presenti fino a quando non vengono lette tramite un'apposita istruzione (d'ingresso). Questa fase è preceduta da un comando di $\overline{\text{RESET}}$ che dispone le linee I/O in "modo input", vale a dire nello stato 1 ad alta impedenza. In questa condizione gli ingressi possono facilmente essere portati allo stato 0 per mezzo di qualunque circuito CMOS o TTL esterno.

Mediante selezione della maschera in fase di costruzione, ciascuno dei 16 circuiti d'ingresso-uscita P1-P2 può assumere una delle configurazioni seguenti:

- uscita push-pull con resistenza di pull-up,
- uscita open-drain con resistenza di pull-up.

La terza porta (DB), sempre a 8 bit, è di tipo bidirezionale e può essere utilizzata in modo asincrono (tramite i latches interni) o sincrono. Quando viene usata come bus, si richiede che i dati validi in ingresso o in uscita siano presenti durante gli impulsi di STROBE di lettura (RD) o scrittura (WR).

L'8048 possiede altri tre terminali d'ingresso T0, T1 e INT che possono essere usati come porte ad un solo bit, per controllare ad esempio lo stato di ingressi facenti capo ad interruttori. In particolare T0, a seconda del tipo di istruzione fornito dal programma, può operare come ingresso di test o uscita di clock, ad una frequenza di 1/3 di quella del quarzo, che può essere utilizzata per comunicare in modo sincrono con integrati esterni di memoria.

Analogamente, anche il pin T1, a seconda del tipo di istruzione fornito dal programma, può operare come ingresso di test o come ingresso di un contatore di eventi/timer a 8 bit che viene caricato, letto e bloccato tramite istruzioni del programma. Nel secondo caso, ogni volta che su T1 ha luogo una commutazione H-L, il contatore si incrementa di un'unità.

Quando viene raggiunta la condizione di totale riempimento (overflow), si ha la produzione di un impulso di "interrupt" che può essere utilizzato dal microcomputer per passare all'esecuzione, ad esempio, di un sottoprogramma. Ci sono altri piedini per impieghi particolari.

XTAL1 (2) e XTAL3 (3) per la connessione del quarzo. Il primo rappresenta l'ingresso dell'oscillatore, la cui uscita di reazione fa capo all'altro pin. Internamente, la frequenza generata viene divisa per 3, fornendo il segnale di CLOCK per il sistema.

PROG (pin 25) abilita la programmazione, per la versione 8748 programmabile dotata di EPROM, oppure per pilotare un integrato di espansione delle uscite del tipo 8243.

$\overline{\text{RESET}}$ (pin 4) produce l'inizializzazione del processore. A questo pin viene connesso un condensatore di circa 1μF che lo mantiene al livello basso mentre la tensione di alimentazione applicata al pin 40 raggiunge il valore di 5V.

$\overline{\text{SS}}$ (Single Step, pin 5) permette di far avanzare il programma di un singolo passso alla volta, al fine di verificare l'eventuale presenza di errori di programmazione o di funzionamento.

$\overline{\text{INT}}$ (pin 6) ingresso di interrupt. Determina la sospensione dell'esecuzione del programma ed il salto alla subrontine memorizzata nella locazione 3 della ROM interna.

$\overline{\text{RD}}$ (Read strobe, pin 8), segnale di lettura. Viene portato a livello basso quando il processore esegue un'operazione di lettura sul bus esterno. In questo intervallo i dati presenti sul bus, provenienti ad esempio da una RAM esterna, vengono trasferiti nell'accumulatore interno.

$\overline{\text{WR}}$ (Write strobe, pin 10) segnale di scrittura. Viene portato a livello basso quando

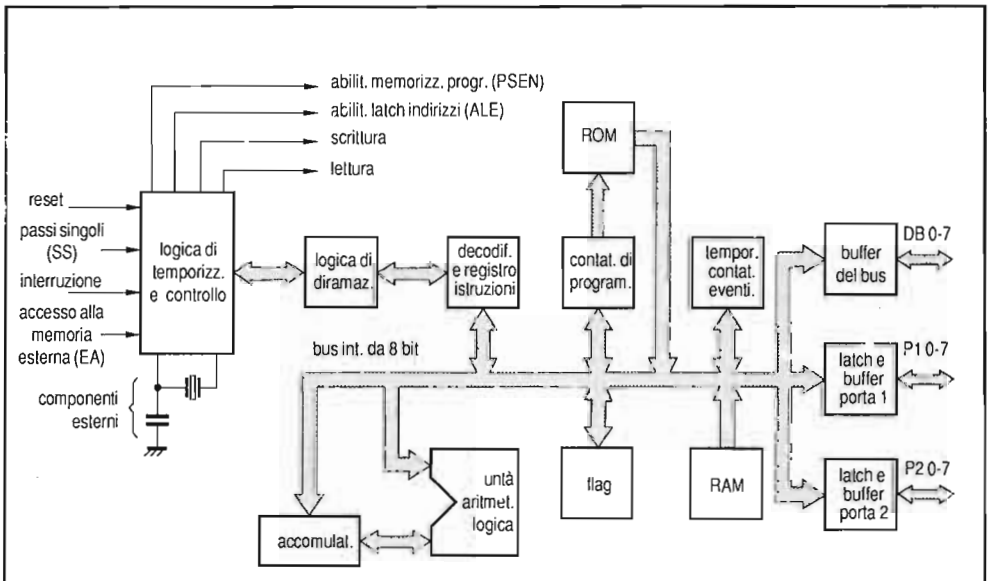


Fig. 10.2 - Architettura interna dettagliata del microcomputer 8048.

il processore esegue un'operazione di scrittura sul bus esterno. In questa fase i dati presenti sul bus vengono scritti in una memoria RAM esterna.

ALE (Address Latch Enable, pin 11) determina l'attivazione dei latch esterni per la lettura dei bit di indirizzo presenti nel bus. Questa fase precede i segnali di lettura o scrittura sopra indicati.

EA (External Access, pin 7). Quando questo ingresso è portato al livello alto, il rnicrocomputer disabilita la ROM interna e si predispone a prelevare dati ed istruzioni dalla ROM esterna.

$\overline{PSEN}$ (Program Store Enable, pin 9) abilita la ROM esterna nella transizione H-L. L'istruzione trasferita nel bus dalla cella indirizzato viene "allacciata" internamente al processore durante la successiva transizione L-H.

Il microcomputer è dotato dei terminali Vcc (pin 40) e Vss (pin 20), per l'alimentazione a 5V, e VDD (pin 26) per il mantenimento dei dati nella memoria RAM interna, in condizioni di stand-by. Ciò si ottiene applicando tra il pin 26 e massa una tensione di 2,2V, ottenuta ad esempio collegando due batterie Ni-Cd in serie, che viene connessa alla porzione di RAM da "salvare", per mezzo del segnale di $\overline{RESET}$. In condizioni operative normali ($\overline{RESET}$=H) il circuito provvede a fornire alle batterie la richiesta corrente di carica.

Il set di istruzioni dell'8048 è formato da più di 90 istruzioni, delle quali circa il 70% utilizzano un codice operativo a 1 byte e le restanti a 2 byte, per una durata di 1 o 2 cicli macchina, pari a circa 3 e 6μs rispettivamente. Questo set di istruzioni consente di produrre programmi molto sintetici ed efficienti, richiedendo spazi di memoria molto ridotti.

Si è già detto in precedenza che la memoria dati e la memoria di programma dell'8048 sono espandibili all'esterno in modo semplice, con l'uso di comandi e porte appropriati; tuttavia, in molte applicazioni sono richiesti incrementi modesti nella capacità delle memorie. In questi casi, la soluzione ottimale è rappresentata dall'impiego di microcomputer 8049 e 8050, strutturalmente identici all'8048, ad eccezione della memoria di programma (ROM) interna che è di 2048 byte per il primo e 4096 byte per il secondo e della memoria dati (RAM), rispettivamente di 128 e 256 byte.

Quando invece i dati da elaborare sono modesti, è disponibile l'8021 che è una versione semplificata dell'8048. Il suo set di istruzioni è più ridotto e così pure il numero di linee I/O, in questo caso 21.

Esistono altri componenti della famiglia destinati ad usi più specifici, come ad esempio l'8022, che comprende un convertitore A/D ad 8 bit con due ingressi analogici, ed una porta particolare di 8 linee, dotate di comparatore a soglia programmabile dall'esterno, che permette l'interfacciamento diretto con circuiti operanti a livelli logici non standard, come sensori capacitivi, matrici di diodi ecc.

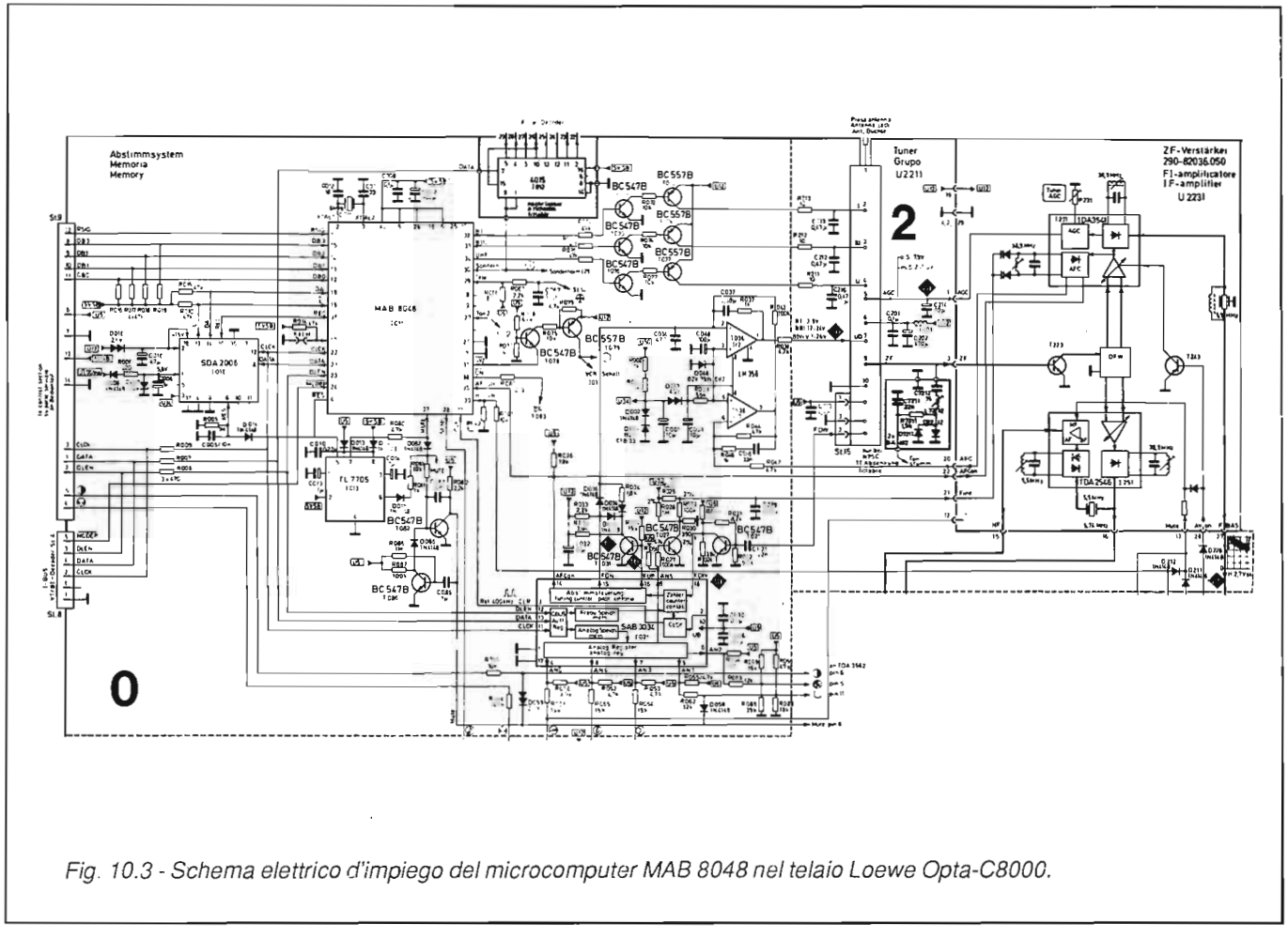


Fig. 10.3 - Schema elettrico d'impiego del microcomputer MAB 8048 nel telaio Loewe Opta-C8000.

10 - 3 - 1 L'MAB 8048

In Fig. 10.3 è riportato un esempio d'impiego dell'8048, prodotto daila Philips con la sigla MAB 8048, che si riferisce ad un telaio Loewe C8000. Il microcomputer, come si deduce dall'analisi della Fig. 10.4, è programmato in modo da effettuare, tra l'altro:

- la rivelazione dei comandi provenienti dal telecomando o dalla tastiera locale,
- il reset all'accensione, tramite l'integrato TL 7705,
- la lettura e la scrittura della memoria SDA 2006,
- il pilotaggio del SAB 3034 (integrato di sintonia),
- la generazione dei comandi CBUS,
- la produzione del segnale di commutazione AVZ per la costante di tempo del comparatore di fase ozizzontale,
- la generazione del segnale di MUTE per il blocco dell'audio in fase di ricerca,
- la commutazione tra i due segnali audio nel caso di trasmissioni bilingue,
- la commutazione tra gli standard televisivi SECAM e PAL.

Inoltre, tramite un'interfaccia di adattamento, formata dai transistor T71-T74-T76-T77, provvede direttamente alla selezione della banda relativa al canale sintonizzato, e a fornire il consenso all'azione del CAF quando viene riconosciuta la presenza di un'emittente televisiva tramite il segnale di coincidenza in arrivo al pin 39.

PLL di sintonia

L'anello di controllo della frequenza dell'oscillatore locale del tuner è composto dal prescaler contenuto nel sintonizzatore, da un contatore presente nell'integrato SAB 3034 e dall'integratore formato dagli operazionali contenuti in LM 358. Il microcomputer è stato programmato per convertire il numero del canale, composto tramite tastiera o telecomando, nella frequenza richiesta all'oscillatore locale per sintonizzare il canale prescelto, in accordo con lo standard CCIR; contemporaneamente il microcomputer fornisce il segnale per la selezione della banda corretta.

La frequenza del canale viene trasmessa al circuito SAB 3034, di controllo sintonia, tramite il CBUS che comprende le linee: DATA per il trasferimento di dati e comandi, DLEN di abilitazione e CLCK di clock per la sincronizzazione. L'informazione relativa si presenta come parola a 12 bit, comprendente un bit di start a livello 0, un primo bit di indirizzamento, che per questo tipo di informazione si trova a livello 1, ed altri successivi 10 bit che rappresentano in codice la frequenza in MHz dell'oscillatore locale del tuner. In Fig. 10.5 è riportata la struttura della parola trasmessa nel

caso di chiamata del canale 47 (UHF). In realtà, la parola che definisce la frequenza del canale da sintonizzare è l'ultima di una sequenza di 17 parole che sono così raggruppabili:

- le prime sette, con B1 = H, contengono le informazioni per l'inizializzazione del modo operativo, specificazione dell'offset di frequenza, della finestra di sintonia, dell'intervallo di aggancio del CAF e della velocità di sintonizzazione;
- le successive otto, con B0=B1=L, rappresentano i valori che devono assumere i sei registri di regolazione delle funzioni analogiche, nonchè i comandi di abilitazione e disabilitazione delle relative uscite.

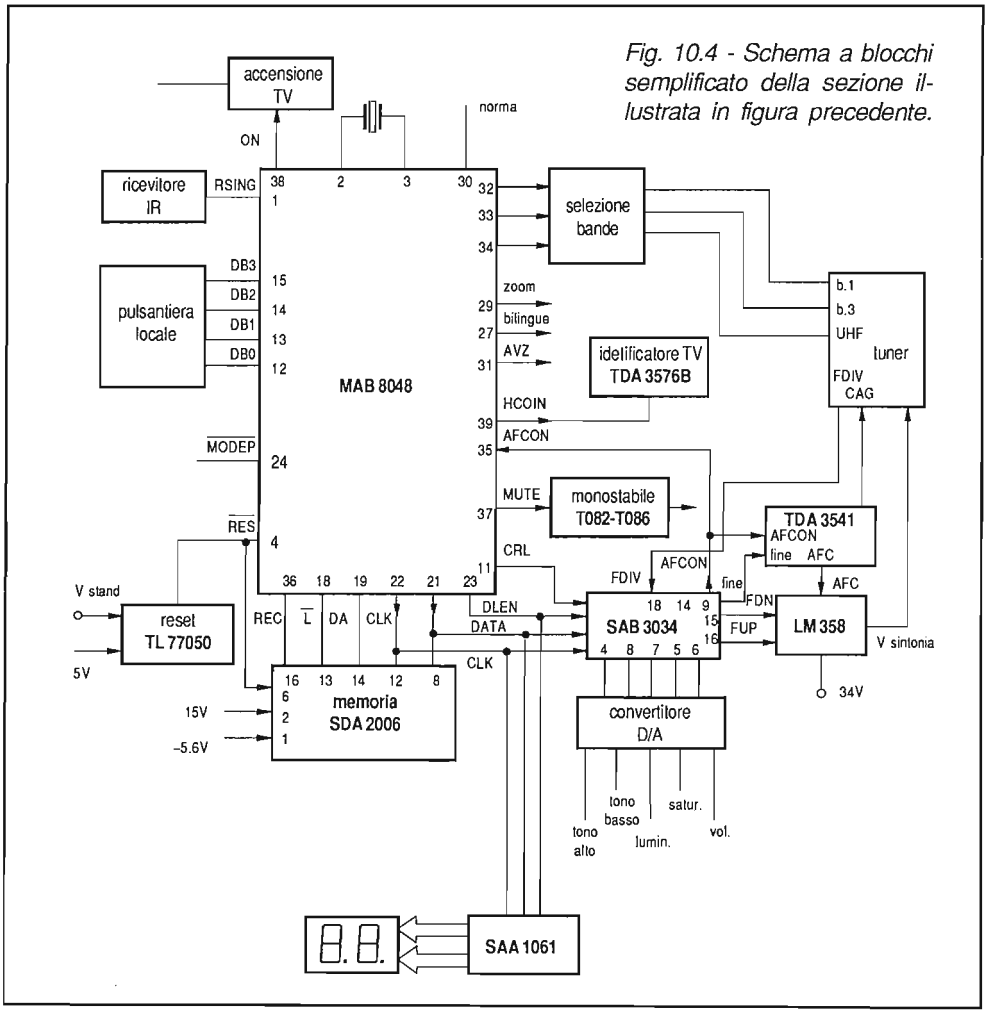


Fig. 10.4 - Schema a blocchi semplificato della sezione illustrata in figura precedente.

L'informazione relativa alla frequenza del canale da sintonizzare assieme a quella dell'offset, viene caricata entro il contatore di frequenza contenuto all'interno del SAB 3034. Il contenuto di questo registro viene scaricato dal segnale dell'oscillatore del tuner, in un tempo t_m prefissato, dopo che questo ha subito una divisione di frequenza per 256 nel prescaler esterno e per 5 in quello interno. Un contatore di sintonia rileva, analizzando il contenuto del contatore di frequenza, se la frequenza dell'oscillatore locale del tuner è superiore, inferiore o all'incirca uguale a quella desiderata. Queste diverse situazioni si tradurranno nella produzione da parte dell'integrato di una serie di impulsi sulle uscite FDN, FUP o AFCON, rispettivamente (Fig. 10.6).

Gli impulsi FDN e FUP, la cui durata è proporzionale alla deviazione di frequenza misurata, opportunamente integrati da un circuito a componenti discreti, produrranno la scarica o la carica di un condensatore sul quale verrà a prodursi la tensione di sintonia.

Il segnale AFCON (indicazione di raggiunta sintonia, vale a dire contenuto nullo del contatore di frequenza) abiliterà l'integrato TDA 3541 di media frequenza video del ricevitore a produrre il segnale di CAF lineare per il completamento dell'operazione di sintonia.

Una volta raggiunta la frequenza desiderata, nei limiti specificati dalla finestra di sintonia (parole n.4 o n.5), i limiti della deviazione di frequenza, tollerati dal circuito e affidati al controllo del CAF lineare, sono allargati fino al previsto range definito dal contenuto delle parole n.6 o n.7.

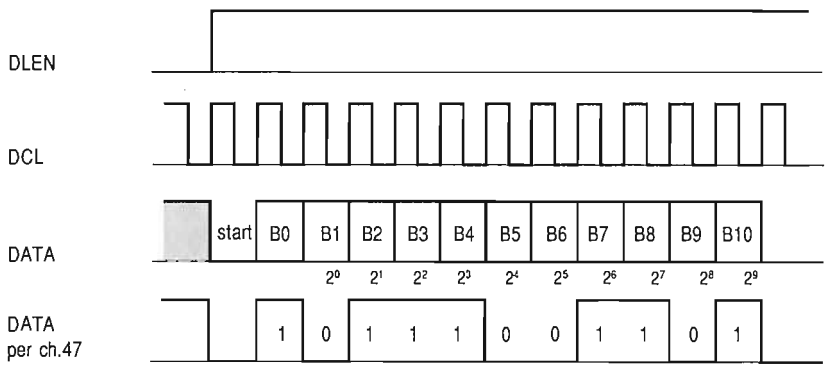


Fig. 10.5 - Struttura dei segnali presenti sulle tre linee del CBUS (tramite il quale l'MAB 8048 comunica con le periferiche) e dettaglio del segnale DATA, nel caso venga chiamato il canale 47.

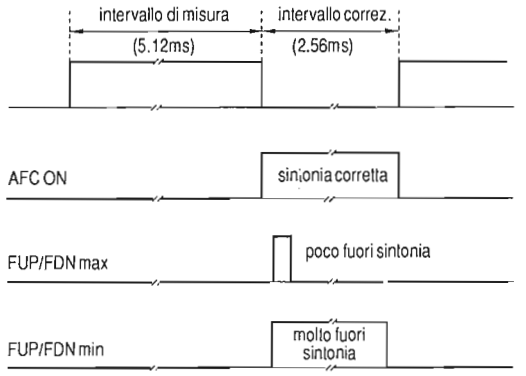


Fig. 10.6 - Lo stato del contatore di frequenza alla fine dell'intervallo di misura determina la durata dei segnali di correzione della tensione di sintonia.

Quando la frequenza proveniente dall'oscillatore del tuner esce da questi limiti, o quando è iniziata una nuova operazione di sintonia, l'integrato invierà gli impulsi di correzione FUP o FDN.

10 - 4 LA FAMIGLIA 8400

All'inizio degli anni ottanta, la Philips ha sviluppato una nuova famiglia di microcomputer monochip a 8 bit, denominata 8400, con capacità di memoria, numero e tipo di linee I/O scelti in modo da soddisfare le esigenze d'impiego del microcomputer in sistemi di controllo.

La famiglia 8400 è stata sviluppata a partire dai microcomputer 8048/8021, utilizzando quasi per intero il set di istruzioni del primo e adottando l'architettura e la piedinatura del secondo. In particolare la famiglia è dotata di linea I/O seriale (pin 2) la quale, assieme all'uscita di clock (pin 3), realizza un bus di collegamento che permette di colloquiare in modo semplice, ma sufficientemente veloce con altri integrati del sistema.

La riduzione delle porte I/O a 21, compresa quella seriale, e l'impossibilità di espandere la ROM e la RAM interne, ha permesso di ridurre a 28 il numero totale di pin, la cui disposizione è riportata in Fig. 10.8.

In sintesi, le caratteristiche principali della famiglia 8400 possono così riassumersi:

- 20 linee quasi bidirezionali di I/O, raggruppate in 3 porte di 8 bit (P0 e P1) e 4 bit

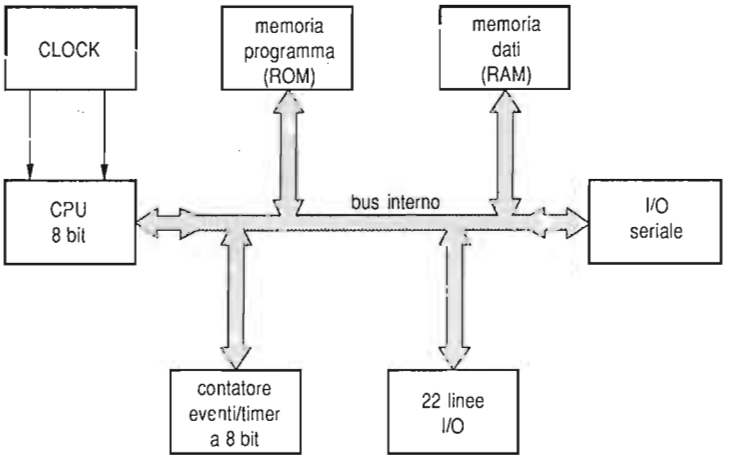


Fig. 10.7 - Struttura a blocchi semplificata dei microcomputer della famiglia 8400.

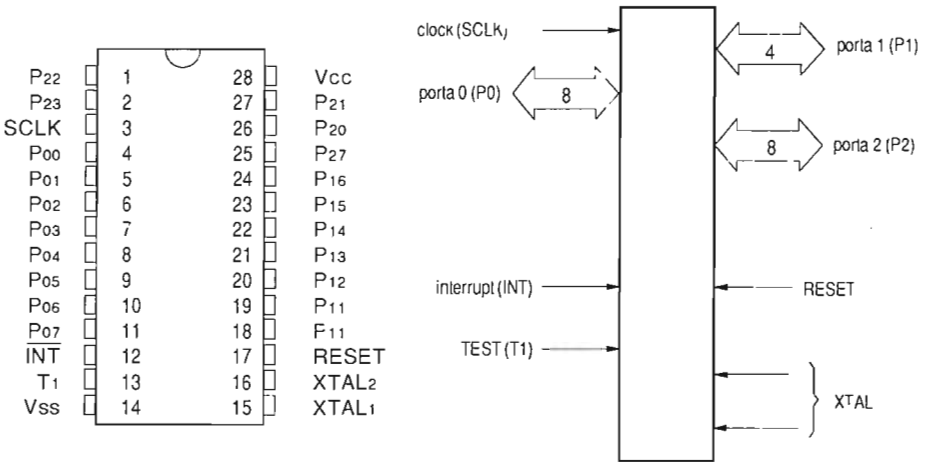


Fig. 10.8 - Configurazione dei piedini e simbolo logico della famiglia di microcomputer 8400.

(P2). Il terminale P23 di quest'ultima serve come ingresso/uscita seriale dati nel modo di funzionamento seriale dell'I/O;

- 2 ingressi di test T1 (pin 13) e INT (pin 12). Il primo può essere usato per rivelare il passaggio per lo zero di segnali analogici di bassa frequenza, il secondo è l'ingresso di interrupt esterno;
- temporizzatore/contatore di eventi a 8 bit programmabile;
- pilotaggio a corrente elevata su 4 linee d'uscita;
- tempo di ciclo 6,77µs, con un quarzo di 4,43MHz.

La famiglia 8400 è disponibile in differenti versioni di memoria di programma (ROM) e di dati (RAM). In Tab. 10.1 sono riassunte le differenze in termini di capacità di memoria dei dispositivi più recenti della famiglia.

Memoria di programma (ROM)

Le memorie di programma della famiglia 8400 possono contenere 1024/2048/4096/6144 parole di 8 bit, indirizzabili dal contatore di programma. Le memorie vengono programmate tramite mascheratura al momento della fabbricazione. Come si è già detto, non è prevista la loro espansione mediante ROM esterna.

La mappa della memoria di programma è riportata in Fig. 10.9. La prima istruzione da eseguire dopo l'inizializzazione (reset) viene immagazzinata nella locazione

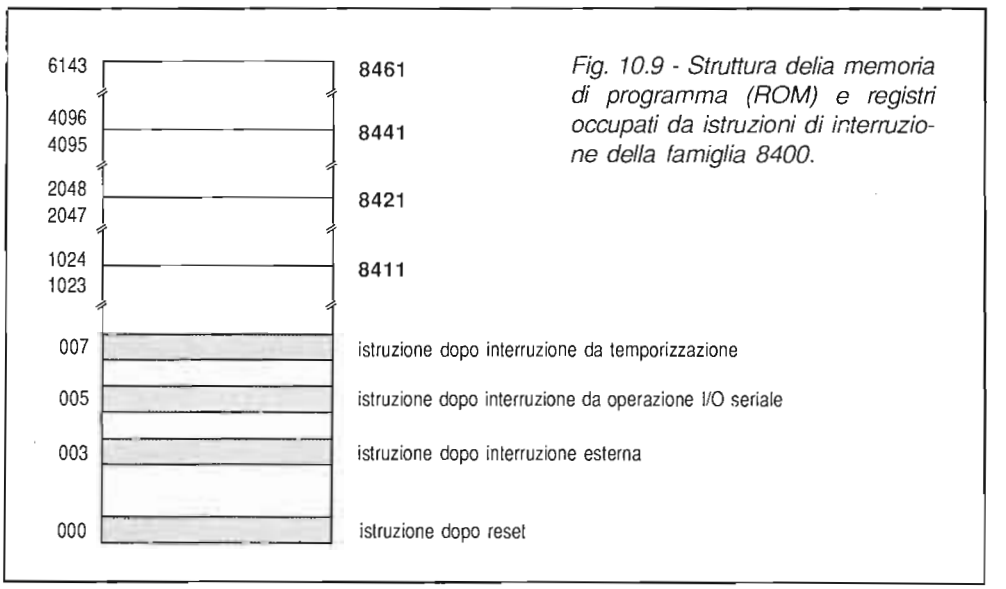


Fig. 10.9 - Struttura della memoria di programma (ROM) e registri occupati da istruzioni di interruzione della famiglia 8400.

dispositivo	RAM (byte)	ROM (byte)
MAB 8411	64	1k
MAB 8421	64	2k
MAB 8441	128	4k
MAB 8461	128	6k

Tab 10.1 - Capacità delle memorie dati (RAM) e di programma (ROM) della famiglia MAB 84XX.

000; la prima parola della routine di servizio dopo un'interruzione esterna è registrata nella locazione 003; nella locazione 005 si trova la prima parola della routine di servizio nel caso che l'interruzione sia causata da un'operazione I/O seriale, infine nella locazione 007 è immagazzinata la prima parola di una routine di servizio nel caso di interruzione prodotta dal temporizzatore-contatore interno. Le altre locazioni sono disponibili per il caricamento del programma.

Memoria dati (RAM)

Le memorie dati residenti nella famiglie 8400 sono organizzate in 64/128 parole di 8 bit. Tutte le locazioni sono indirizzabili indirettamente tramite uno dei due registri puntatori della RAM. Le prime 8 locazioni, e quelle comprese tra la 24 e la 31, costituiscono altrettanti registri di lavoro e sono indirizzabili direttamente mediante molte istruzioni.

Seguono altre 16 locazioni, organizzate in 8 gruppi di 2, che costituiscono uno stack contatore di programma a 8 livelli. Questo consente al processore di memorizzare gli indirizzi di ritorno prodotti da operazioni di interruzione o da istruzioni di salto. I livelli non utilizzati possono essere usati come locazioni di RAM, così come le locazioni rimanenti comprese tra la 32 e la 63 (o 127)

I/O seriale

Rappresenta la principale aggiunta rispetto alla famiglia 8048 e permette la comunicazione seriale con altri chip. Nelle applicazioni televisive, la porta I/O seriale è programmata in modo da operare come BUS (spesso di tipo I^2C, le cui caratteristiche sono descritte al Par. 10.6) assieme all'uscita SCLK (clock seriale - pin 3).

10 - 4 - 1 Esempio d'impiego del MAB 8421P

In Fig. 10.10 è riportato lo schema elettrico della scheda del "comando locale" del televisore Sinudyne mod. 5500, equipaggiata con il microcomputer MAB 8421P. Le funzioni svolte del dispositivo sono le seguenti:

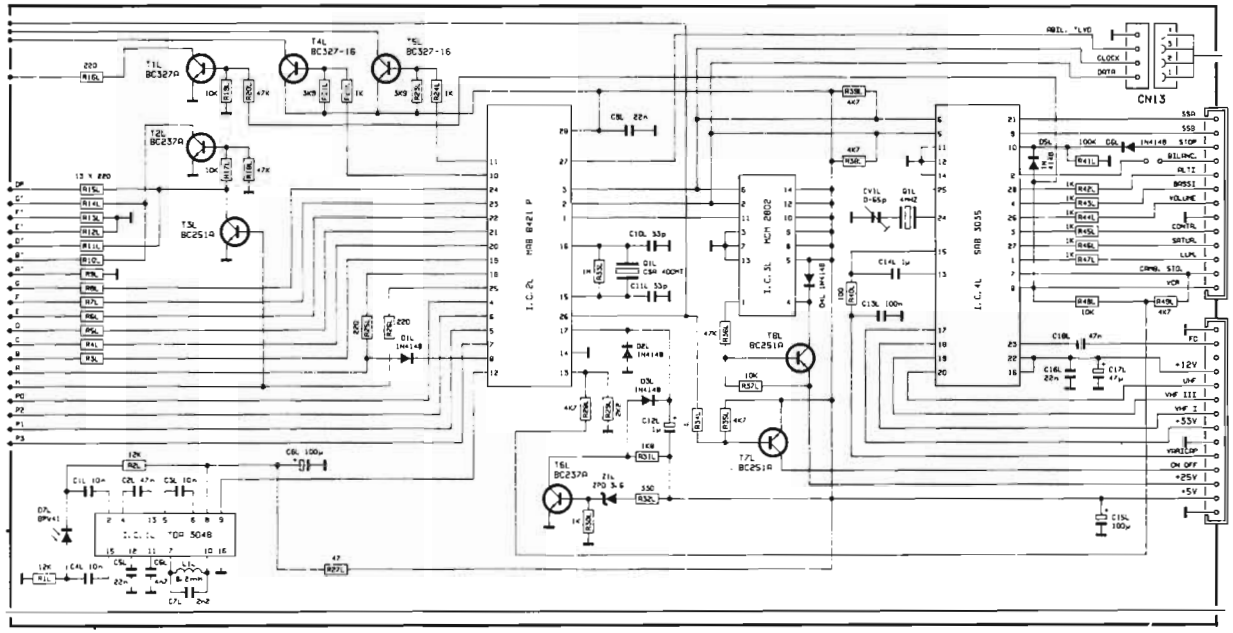


Fig. 10.10 - Schema elettrico d'impiego del microcomputer MAB 8421 nel telaio Sinudyne-5500.

- decodifica dei segnali provenienti dal telecomando,
- codifica dei comandi e loro trasmissione sul I²C-BUS,
- indirizzamento della periferica interessata,
- ricezione ed interpretazione dei comandi locali,
- pilotaggio del display,
- comando ON/OFF (pin 26),
- VCR (pin 13),
- abilitazione televideo (pin 27).

Il microcomputer opera in associazione con la memoria MCM 2802, dialogando tramite la porta seriale I/O (pin 2) ed il clock relativo (pin 3) e la linea di selezione lettura-scrittura (pin 1). All'I²C-BUS è collegato anche l'integrato SAB 3035 che svolge le funzioni di CITAC (Computer Interface for Tuning and Analog Control), provvedendo alla gestione completa del sistema di sintonia a sintesi di frequenza e al controllo delle funzioni analogiche.

Il MAB 8421 riceve al pin 12 il segnale in arrivo dal telecomando, precedentemente elaborato dal TDA 3048, e lo decodifica inoltrando la corrispondente sequenza di comandi nel I²C-BUS (pin 2 e 3).

I comandi locali, prodotti tramite i pulsanti sistemati sul cruscotto frontale, entrano nel processore attraverso le linee 4÷8 e 18÷25, di tipo quasi bidirezionale, le stesse che, come uscite, vengono utilizzate per pilotare i segmenti dei display. La selezione di questi ultimi (in modo multiplex) avviene tramite i pin 10 e 11, ai quali sono collegati i transistor TL4 e TL5 che connettono gli anodi in comune dei display alla linea di alimentazione.

All'accensione del televisore, e comunque ad ogni diminuzione della tensione di alimentazione (in conseguenza, ad esempio, di un'accidentale caduta della tensione di rete), al pin 17 del microcomputer viene a formarsi un impulso positivo, dovuto a C12L, che determina l'avvio di una procedura di reset. Questa azzera i vari contatori interni e predispone il televisore alla ricezione del programma n° 1. Togliendo il diodo D2L, il reset ha luogo invece solo nella fase di accensione del televisore.

10 - 5 L'MAA 4000

La ITT utilizza un 8048 come base per una famiglia numerosa di microcomputer sviluppati per impieghi televisi. Agli originali CCU 2000/30, progettati appositamen-

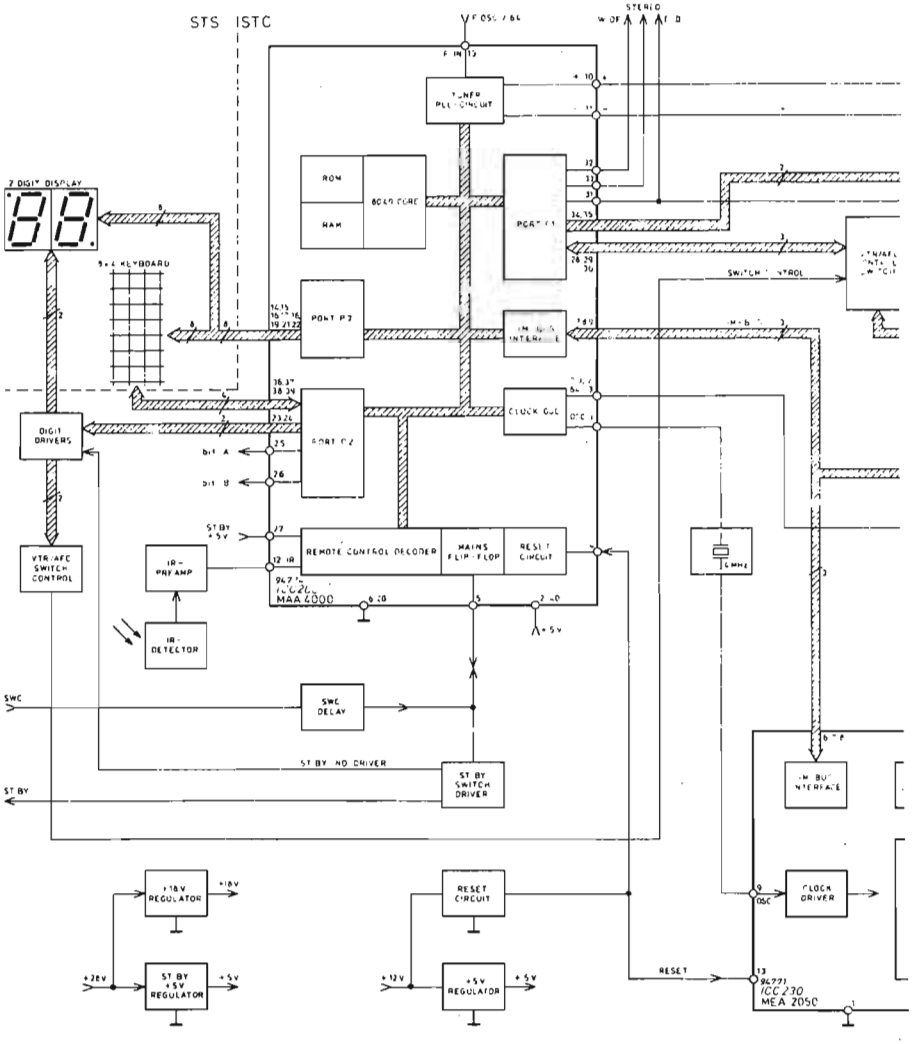


Fig. 10.11 - Schema a blocchi semplificato del microcomputer MAA 4000 e suo collegamento alle periferiche tramite l'IM-BUS (Salora-J70).

te per il televisore digitale-sistema DIGIT 2000, sono seguiti: l'MAA 2000, che include anche una memoria EAROM non volatile della capacità di 96 parole da 8 bit, e gli MAA 4000/30, di uso generale, adatti alla gestione dei sistemi di sintonia a sintesi di frequenza e ad esercitare altre funzioni già descritte nei paragrafi precedenti, tipiche dei televisori "analogici".

In Fig. 10.11 è riportato lo schema a blocchi applicativo della CCU (Central Control Unit) MAA 4000 nel telaio Salora-J70. Il dispositivo, oltre a contenere il microprocessore 8049, comprende anche:

- il decodificatore per telecomando,
- un'interfaccia per comunicazione seriale chiamata IM-BUS,
- uno stadio PLL per il controllo della sintonia del tuner,
- un flip-flop di rete per il funzionamento in stand-by,
- una porta (P3) ad alta corrente per il pilotaggio diretto di display a LED.

Tutte le funzioni sono gestite via software sulla base del programma registrato entro la ROM del microcomputer in fase di costruzione. Veniamo ora alla descrizione sommaria del dispositivo.

Porte I/O

Le porte P1 e P2 sono del tipo a collettore aperto, in grado di fornire ciascuna una corrente di 2mA. La porta 3, del tipo ad alta corrente, è in grado di erogare fino a 20mA. La sua funzione, come si è accennato, è di pilotare direttamente fino a 4 display LED a 7 segmenti. La stessa porta è collegata alle 8 righe della pulsantiera

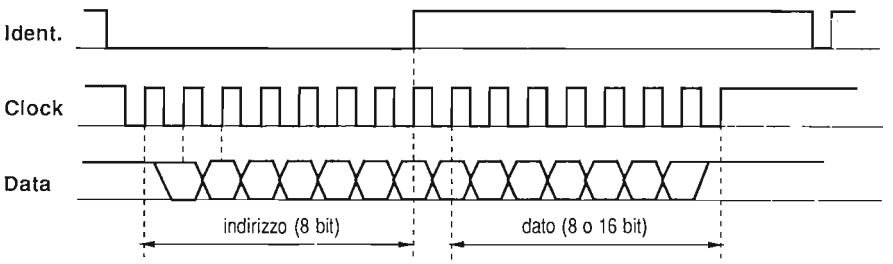


Fig. 10.12 Struttura dei segnali presenti sulle tre linee dell'IM-BUS, tramite il quale l'MAA 4000 comunica con le periferiche.

dei comandi locali ed è in grado di riconoscere l'eventuale collegamento con una delle 4 colonne, attraverso altrettante linee connesse alla porta 2. Le altre 4 linee di quest'ultima svolgono le funzioni di: pilotaggio anodi digit 1 (pin 24), pilotaggio anodi digit 2 (pin 23), bit A per commutazione VCR (pin 25) e bit B per la commutazione dello standard (pin 26).

Decodifica IR

Il segnale proveniente dal preamplificatore IR (TBA 2800) viene applicato al pin 12 dove incontra un decodificatore in grado di riconoscere i comandi trasmessi dall'SAA 1250. Esso accetta solo le parole ritenute valide e le rende disponibili al microcomputer, trasferendole entro due registri che vengono così caricati con i 4 bit di indirizzo ed i 6 bit del comando.

In condizioni di stand-by, solo il decodificatore per telecomando, il circuito di reset e l'oscillatore per il clock risultano alimentati tramite il pin 27: tutti gli altri stadi sono disattivati. Alla ricezione del comando "SWITCH-ON", l'intera CCU diviene operativa.

PLL

La CCU contiene uno stadio PLL (Phase-Loocked Loop) per la sintesi di frequenza del tuner, che comprende: il divisore per la frequenza di riferimento, il divisore programmabile (a 14 bit) e un discriminatore di fase. La frequenza massima applicabile al divisore programmabile è di 15MHz e pertanto si richiede un prescaler esterno a rapporto fisso (: 64). Con un quarzo della frequenza di 4MHz è possibile ottenere una sintonizzazione del tuner con passi di 62,5kHz. Le due uscite del discriminatore di fase (pin 10 e 11) pilotano le due sorgenti di corrente, contenute nel MEA 2901, che provvedono ad aumentare o a ridurre la tensione di sintonia.

Interfaccia IM-BUS

Ha il compito di pilotare l'IM-BUS (Fig. 10.12) che consta di 3 linee: Clock, Ident e Data; le prime due sono unidirezionali, nel senso che i segnali viaggiano solo tra la CCU ed i dispositivi periferici. La linea dati è invece bidirezionale.

Nello stato di riposo, le 3 linee si trovano a livello alto (5V). L'inizio della trasmissione è segnalato dal livello L delle linee Ident e Clock. A partire da questo istante vengono trasferiti 8 bit, iniziando da quello di valore più basso (LSB). Il valore del bit è definito dal livello assunto dalla linea Data nella transizione L-H del Clock. Appena trasferito l'ottavo bit, la linea Ident viene portata al livello H e ciò dà il via al confronto tra l'indirizzo ricevuto ed il proprio di ogni singola unità periferica. L'esito del con-

fronto determina sia l'individuazione della periferica interessata al trasferimento, che la natura dell'operazione (lettura o scrittura). A questo punto la CCU invia 8 o 16 impulsi di Clock sulla linea corrispondente e così altrettanti bit scorrono sulla linea Data, da o verso la periferica. La fine del trasferimento è segnalata da un impulso di breve durata sulla linea Ident, che ha anche il compito di comandare all'interfaccia selezionata la memorizzazione dei dati ricevuti.

Flip-flop alimentazione e reset

L'uscita per l'accensione del televisore dallo stado di stand-by (pin 5) è controllata da un flip-flop che la porta al livello L quando viene ricevuto il comando relativo, oppure quando lo stesso pin 5 viene mantenuto per almeno 20µs al livello L. Il reset del flip-flop, e quindi il passaggio in stand-by, ha luogo al ricevimento del relativo comando oppure quando l'ingresso di reset si porta ad una tensione inferiore a 1V. Nello schema proposto, un apposito circuito "sente" l'eventuale calo della tensione a 12V e, prima che questa variazione si manifesti sulla linea a 5V di alimentazione della CCU e della memoria, produce l'impulso di reset e quindi il blocco delle operaioni in corso.

10 - 6 Il BUS I²C

La maggior parte dell'apparecchiature elettroniche di consumo contengono oggi un microcomputer e un numero consistente di circuiti integrati dedicati (periferiche) ai quali sono demandati compiti "esecutivi" come la memorizzazione e visualizzazione di dati, l'attuazione di funzioni digitali ed analogiche. Molti sono, ovviamente, i modi per collegare ed interfacciare i diversi integrati con il microcomputer, ma è un indiscutibile vantaggio disporre di un sistema standardizzato al quale possano far riferimento sia i produttori di componenti integrati che i costruttori di apparecchiature. In questo senso la Philips da qualche anno ha sviluppato il BUS Inter Integrated Circuits (sinteticamente BUS I²C), dotando della relativa interfaccia molti dei circuiti integrati per applicazioni in TV (Fig. 10.13), videoregistratori, audio, radio, telefonia ed elettronica per automobili.

10 - 6 - 1 Generalità

Il BUS I²C è un sistema di comunicazione utilizzante due sole linee (Data e Clock) che permette ad una coppia di integrati di scambiarsi dati, in modo seriale fino ad

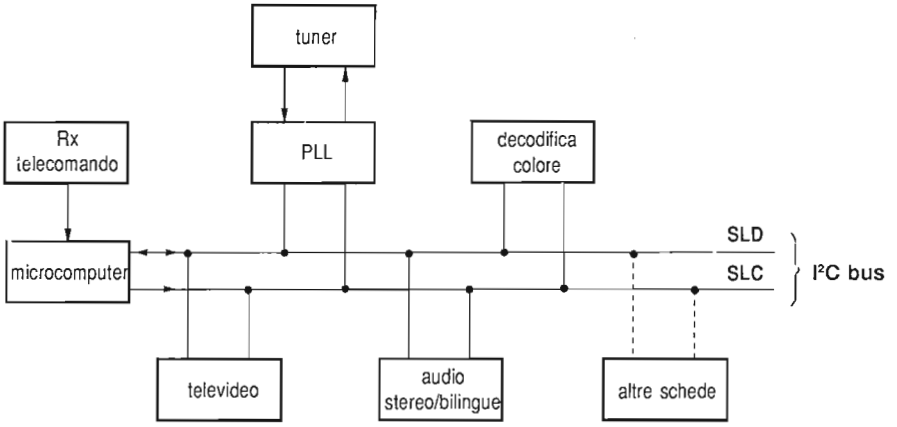


Fig. 10.13 - Schematizzazione dell'impiego del BUS I²C in un moderno televisore.

un ritmo di 100kbit/s. Il bus è inoltre bidirezionale, in modo che lo scambio di dati tra i diversi dispositivi interconnessi non richieda l'impiego di "intermediari", come accade invece nei bus unidirezionali. In questo modo, ad esempio, la memoria non volatile, che contiene il numero del canale o i valori preferiti delle grandezze analogiche, può venir scritta e letta tramite la stessa linea.

Ciascun integrato collegato al bus deve possedere un ben definito indirizzo binario (a 7 bit), in quanto manca una specifica linea di abilitazione. Ciò costituisce un ulteriore vantaggio per il microcomputer che viene così a disporre di più linee I/O utilizzabili per altri usi. Inoltre, per lo stesso motivo, si richiede che il dispositivo indirizzato informi il trasmettitore dell'avvenuta ricezione, inviando un segnale di riconoscimento alla fine di ogni byte.

Il bus è del tipo multi-master, nel senso che ci possono essere più integrati (tipicamente microcomputer) in grado di avviare e completare un trasferimento, generando i corrispondenti impulsi di clock. Naturalmente, in una tale situazione, potrebbe presentarsi un conflitto di priorità che viene però risolto con una procedura di arbitrato prevista dal protocollo.

10 - 6 - 2 Terminologia e caratteristiche

Prima di analizzare in dettaglio il funzionamento del BUS I²C, è opportuno precisare la terminologia e riassumere le caratteristiche.

trasmettitore dispositivo che invia i dati nel bus in un preciso istante

ricevitore dispositivo che riceve i dati dal bus

master *(principale)* dispositivo che inizia un trasferimento, genera i segnali di clock e completa il trasferimento

slave *(schiavo)* dispositivo indirizzato dal master

multi-master sistema nel quale fanno capo al bus più master che possono prendere contemporaneamente l'iniziativa di trasmettere, senza che il messaggio venga alterato

arbitrato procedura con la quale, nel caso di contemporanea occupazione del bus da parte di più master, solo a uno venga permessa la trasmissione del messaggio

Come si è accennato, il BUS I²C presenta le seguenti caratteristiche:

- è bifilare ed utilizza una linea per i dati (chiamata SDA - Serial DAta) ed una linea di clock (chiamata SCL - Serial CLock),
- i dati possono essere trasferiti nei due sensi, senza alcuna restrizione (bus bidirezionale),
- è multi-master,
- a ciascun dispositivo slave è attribuito un codice a 7 bit, così sono possibili ben 128 (2^7) indirizzamenti diversi,

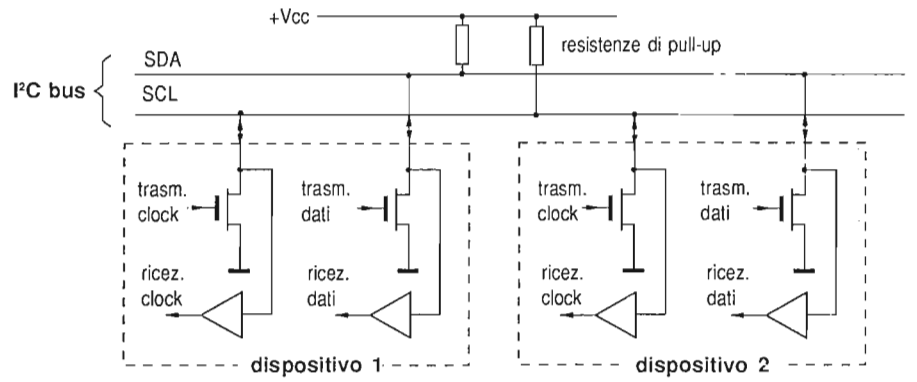


Fig. 10.14 - Configurazione open-drain dell'interfaccia BUS I²C contenuta all'interno dei dispositivi master e slave.

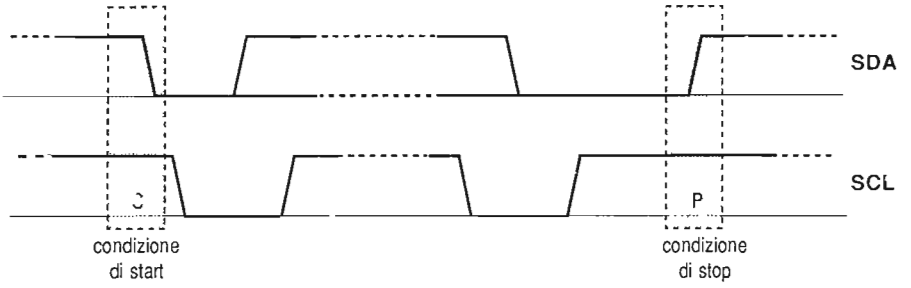


Fig. 10.15 - Definizione delle condizioni di start e di stop prodotte dal master nel BUS I²C.

- viene generato un segnale di accettazione ad ogni trasferimento di un byte (parola di 8 bit),
- la velocità massima del trasferimento è di 100kbit/s, ma una procedura di sincronizzazione automatica permette il dialogo tra dispositivi che operano a velocità diverse, rallentando quella del più veloce che si porta a lavorare su quella del più lento,
- il numero massimo dei dispositivi è unicamente limitato dal carico capacitivo massimo sul bus, che non può superare i 400pF, e perciò dipende dalla loro tecnologia costruttiva.

10 - 6 - 3 Trasferimento dei dati

Le linee dati (SDA) e clock (SCL) sono connesse esternamente alla linea positiva di alimentazione tramite *resistori di pull-up*. Quando il bus è libero, entrambe le linee si trovano al livello H, in quanto ciascun dispositivo presenta uno stadio d'uscita verso le linee del bus di tipo a collettore (o drain) aperto, come indicato in Fig. 10.14.

Siccome la trasmissione avviene in modo seriale, è necessario definire in modo univoco le condizioni di inizio (start) e di fine (stop) del messaggio. Precisamente:

- la *condizione di start* è identificata dal passaggio al livello basso della linea SDA quando il clock (SCL) è al livello alto;
- la *condizione di stop* è identificata dal passaggio al livello alto della medesima linea, quando il clock è alto (Fig. 10.15).

Le condizioni di start e stop sono generate sempre dal master. Il bus è considerato

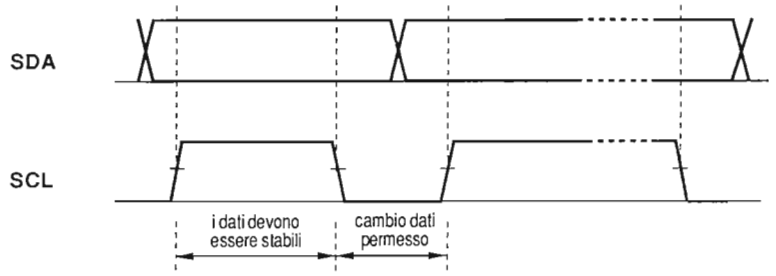


Fig. 10.16 - I dati trasmessi sulla linea SDA sono ritenuti validi solo se risultano stabili quando la linea di clock si trova al livello H.

occupato (BUSY) dopo il verificarsi della condizione di start, mentre è ritenuto libero dopo un certo tempo che si verificata la condizione di stop.

Precisiamo che i dati sulla linea SDA, per essere accettati come validi, devono mantenersi stabili durante il periodo in cui il clock si trova al livello alto (Fig. 10.16).

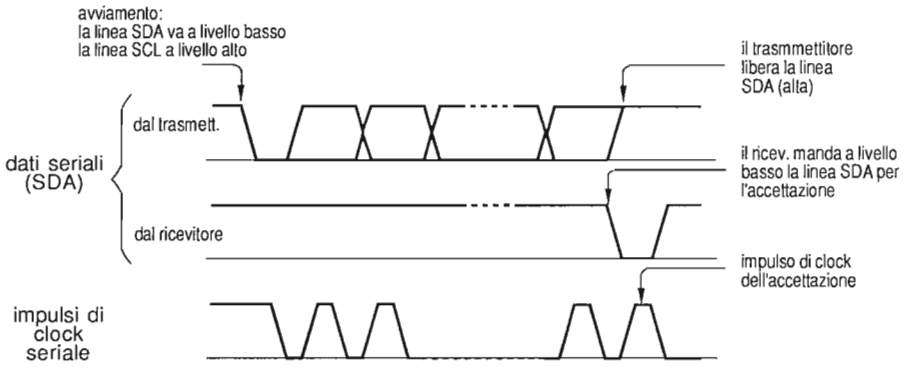


Fig. 10.17 - Temporizzazione dei segnali lungo le linee del BUS I²C. Ai segnali trasmessi dal master si aggiunge, in corrispondenza del 9° impulso di clock, il segnale di accettazione dello slave sulla linea SDA.

Sebbene la trasmissione avvenga in modo seriale, i dati sono organizzati in parole (byte) di 8 bit, con il bit più significativo (MSB) trasmesso per primo. Ciascuna di queste parole deve essere seguita da un bit di riconoscimento (ACK) a livello basso, trasmesso dal dispositivo ricevitore indirizzato.

In Fig. 10.17 è indicato l'andamento dei segnali presenti sul BUS I²C durante un ciclo completo di trasmissione. Il trasmettitore inizia col produrre una condizione di start, seguita dall'emissione del segnale di clock e dal primo byte (indirizzo). Dopo l'ottavo bit, esso dispone la linea SDA a livello alto (quindi a riposo) e genera contemporaneamente un impulso di clock. Il ricevitore indirizzato, per segnalare l'avvenuta ricezione, deve portare la linea SDA al livello basso durante questo impulso, poichè, in caso contrario, il trasmettitore considera persi i dati e si dispone in condizione di stop. In caso di esito positivo, il trasmettitore immette il successivo byte secondo il protocollo appena descritto, e così via fino alla conclusione segnalata dalla condizione di stop. Il numero di byte trasmessi non è soggetto ad alcuna limitazione e dipende solo dalla esigenze degli interlocutori.

Naturalmente possono presentarsi situazioni particolari. Ad esempio, se il ricevitore, dopo aver riconosciuto il proprio indirizzo, non è in grado di ricevere il successivo byte di dati, perchè occupato a completare delle funzioni in corso, può segnalare questo "impegno" al trasmettitore mantenendo al livello basso la linea SCL, così da costringerlo a uno stato di attesa. Il trasferimento potrà riprendere quando il ricevitore avrà liberato la linea SCL.

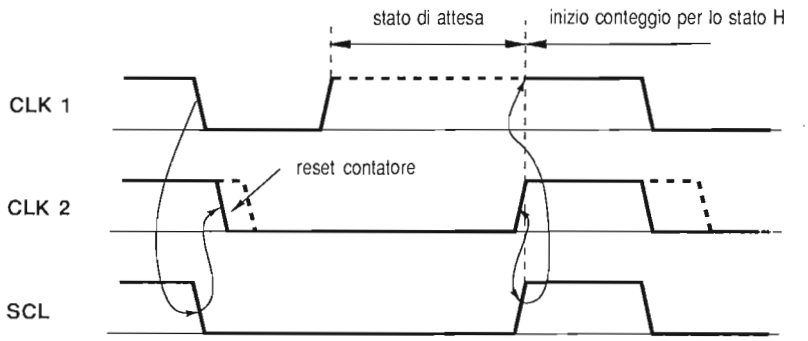


Fig. 10.18 - Sincronizzazione di due segnali di clock nel periodo di arbitrato.

10 - 6 - 4 Sincronizzazione ed arbitrato

Tutti i master immettono il loro segnale di clock sulla linea SCL durante il trasferimento dei dati. Se più master desiderano occupare il bus contemporaneamente, oltre a un conflitto a livello di dati, si presenta un problema a livello di clock, giacchè questi non sono certamente sincroni. Per evitare ciò è prevista una *procedura di arbitrato* che deciderà quale master ha diritto di priorità, costringendo l'altro a disporsi in condizione di slave.

La procedura opera sul confronto tra i valori "interni" della linea dati e quelli presenti sulla linea esterna (SDA), in corrispondenza del livello alto della linea di clock. Ciò esige la preventiva *sincronizzazione* dei corrispondenti segnali dei due master durante la procedura di arbitrato, onde permettere l'analisi bit per bit.

La sincronizzazione ha luogo utilizzando la particolarità della connessione alle linee del bus, che realizzano la funzione logica AND (wired-AND). Come indicato in Fig. 10.18, la transizione H-L nella linea SCL, causata dalla corrispondente transizione di CLK1 (clock interno del dispositivo 1), è "sentita" dal secondo dispositivo il cui contatore di clock viene resettato portando CLK2 (clock interno del dispositivo

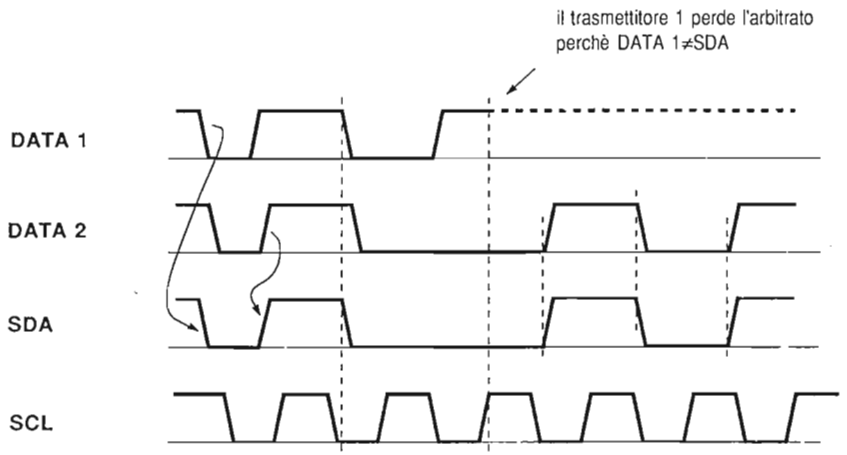


Fig. 10.19 - Procedura di arbitrato tra due master che occupano contemporaneamente il bus.

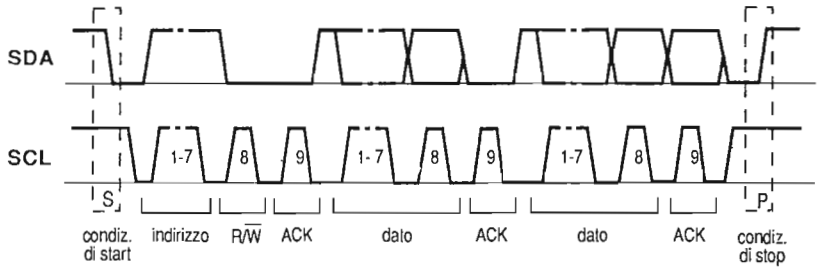


Fig. 10.20 - Andamento dei segnali lungo le linee del BUS I²C, durante un trasferimento completo.

2) al livello L. Nel frattempo CLK1 si porterebbe al livello H per iniziare un nuovo ciclo di conteggio. In realtà la diversità tra i livelli "interno" ed "esterno" ha l'effetto di bloccare il contatore, che perciò si dispone in stato di attesa fino a quando la linea SCL non si porta nuovamente al livello H, a causa della commutazione avvenuta su CLK2.

In conclusione, sulla linea SCL viene a formarsi un segnale di clock caratterizzato da impulsi che si trovano allo stato L per un periodo determinato dal clock del dispositivo più lento, e allo stato H per un tempo determinato da quello del dispositivo più veloce. In questa maniera entrambi i clock si trovano al livello H contemporaneamente ed è così possibile, all'interno di questo intervallo, l'esecuzione della procedura di arbitrato.

Questa procedura assicura che, se un master trasmette un livello H sulla linea SDA, mentre un altro master trasmette il livello L, venga commutato lo stadio d'uscita del primo perchè i livelli delle linee dati "interna" (DATA 1) ed "esterna" (SDA) non coincidono. Questo confronto ha luogo ovviamente durante il periodo di validità dei dati che, come abbiamo detto in precedenza, coincide con lo stato H della linea di clock (CLK). In Fig. 10.19 si nota come risulti necessario attendere il quarto impulso di SCL perchè il master 1 riscontri la differenza e commuti la sua uscita dati su un livello H, disponendosi ad operare in "modo ricevitore".

10 - 6 - 5 Formato di trasmissione

Il formato di trasmissione è indicato in Fig. 10.20. Dopo la condizione di start, vengono trasmessi 7 bit, che costituiscono l'indirizzo dello slave, e quindi un bit di "dire-

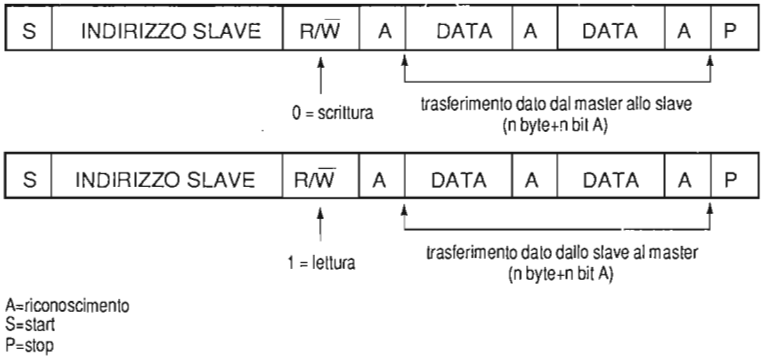


Fig. 10.21 - Formato del messaggio di scrittura (nel verso trasmettitore-ricevitore) e di lettura (nel verso ricevitore-trasmettitore).

zione" (R/$\overline{W}$). Segue il bit di riconoscimento (ACK-acknowledge), inviato dal ricevitore, e quindi una o più parole-dati di 8 bit, seguite sempre dall'impulso di riconoscimento. La trasmissione si conclude in tuti i casi con la condizione di stop. In Fig. 10.21 sono riassunti i formati dei messaggi di scrittura e lettura inviati dal master allo slave. Si noti che nel secondo caso, in corrispondenza del primo byte-dati, si ha l'inversione della direzione del trasferimento, che ora avviene nel verso slave-master.

10 - 6 - 6 Impiego del BUS I²C

A conclusione del paragrafo, riportiamo un esempio d'impiego del BUS I²C in un moderno telaio (Grundig CUC 2800). Il microcomputer SDA 2011 (unico master del gruppo), riceve gli ordini dal telecomando o dal cruscotto dei comandi locali e provvede alla gestione delle diverse funzioni tramite il BUS I²C. Fa eccezione il display, che viene pilotato direttamente con l'impiego di alcune porte del microcomputer. Come indica la Fig. 10.22, le linee SDA e SCL del bus controllano:

- l'SDA 2216, memoria 128x8 bit, che contiene le informazioni sul numero del canale memorizzato, sulla sintonia fine e sui valori prescelti per le grandezze analogiche;
- l'SDA 3202, PLL, generatore della tensione di sintonia del tuner e commutazione delle bande;

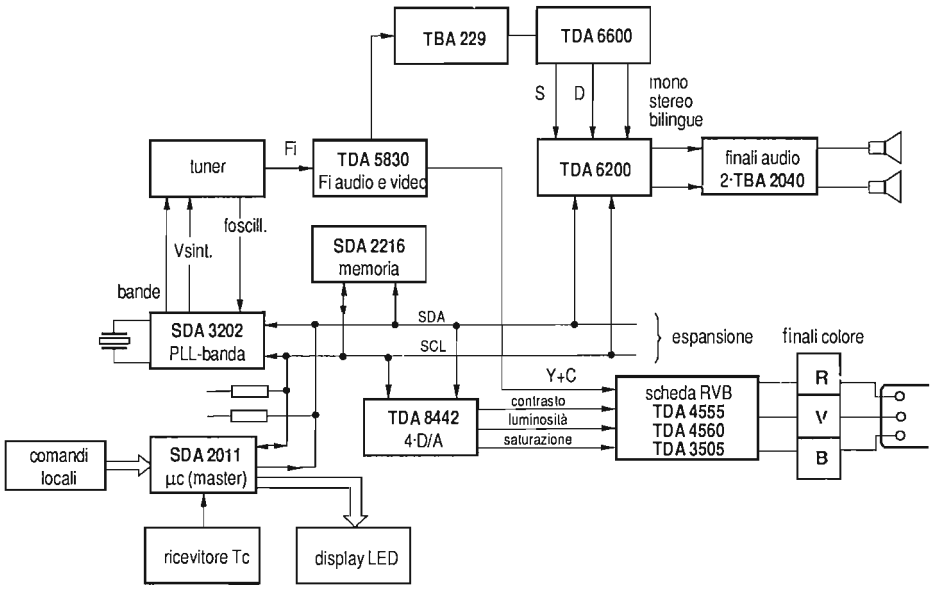


Fig. 10.22 - Percorso dei segnali dell' I²C-BUS nel telaio Grundig CUC 2800.

- il TDA 8442, quadruplo convertitore D/A, che fornisce le tensioni continue per la regolazione del contrasto, della luminosità e della saturazione;
- il TDA 6200, integrato di gestione delle funzioni mono-stereo bilingue, che provvede alle commutazioni dei canali audio, al controllo dei toni, del volume, stereo spaziale e allargamento della base stereo.

Naturalmente, oltre alle funzioni sopra descritte, si può facilmente comprendere l'utilità della struttura a bus quando al televisore sono affidati compiti aggiuntivi, quali televideo, commutazione presa peritelevisiva, gestione tuner per ricezione da satelliti, funzionamento multistandard, ecc.

Per ultimo vogliamo ricordare l'estrema utilità del bus nel collaudo in fase di produzione del televisore, per il controllo automatico del corretto funzionamento delle diverse sezioni e, nel caso dei televisori digitali, anche della regolazione degli stadi di deflessione.

INDICE

cap. 1° - IL TUNER E LA SEZIONE FI-VIDEO

1-1 Problemi di ricezione di canali incompatibili 5

1-1-1 Disturbi dovuti a canali adiacenti 5

1-1-2 Disturbi dovuti al canale immagine 7

1-1-3 Disturbi prodotti dal 4° e 5° canale superiore 9

1-2 I moderni tuners 10

1-2-1 Uso dei mosfet come preamplificatori VHF - UHF e mescolatori 10

1-3 Esempi di moderni tuners 12

1-3-1 Tuner Seleco BS652 13

1-3-2 Tuner Philips UV617 16

1-4 La sezione a FI-Video 21

1-4-1 Il filtro ad onde acustiche superficiali 21

1-4-2 Caratteristiche elettriche 25

1-5 Gli integrati per la sezione FI-Video 27

1-5-1 Il TDA 3540/1 30

1-5-2 IL TDA 4442 34

cap. 2° - LA SEZIONE AUDIO

2-1 I disturbi nel sistema intercarrier tradizionale 37

2-2 Sistema audio "quasi parallelo" (QPS) 38

2-3 Sezione FI-Audio - QPS 41

2-4 Audio stereo-bilingue in TV 42

2-4-1 Il sistema a frequenza pilota 43

2-4-2 Il sistema giapponese FM-FM 44

2-4-3 Il sistema a due portanti 45

2-5 Ricevitore stereo-bilingue 47

2-5-1 Effetto pseudo-stereo e stereo-spaziale 49

2-6 Decodifica stereo Seleco BS660 53

2-7 Il TDA4940 60

cap. 3° - LE SEZIONI DI LUMINANZA E CROMINANZA

3-1 La sezione di luminanza-crominanza a tre integrati 64

3-1-1 Il TDA 2560 67

3-1-2 Il TDA 2522 72

3-1-3 Il TDA 2530 79

3-2 La soluzione a due chip 80

3-2-1 Il TDA 3510 80

3-2-2 Il TDA 3501 83

3-3 La crominanza monochip (TDA 3560) 91

3-4 Il cut-off automatico 95

3-5 Il TDA 3562A 100

3-6 Decodifiche multistandard 105

3-7 Accentuazione dei transienti cromatici 110

3-7-1 Il TDA 4560 112

3-8 Stadi finali di colore 116

3-8-1 Limiti statici di funzionamento 116

3-8-2 Amplificatore video con carico attivo 119
3-8-3 Amplificatore cascode con carico attivo 120
3-8-4 Prestazioni dinamiche degli amplificatori finali 121
3-8-5 Dissipazione statica e dinamica 125

cap. 4° - LA SEZIONE SINCRONISMI

4-1 La serie TDA 259.. 128
4-1-1 Il TDA 2594 133
4-2 Il TDA 2595 134
4-3 La sincronizzazione verticale 140
4-4 Il TDA 2579 ed il riconoscimento automatico dello standard 50/60Hz 141
4-5 Il TDA 3586 149

cap. 5° - LA SEZIONE DI DEFLESSIONE VERTICALE

5-1 Introduzione 152
5-2 Pilotaggio diretto del giogo 156
5-3 Circuiti integrati per la deflessione verticale 158
5-3-1 Il TDA 3654 158
5-3-2 Il TDA 8170 160
5-3-3 Il TDA 2653A 162
5-3-4 L'ESM 472 167
5-4 Deflessione verticale a tiristore 169

cap. 6° - DEFLESSIONE ORIZZONTALE

6-1 Funzionamento dello stadio finale di riga a transistor 177
6-2 Pilotaggio del transistor finale di riga 181
6-2-1 Tempi di commutazione di un transistor interruttore 183
6-3 Transistor finale di riga con funzionamento bidirezionale 189
6-4 Il TDA 8140 driver orizzontale integrato 191

cap. 7°- E.A.T. E CORREZIONE E-O

7-1 Produzione dell'EAT 195
7-2 Correzione E-O. Modulatore a diodi 197
7-3 Il pilota-modulatore integrato TDA 4950 203

cap. 8° - LA SEZIONE DI ALIMENTAZIONE

8-1 Introduzione 207
8-2 Alimentatore commutato step-up 208
8-3 Alimentatori switched-mode 212
8-3-1 Principio di funzionamento dell'SMPS 213
8-4 Alimentatore SM asincrono - TDA 4600 217
8-5 Alimentatore SM sincrono - TEA 2018A 221
8-6 Alimentatori SPP (syncronised power pack) 226
8-7 Alimentatore SM sincrono con funzionamento master-slave 232

cap. 9° - IL TELECOMANDO E LA SEZIONE DI SINTONIA

9-1 Telecomando a raggi infrarossi 239
9-2 Tecniche di trasmissione 241
9-2-1 Codificazione d'impulsi 243
9-3 Trasmettitori per telecomando 246
9-3-1 L'M 709 247
9-3-2 L'SAA 1250 248
9-4 Il ricevitore IR 250
9-4-1 Il TDA 3048 253
9-4-2 Il TBA 2110 254
9-5 Il ricevitore del telecomando 256
9-5-1 L'M 104 256
9-5-2 L'SAA 1251 261
9-6 Sintonia digitale a sintesi di tensione 265

9-6-1 L'M 293 266
9-7 - Sintonia a sintesi di frequenza - L'SAA 1274 276
9-7-1 La memoria SAA 1075 283

cap. 10° - IL MICROCOMPUTER ED IL BUS I²C

10-1 Introduzione 285
10-2 Il microcomputer single-chip 286
10-3 Il microcomputer 8048 286
10-3-1 L'MAB 8048 291
10-4 La famiglia 8400 295
10-4-1 Esempio d'impiego del MAB 8421P 298
10-5 L'MAA 4000 300
10-6 Il bus I²C 304
10-6-1 Generalità 304
10-6-2 Terminologia e caratteristiche 305
10-6-3 Trasferimento dei dati 307
10-6-4 Sincronizzazione ed arbitrato 310
10-6-5 Formato di trasmissione 311
10-6-6 Impiego del BUS I²C 312

INDICE

315

A. Deotto - ELEMENTI DI VIDEOTECNICA E MODERNI CIRCUITI TV

12 capitoli - 288 pagine - 272 schemi - tabelle varie. Copertina plastificata.

Volume fondamentale per l'apprendimento delle moderne tecniche di trasmissione e di ricezione. Adatto agli studenti, per la trattazione propedeutica allo studio della televisione a colori, e ai tecnici quale mezzo di aggiornamento delle moderne tecniche e tecnologie televisive. Dei vari stadi del televisore viene svolta una trattazione completa, partendo dai circuiti a componenti discreti fino a quelli integrati più moderni e sofisticati. Costante è il riferimento a schemi pratici di televisori commerciali.

A. Deotto - TELEVISORI A TRANSISTORS E A CIRCUITI INTEGRATI

11 capitoli - 320 pagine - 283 schemi e diagrammi illustrativi. Copertina plastificata.

In 320 pagine vengono analizzati il funzionamento e le caratteristiche delle diverse sezioni che costituiscono i ricevitori TV a semiconduttori discreti ed integrati, con costante riferimento a ricevitori commerciali circolanti in Italia. Ecco alcuni degli argomenti trattati:
• circuito di deflessione a tiristori • cambio canale touch-control • gruppi di sintonia con diodi varicap • alimentazione a circuito "pompa" • descrizione di oltre 40 circuiti integrati.

A. Deotto - TELEVISORI A COLORI a transistors e a circuiti integrati - vol. 1°

12 capitoli - 360 pagine con oltre 270 disegni e schemi illustrativi, parte dei quali in quadricromia. Copertina a colori plastificata.

Dopo un rapido richiamo degli aspetti fisici del colore e degli standards televisivi PAL e SECAM, di interesse specifico per i circuiti descritti nel seguito, vengono trattati in modo esteso i cinescopi tricromici fino ai moderni trinitron, in-line e PIL che equipaggiano i televisori a colori a componenti discreti ed integrati. La rassegna dei circuiti giunge fino alle soluzioni più moderne, quali:
• sistemi per la ricerca automatica della sintonia con memorizzazione digitale • circuiti per l'indicazione dell'ora e del programma sullo schermo del televisore • alimentatori switched-mode isolati dalla rete • circuiti di deflessione verticale a tiristori (SSVD) • stadi finali "freddi" • descrizione dettagliata di oltre 20 circuiti integrati.

A. Deotto - TELEVISORI A COLORI a transistors e a circuiti integrati - vol. 2°

10 capitoli - 320 pagine - 222 figure e 14 tabelle.

Questo volume si affianca al precedente, continuandone il discorso, sviluppandolo fino ai televisori analogici di produzione attuale. Vengono analizzate le tecniche più significative ed i componenti più innovativi, come sempre con costante riferimento a soluzioni circuitali pratiche. Ecco alcuni degli argomenti trattati:
• tuners a mosfet a diodo Schottky e a componenti integrati • sezione audio stereo e tecniche di decodifica digitali • luminanza e crominanza fino al monochip e cut-off automatico • sistemi multistandard e CTI con linea di ritardo Y integrata • sezione sincronismi tradizionali e con tecniche numeriche • deflessione verticale a tiristore • driver di riga e modulatore E/O integrati • alimentatori SM sincroni, asincroni, SPP e master-slave • sistemi di sintonia a sintesi di tensione monochip e a sintesi di frequenza • microcomputers di impiego televisivo ed i BUS di comunicazione.

CO.EL. editrice

L. 28.000

TELEVISORI A COLORI

a transistors e a circuiti integrati

volume secondo

In quest'ultimo decennio si è assistito ad una progressiva semplificazione della struttura degli apparecchi televisivi, dovuta in parte allo sviluppo dei cinescopi autoconvergenti, ma principalmente all'impiego di complessi circuiti integrati "ad hoc", che includono funzioni sempre più numerose e sofisticate. La lettura degli schemi elettrici dei TVC, presupposto essenziale per un "service" razionale e produttivo, è diventata, di conseguenza, sempre più difficile e laboriosa.

Il volume, affrontando in modo approfondito le tappe evolutive delle tecniche circuitali e dei circuiti integrati, fornisce un valido aiuto per la comprensione del loro funzionamento e, quindi, per l'interpretazione dei comportamenti anomali e dei guasti.

La dettagliata descrizione è supportata da oltre 235 tra disegni, tabelle e schemi elettrici, con costante riferimento alle soluzioni circuitali adottate nei televisori di ampia diffusione.